

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DEPARTAMENTO ACADÊMICO DE ELETROTÉCNICA
CURSO DE ENGENHARIA ELÉTRICA

ANDRÉ LUIZ LOHMANN
CASSIANO ZYGER TONIN
DOUGLAS YOSHIYUKI NAKAMURA

**MICROINVERSOR CUK DE ESTÁGIO ÚNICO PARA APLICAÇÃO
EM ENERGIAS RENOVÁVEIS**

TRABALHO DE CONCLUSÃO DE CURSO

CURITIBA

2017

ANDRÉ LUIZ LOHMANN
CASSIANO ZYGER TONIN
DOUGLAS YOSHIYUKI NAKAMURA

**MICROINVERSOR CUK DE ESTÁGIO ÚNICO PARA APLICAÇÃO
EM ENERGIAS RENOVÁVEIS**

Trabalho de Conclusão de Curso apresentado ao Departamento Acadêmico de Eletrotécnica da Universidade Tecnológica Federal do Paraná como requisito parcial para obtenção do título de “Bacharel em Engenharia Elétrica”, mediante aprovação de banca avaliadora.

Orientador: Prof. Eduardo Félix Ribeiro Romaneli,
Dr. Eng.

CURITIBA
2017

André Luiz Lohmann
Cassiano Zyger Tonin
Douglas Yoshiyuki Nakamura

Microinversor Cuk de Estágio Único para Aplicação em Energias Renováveis

Este Trabalho de Conclusão de Curso de Graduação foi julgado e aprovado como requisito parcial para a obtenção do Título de Engenheiro Eletricista, do curso de Engenharia Elétrica do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR).

Curitiba, 10 de março de 2017.

Prof. Emerson Rigoni, Dr.
Coordenador de Curso
Engenharia Elétrica

Profa. Annemarien Gehrke Castagna, Dra.
Responsável pelos Trabalhos de Conclusão de Curso
de Engenharia Elétrica do DAELT

ORIENTAÇÃO

Prof. Dr. Eduardo Félix Ribeiro Romaneli
Universidade Tecnológica Federal do Paraná
Orientador

BANCA EXAMINADORA

Prof. Dr. Eduardo Félix Ribeiro Romaneli
Universidade Tecnológica Federal do Paraná

Prof. Dr. Alceu André Badin
Universidade Tecnológica Federal do Paraná

Prof. Dr. Roger Gules
Universidade Tecnológica Federal do Paraná

A folha de aprovação assinada encontra-se na Coordenação do Curso de Engenharia Elétrica

RESUMO

LOHMANN, André L.; TONIN, Cassiano Z.; NAKAMURA, Douglas Y. **Microinversor Cuk de estágio único para aplicação em energias renováveis**. 68 f. Trabalho de Conclusão de Curso – Curso de Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Curitiba, 2017.

O presente trabalho possui uma abordagem teórico-experimental a respeito da aplicação de conversores eletrônicos para processamento de energia elétrica proveniente de fontes renováveis. Sendo assim, traz um panorama do estado atual da geração de energia fotovoltaica, assim como os métodos mais usuais de injeção de potência na rede. Parte para uma apresentação dos conversores de energia mais utilizados, especificando o microinversor *Cuk*, que é o tema principal do estudo. Foi feita uma análise teórica qualitativa e quantitativa da topologia microinversora proposta, seguida da sua validação através da simulação do conversor. Experimentalmente, foi implementado o protótipo dimensionado com carga resistiva, representando a rede elétrica, para comprovar o funcionamento do conversor e o estudo realizado.

Palavras-chave: Energia renovável. Microinversor Cuk. Inversor de estágio único.

ABSTRACT

LOHMANN, André L.; TONIN, Cassiano Z.; NAKAMURA, Douglas Y. **Single stage Cuk microinverter for renewable energy application**. 68 f. Trabalho de Conclusão de Curso – Curso de Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Curitiba, 2017.

The present work has a theoretical and experimental approach about the application of electronic converters in power processing provided by renewable sources of electrical energy. Therefore, it brings an overview of the current state of the photovoltaic power generation, as well as the most usual methods for grid power injection. Followed by a presentation of the most used power convertes, specifying the *Cuk* microinverter, which is the main subject of this work. A quantitative and qualitative analysis of the proposed microinverter topology was made, followed by its validation through simulation. The designed prototype was implemented experimentally with resistive load, which represents the grid, to verify the converter operation and the research made.

Keywords: Renewable energy. Cuk microinverter. Single stage inverter.

LISTA DE FIGURAS

FIGURA 1	– Configurações de placas fotovoltaicas: a) Inversor Central; b) Inversor <i>String</i> ; c) Topologia <i>Multi-string</i> ; d) Microinversor.	10
FIGURA 2	– Topologia simplificada do conversor proposto.	11
FIGURA 3	– Topologia final do conversor proposto.	12
FIGURA 4	– Inversor Central.	16
FIGURA 5	– Inversor <i>String</i>	16
FIGURA 6	– Topologia <i>Multi-String</i>	17
FIGURA 7	– Microinversor.	17
FIGURA 8	– Inversor Zeta com módulo fotovoltaico integrado.	18
FIGURA 9	– Inversor <i>buck-boost</i> para sistemas fotovoltaicos.	19
FIGURA 10	– Inversor de estágio único com operação <i>buck-boost</i>	19
FIGURA 11	– Inversor <i>flyback</i> e seu sistema de controle.	20
FIGURA 12	– Esquemático da topologia <i>buck</i>	21
FIGURA 13	– Esquemático da topologia <i>boost</i>	22
FIGURA 14	– Esquemático da topologia <i>buck-boost</i>	22
FIGURA 15	– Esquemático da topologia <i>Cuk</i>	23
FIGURA 16	– Topologia do inversor <i>Cuk</i> proposto.	24
FIGURA 17	– Esquema dos Conversores P e N.	25
FIGURA 18	– a) Tensão de saída a vazio do inversor. b) Tensão de saída do inversor, carga de 120Ω . c) Harmônicos de corrente de saída a vazio. d) Harmônicos de corrente de saída, plena carga. e) Tensão de saída transição plena carga/a vazio. f) Tensão de saída transição a vazio/plena carga.	26
FIGURA 19	– Diagrama em blocos do módulo TWR-56F8400.	27
FIGURA 20	– Módulo TWR-56F8400 e seus componentes.	29
FIGURA 21	– Conversor <i>Cuk</i> analisado.	30
FIGURA 22	– Etapa 1.	31
FIGURA 23	– Etapa 2.	32
FIGURA 24	– Formas de onda do conversor <i>Cuk</i> em condução contínua.	32
FIGURA 25	– Conversor proposto no simulador <i>PSpice</i>	40
FIGURA 26	– Controle do conversor em malha aberta no simulado <i>PSpice</i>	40
FIGURA 27	– Sinal de comparação com onda triangular para gerar a razão cíclica.	41
FIGURA 28	– Razão cíclica da chave no início do ciclo senoidal.	41
FIGURA 29	– Sinal das chaves S_3 e S_4	42
FIGURA 30	– Corrente nos indutores de entrada em baixa frequência.	42
FIGURA 31	– Ondulação no pico da corrente de entrada.	43
FIGURA 32	– Correntes nos indutores de saída em baixa frequência.	43
FIGURA 33	– Ondulação no pico da corrente de saída.	44
FIGURA 34	– Tensão de saída em baixa frequência.	45
FIGURA 35	– Ondulação de pico da tensão de saída.	45
FIGURA 36	– Transformada rápida de Fourier da tensão de saída.	46
FIGURA 37	– Tensão do capacitor intermediário C_1 e C_3	47
FIGURA 38	– Ondulação no pico de tensão do capacitor C_1	47

FIGURA 39	– Esforços na chave S_1 . a) Corrente no pico (verde) b) Tensão no pico (azul).	48
FIGURA 40	– Esforços no diodo D_1 . a) Corrente no pico (verde) b) Tensão no pico (azul).	49
FIGURA 41	– Esforços na chave S_3 . a) Corrente (verde) b) Tensão (azul).	50
FIGURA 42	– Circuito de acionamento das chaves S_1 e S_2	53
FIGURA 43	– Circuito de acionamento das chaves S_3 e S_4	53
FIGURA 44	– Interface do <i>ProcessorExpert</i> para configuração do <i>PWM</i>	55
FIGURA 45	– Interface do <i>ProcessorExpert</i> para configuração do <i>timer</i>	55
FIGURA 46	– Tensões de entrada e saída do conversor	56
FIGURA 47	– Chaveamento em Baixa Frequência - Chaves S_3 e S_4	56
FIGURA 48	– Chaveamento em alta frequência - Chaves S_1 e S_2	57
FIGURA 49	– Ondulação do indutor L_1 no pico	57
FIGURA 50	– Ondulação do indutor L_2 no pico	57
FIGURA 51	– Corrente dos indutores L_1 e L_4	58
FIGURA 52	– Corrente dos indutores L_2 e L_3	58
FIGURA 53	– Potência de entrada	59
FIGURA 54	– Potência de saída	59
FIGURA 55	– Ondulação de corrente de S_1	60
FIGURA 56	– Ondulação de corrente de S_1 e D_1	60
FIGURA 57	– Ondulação de tensão de C_1	60
FIGURA 58	– Valores eficazes das componentes harmônicas da tensão de saída.	61
FIGURA 59	– Valores percentuais de cada componente harmônica até a décima sexta ordem.	61
FIGURA 60	– Curva de rendimento, potência de saída versus rendimento do conversor.	62

SUMÁRIO

1 INTRODUÇÃO GERAL	9
1.1 INTRODUÇÃO	9
1.2 PROBLEMA	11
1.3 JUSTIFICATIVA	11
1.4 OBJETIVOS	12
1.4.1 Objetivo Geral	12
1.4.2 Objetivos Específicos	12
1.5 MÉTODO DE PESQUISA	13
1.6 LIMITAÇÕES	13
1.7 ESTRUTURA DO TRABALHO	14
2 REVISÃO BIBLIOGRÁFICA	15
2.1 INVERSORES	15
2.2 CONVERSOR <i>CUK</i>	21
2.3 INVERSOR <i>CUK</i>	23
2.4 PROCESSADOR	26
3 DESENVOLVIMENTO TEÓRICO	30
3.1 INTRODUÇÃO	30
3.2 TOPOLOGIA E ETAPAS DE FUNCIONAMENTO	30
3.3 DIMENSIONAMENTO DOS INDUTORES E CAPACITORES	33
3.3.1 Indutor L_1	34
3.3.2 Indutor L_2	35
3.3.3 Capacitor C_1	35
3.3.4 Capacitor C_2	35
3.4 ESFORÇOS NA CHAVE E NO DIODO	36
4 SIMULAÇÃO DO CONVERSOR	39
4.1 INTRODUÇÃO	39
4.2 ACIONAMENTO DAS CHAVES	40
4.3 INDUTOR L_1	42
4.4 INDUTOR L_2	43
4.5 CAPACITOR C_2	44
4.6 CAPACITOR C_1	46
4.7 ESFORÇOS NOS SEMICONDUTORES	48
5 PROJETO E RESULTADOS	51
5.1 PROJETO DOS INDUTORES	51
5.1.1 Indutor de Entrada	51
5.1.2 Indutor de Saída	52
5.2 <i>DRIVER</i>	52
5.3 <i>DSC</i>	54
5.3.1 <i>PWM</i>	54
5.3.2 <i>TIMER</i>	55
5.4 RESULTADOS	56

6 CONSIDERAÇÕES FINAIS	64
REFERÊNCIAS	66
Apêndice A – ESQUEMÁTICO DOS CIRCUITOS	68

1 INTRODUÇÃO GERAL

1.1 INTRODUÇÃO

A geração de energia elétrica enfrenta diversos problemas atualmente. Em uma situação onde a conscientização com o meio ambiente cresce constantemente, usinas convencionais são criticadas devido ao impacto ambiental. Conseqüentemente, sistemas de energia renovável estão se tornando cada vez mais importantes.(HERRMANN; LANGER; BROECK, 1993).

Segundo Kouro et al. (2015), a geração energia proveniente de painéis fotovoltaicos tem crescido anualmente a uma taxa de 60% nos últimos 5 anos, ultrapassando um terço da capacidade instalada de energia eólica e está rapidamente se tornando uma parte importante da matriz energética nos sistemas de potência de algumas regiões. Isso foi motivado pela redução do custo de módulos de painéis. Esse crescimento também desencadeou a evolução dos conversores de potência clássicos, partindo de inversores monofásicos convencionais conectados à rede até atingir topologias mais complexas, visando aumentar o rendimento, otimizar a extração de potência dos módulos e atingir melhor confiabilidade sem impactar o custo.

A aplicação de geração de energia através de módulos fotovoltaicos pode ser dividida em duas categorias, sistemas autossuficientes e sistemas conectados na rede. Um sistema autossuficiente necessita um banco de baterias para armazenar a energia do painel e é adequado para sistemas de baixa potência. Por outro lado, um sistema conectado à rede não necessita o banco de baterias e se tornou o método principal para aplicações de alta potência (OZDEMIR; KAVASLAR, 2009).

De acordo com Romaneli et al. (2011), os sistemas fotovoltaicos autossuficientes representavam uma maioria dos sistemas instalados em uma escala global desde 1995. Porém, a partir de 2004, com o crescimento de sistemas conectados à rede, a capacidade de potência total desses sistemas superou a dos sistemas isolados, mantendo-se a um crescimento anual

médio de 60% desde então. Devido a isso, diversos países demonstram maior interesse em pesquisar painéis solares ligados à rede, um dos motivos sendo que estes possuem maior alcance de aplicações.

Para Kouro et al. (2015), impulsionada pelo crescimento da capacidade instalada de energia fotovoltaica conectada à rede e a busca pelo inversor mais otimizado, a evolução da tecnologia dos conversores levou a existência de uma grande variedade de topologias utilizadas. Geralmente as configurações implementadas são: Inversor Central, Inversor *String*, Topologia *Multi-string* e Microinversor que podem ser vistos na Figura 1.

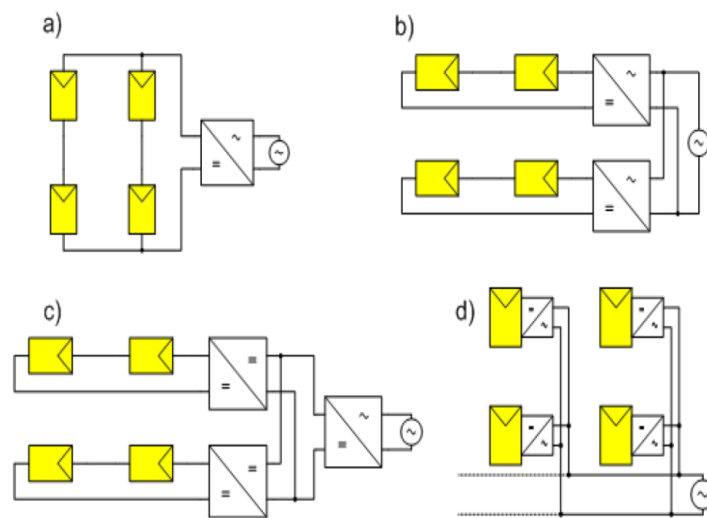


Figura 1: Configurações de placas fotovoltaicas: a) Inversor Central; b) Inversor *String*; c) Topologia *Multi-string*; d) Microinversor.

Fonte: Romaneli et al. (2011).

Tendo em vista a importância do inversor durante o processo de injeção de potência na rede, uma das topologias mais utilizadas nos microinversores é baseada em conversores de dois estágios. Normalmente, o primeiro é um conversor CC-CC do tipo elevador, necessário para extrair a máxima potência do painel e elevar o nível de tensão do painel para um valor maior do que o pico de tensão da rede, permitindo o fornecimento para o segundo estágio. O segundo estágio é um inversor CC-CA que gera uma corrente senoidal para ser injetada na rede. A associação dos dois conversores resulta em um inversor de potência com as desvantagens: alto custo e a necessidade de ter um alto rendimento em cada estágio para obter um rendimento global aceitável (RIBEIRO; PINTO; BORGES, 2010).

Nesse âmbito, as topologias de estágio único vêm sendo estudadas nos últimos anos com a finalidade de redução dos custos e aumento do rendimento do inversor. As topologias

de estágio único precisam executar duas funções, analogamente às de dois estágios: a extração de máxima potência do painel e a injeção de uma corrente com forma de onda senoidal na rede. Para realizar as duas funções em uma topologia de estágio único, é necessário que estas funções compartilhem os transistores de potência, introduzindo uma maior complexidade no comportamento dinâmico do conversor (RIBEIRO; PINTO; BORGES, 2010).

1.2 PROBLEMA

Apesar do grande avanço nos estudos das placas solares, o custo delas ainda é elevado. Em aplicações residenciais, onde não são necessárias altas potências e o orçamento é mais limitado, o número de placas é reduzido ou até unitário. Para este tipo de aplicação, conversores CC-CA integrados à placa solar de elevado rendimento se fazem necessários. Para isso, é conveniente utilizar conversores de estágio único, diferentes dos de múltiplos estágios comumente utilizados.

1.3 JUSTIFICATIVA

O conversor CC-CA proposto teve como objetivo interligar uma única placa solar à rede elétrica, fazendo necessários a elevação e inversão da tensão em um único estágio. Para isso, foi utilizado um método estudado anteriormente por Cáceres e Barbi (1999), Fang e Ma (2011), Coppola et al. (2012) e Mustafiz et al. (2012), que consiste no uso de dois conversores, um para o semi-ciclo positivo da senoide da rede (conversor P) e outro para o negativo (conversor N). Esses ficaram em paralelo se intercalando em função da rede, como é visto na Figura 2.

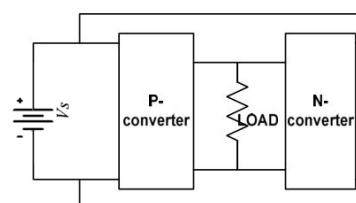


Figura 2: Topologia simplificada do conversor proposto.

Fonte: Adaptado de Mustafiz et al. (2012).

O conversor que foi utilizado neste trabalho é o conversor *Cuk*. A escolha foi embasada devido a algumas vantagens que o conversor apresenta, como poder elevar e abaixar a tensão

de entrada, necessário para uma modulação senoidal, ter indutores na entrada e na saída, o que permite uma corrente com menor ondulação na rede e na placa solar, por necessitar de poucos componentes e as chaves terem o mesmo referencial, o que dispensa *drivers* com referenciais isolados (SELWAN; GAJIC; PARK, 2015).

A topologia desenvolvida neste trabalho é apresentada na Figura 3. Sendo a tensão de entrada (placa fotovoltaica) representada por V_S e a saída (rede elétrica) representada por uma carga resistiva.

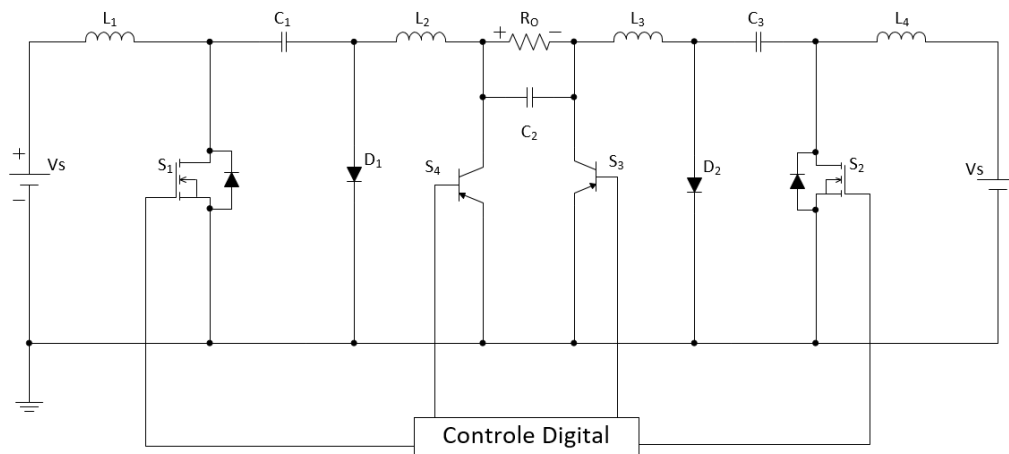


Figura 3: Topologia final do conversor proposto.

Fonte: Adaptado de Knight, Shirsavar e Holderbaum (2006).

Reúnem-se nesse projeto conceitos de eletrônica de potência e controle digital, tornando-o compatível ao nível de complexidade de um projeto de graduação.

1.4 OBJETIVOS

1.4.1 Objetivo Geral

Desenvolver um conversor *Cuk* CC-CA, controlado por um controlador digital de sinais (DSC) e capaz de transferir energia de uma placa solar à rede elétrica.

1.4.2 Objetivos Específicos

- Fazer uma revisão bibliográfica sobre conversor *Cuk* e DSC;
- Conhecer o *hardware* do DSC que será utilizado na implementação do circuito;

- Familiarizar-se com a linguagem necessária à programação do DSC, para codificação do *firmware*;
- Identificar, dimensionar e especificar os componentes que serão utilizados na montagem do circuito;
- Simular e observar o comportamento da topologia;
- Implementar o protótipo;
- Realizar ensaios;
- Analisar os resultados;
- Ajustar e refinar o projeto para aumento do desempenho;
- Relatar os resultados.

1.5 MÉTODO DE PESQUISA

O método de pesquisa tem um caráter teórico exploratório com aplicação experimental dos conhecimentos agregados por meio de pesquisa em livros e artigos científicos.

Se fez necessário o estudo e uso de programas como o MathCad para o memorial de cálculo e dimensionamento de componentes, PSpice para a realização das simulações do conversor utilizado e o CodeWarrior para programar o DSC. Além disso, foi realizada a construção do protótipo no laboratório LPEE-B207 da UTFPR, que posteriormente foi submetido a ensaios utilizando osciloscópio e wattímetro digitais para o levantamento de dados a fim de avaliar o seu rendimento.

1.6 LIMITAÇÕES

O conversor desenvolvido possui tensão nominal de entrada equivalente à aplicação de um módulo fotovoltaico e a tensão de saída deve ser superior a da rede elétrica. A potência de saída é em torno de 100 W, com a frequência da rede elétrica (60Hz). O método controle implementado foi em malha aberta.

1.7 ESTRUTURA DO TRABALHO

O trabalho é constituído de seis capítulos. O primeiro capítulo apresenta uma introdução geral constituída de uma descrição do problema, a justificativa, o objetivo geral e os específicos, bem como o método de pesquisa. O segundo capítulo refere-se à revisão bibliográfica, contendo o embasamento teórico necessário para o correto desenvolvimento do projeto, abordando temas como o conversor *Cuk* CC-CA e o DSC. O terceiro capítulo apresenta o memorial de cálculos e o quarto a simulação, com topologia e resultados. O quinto capítulo contém os procedimentos e os resultados experimentais obtidos. O sexto capítulo é composto das considerações finais, onde são verificados todos os objetivos alcançados e, se houver, os que não foram e o porquê.

2 REVISÃO BIBLIOGRÁFICA

2.1 INVERSORES

Os inversores de potência estão no mercado desde o surgimento de uma necessidade em produzir corrente alternada a partir de uma fonte de corrente contínua, esta necessidade teve início antes mesmo do surgimento de sistemas fotovoltaicos. Nesse sentido é que, havendo um forte crescimento na indústria de sistemas fotovoltaicos, na busca de sistemas mais rentáveis e de menor custo os inversores estão sempre presentes. Por outro lado, tem se tornado um problema crítico a demanda por inversores que cubram aplicações em largas escalas de potência. Existem diversos tipos de topologias de inversores no mercado atualmente e o que determinará o uso de uma topologia em específico são os requisitos das aplicações nesses sistemas (MERWE; MERWE, 1998).

Além de converter corrente contínua (CC) em corrente alternada (CA), o inversor deve aproveitar o máximo de energia de um arranjo fotovoltaico. Os inversores podem ser classificados em duas amplas categorias, as quais são:

- Inversores comutados pela frequência da rede;
- Inversores com frequência de comutação própria.

O primeiro tipo de inversor fotovoltaico inventado surgiu no final dos anos de 1980 e era baseado na frequência de comutação da rede, o qual se utilizava de tiristores e chaves de potência, já a saída necessitava ser compensada com um filtro. Com a evolução da tecnologia de semicondutores passou-se a utilizar circuitos com comutação própria nos inversores, utilizando-se de transistores BJT, IGBT e MOSFET que operam em altas frequências de comutação, melhorando o rendimento dos inversores (NOOR et al., 2013).

Segundo Noor et al. (2013), os sistemas fotovoltaicos conectados a rede podem ser divididos em quatro principais famílias baseadas no arranjo dos painéis, sendo elas:

- Inversor central (Figura 4): É um inversor que converte altas potências em CC,

usualmente mais de 10 kW através de interconexões trifásicas com a rede. Nesse caso, a potência gerada pelo sistema fotovoltaico será distribuída igualmente em cada fase, porém, uma falha do inversor acarretará na interrupção de todo o sistema, gerando interrupção de uma grande quantidade de energia e consequentemente prolongando o prazo de retorno de investimento do inversor. Outro problema é que, por apresentar arranjos de painéis em paralelo, caso haja sombreamento em parte dos painéis, a tensão do barramento do circuito inteiro diminui, prejudicando a máxima potência transmitida.

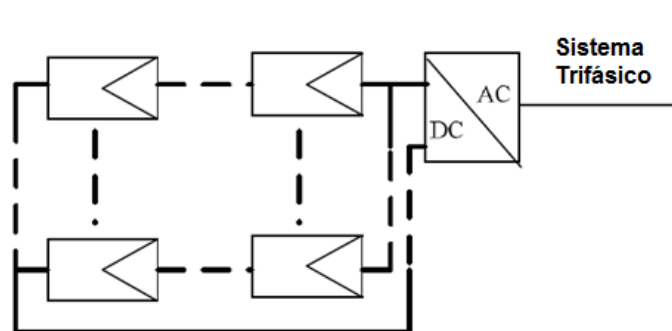


Figura 4: Inversor Central.

Fonte: Noor et al. (2013)

- Inversor *String* (Figura 5): Esse tipo de arranjo inversor envolve uma pequena unidade de conversão, usualmente processando potências inferiores a 10 kW, podendo ser um único inversor para um único arranjo de painéis e vários arranjos de painéis conectados a um inversor. Painéis fotovoltaicos são conectados em série a fim de se obter maiores tensões de entrada. Se destaca em relação ao Inversor Central por não apresentar o problema de sombreamento, porém não consegue trabalhar em potências tão elevadas.

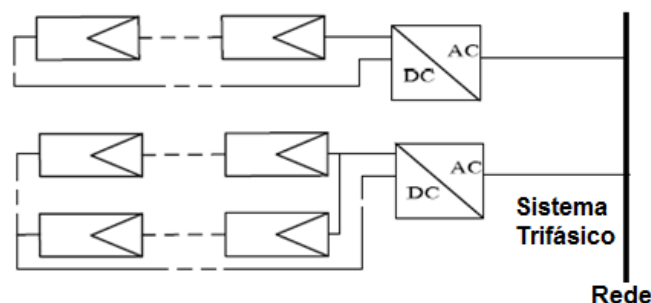


Figura 5: Inversor *String*.

Fonte: Noor et al. (2013)

- Topologia *Multi-String* (Figura 6): Representa uma evolução do inversor *String*, sendo

que um inversor é conectado a vários conversores CC-CC e cada conversor é conectado a um arranjo de painéis fotovoltaicos. Essa topologia possui um melhor aproveitamento da energia processada pelo inversor se comparada com o inversor anterior, que processa uma menor quantidade de energia. Porém, necessita de dois estágios de processamento de energia.

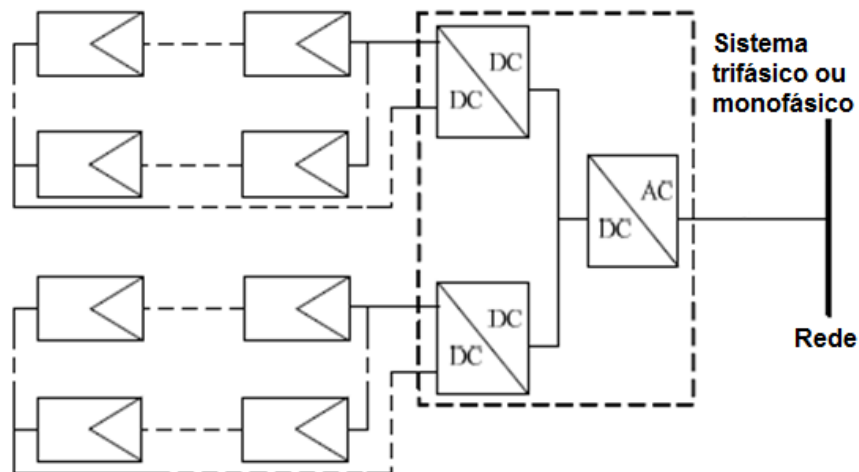


Figura 6: Topologia *Multi-String*.

Fonte: Noor et al. (2013)

- Microinversor (Figura 7): Esse tipo de inversor é utilizado em aplicações com pequenas potências, usualmente inferiores a 300W. Por se tratar de um sistema modular, há uma facilidade na sua expansão, não requer conexão entre os painéis e possui alta eficiência para acompanhar o ponto de máxima potência.

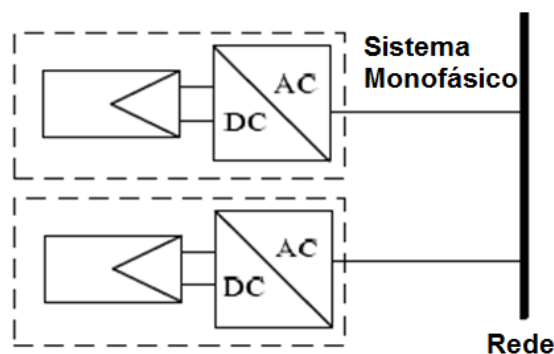


Figura 7: Microinversor.

Fonte: Noor et al. (2013)

Há outra diferenciação entre os inversores, em relação aos estágios de conversão

de energia. Inversores de estágio múltiplo têm sido amplamente utilizados em sistemas fotovoltaicos conectados à rede, porém, nos últimos anos, pesquisas estão sendo realizadas focando em sistemas de estágio único, a fim de redução de peso, custo e aumento de rendimento. Em sistemas de estágio múltiplo, a conversão de energia ocorre usualmente em um estágio de aumento de tensão aproveitando o máximo de potência dos painéis e outro estágio para a inversão CC-CA (NOOR et al., 2013).

Se tratando de conversores de múltiplos estágios, uma técnica bastante utilizada é o chaveamento em ponte H. A Figura 8 exemplifica um conversor *Zeta* de estágio duplo onde, no primeiro estágio, é feita a modulação para gerar um sinal pulsado, enquanto a ponte H chaveia em baixa frequência, responsável por inverter a saída do conversor *Zeta* a cada semiciclo de rede.

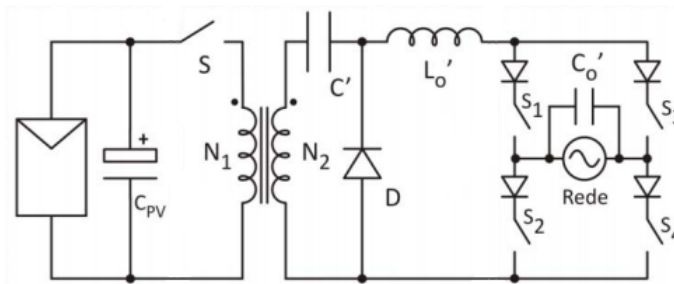


Figura 8: Inversor Zeta com módulo fotovoltaico integrado.

Fonte: Levin et al. (2013)

Haque, Sharma e Nagal (2016) utiliza a ponte H em um inversor *buck-boost* de uma maneira diferente da estratégia apresentada anteriormente. A Figura 9 apresenta a topologia proposta em que é utilizado o conversor *buck-boost* para rastrear o ponto de máxima potência do painel (MPPT) e elevar a tensão em um estágio CC-CC. Em um segundo estágio, a ponte H realiza a modulação senoidal em alta frequência e a inversão da corrente para ser injetada na rede.

Percebe-se também, pela Figura 9 que o conversor *buck-boost* é modificado e possui dois indutores alternados, obtendo como vantagem maior ganho que o conversor original em $\sqrt{2}$ vezes. Porém, uma limitação existente é que o conversor opera em modo descontínuo, limitando sua aplicação a baixas potências (HAQUE; SHARMA; NAGAL, 2016).

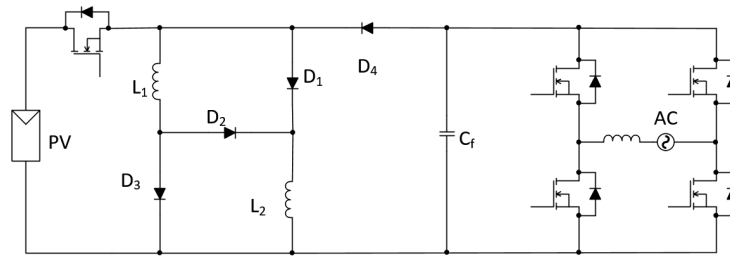


Figura 9: Inversor *buck-boost* para sistemas fotovoltaicos.

Fonte: Adaptado de Haque, Sharma e Nagal (2016)

Nas topologias de estágio único, a elevação do nível de tensão e sua inversão são realizadas em um mesmo estágio, onde a ponte H não é mais necessária. Sendo que no presente trabalho serão citadas algumas delas e posteriormente será abordado de maneira mais detalhada o inversor *Cuk*, que representa o foco do trabalho. Essas topologias microinversores compõem de conversores CC-CC que serão citadas, como por exemplo, *buck-boost*, *flyback* e *Cuk*.

Uma topologia a ser considerada é proposta por Jain e Agarwal (2007), representada na Fig.10, que consiste em um inversor *buck-boost* de estágio único para aplicação em sistemas fotovoltaicos conectados à rede. A configuração se compõe de dois conversores *buck-boost* CC-CC, sendo que no semiciclo positivo da senóide SW_{P1} é chaveada e SW_{P2} está ligada e no semiciclo negativo SW_{N1} é chaveada e SW_{N2} está ligada.

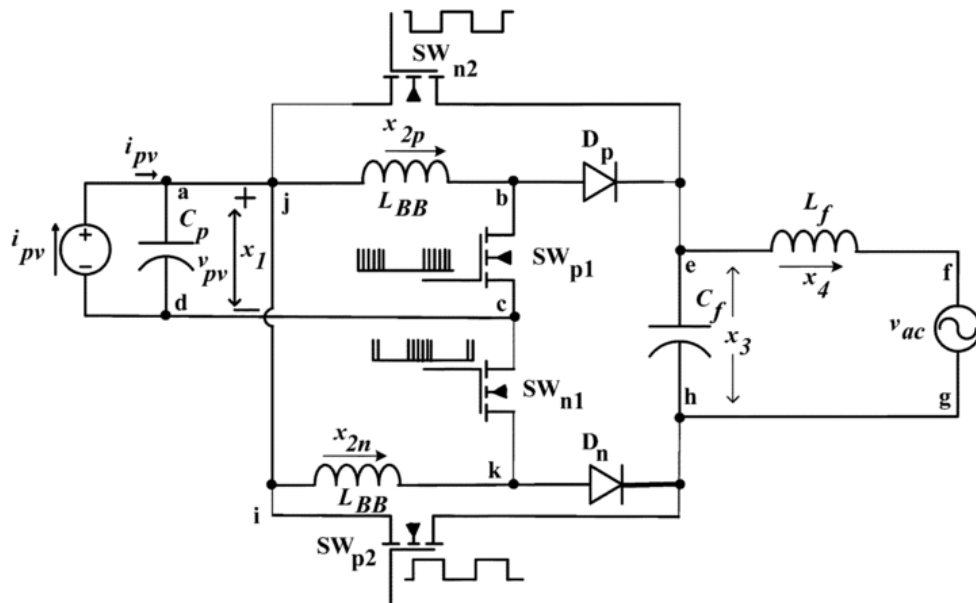


Figura 10: Inversor de estágio único com operação *buck-boost*.

Fonte: Jain e Agarwal (2007)

Em termos de resultados experimentais, foi observado um rendimento entre 80 e 90% com potência nominal de entrada variando-se o índice de modulação determinado por algoritmo de rastreamento de ponto de potência máxima, com THD de aproximadamente 5% para a corrente de saída, com potência gerada de 300 W.

Outra topologia a ser citada é a proposta por Kasa e Iida (2002), que se utiliza de dois conversores *flyback* com corrente controlada em malha aberta. A potência de saída pode ser calculada usando a equação obtida da tensão do arranjo de painéis fotovoltaicos. A Fig.11 demonstra o conjunto de conversores *flyback* conectados em configuração antiparalela, incluindo o capacitor de modo a gerar saída em CA.

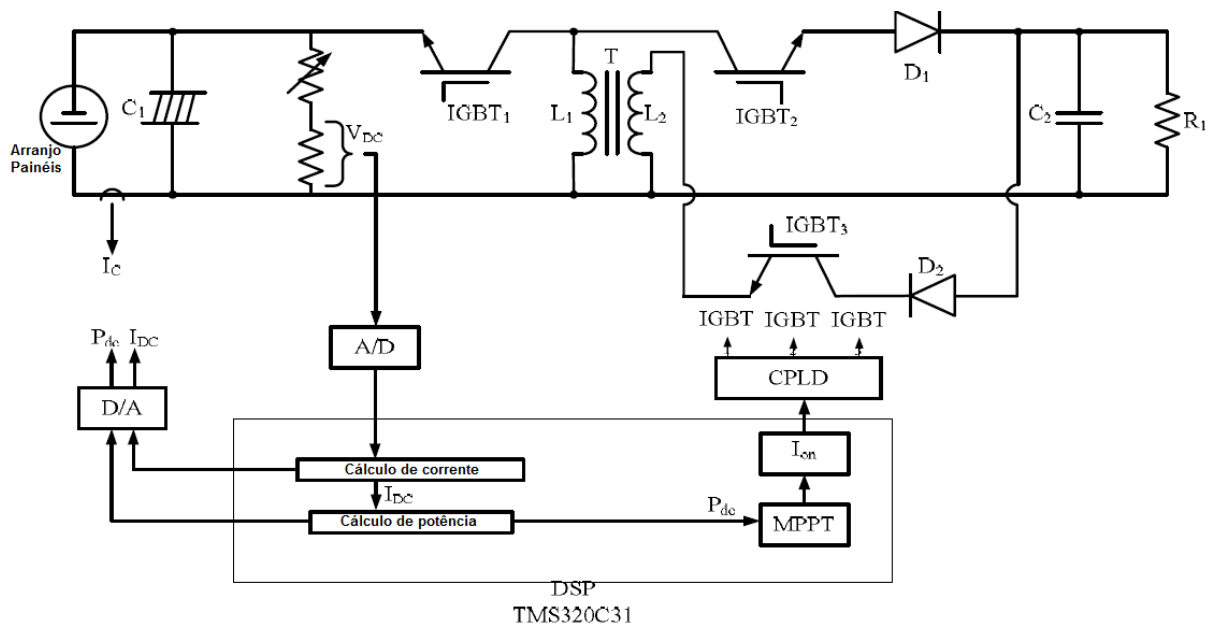


Figura 11: Inversor *flyback* e seu sistema de controle.

Fonte: Kasa e Iida (2002)

Já os resultados experimentais observados foram um rendimento de 89% e a potência de saída projetada de 300 W, porém nesse estudo não foi verificado a THD da corrente de saída (KASA; IIDA, 2002).

Todos os resultados experimentais observados nas topologias citadas serviram de posterior comparação para com o inversor *Cuk* que será detalhado nesse presente trabalho.

2.2 CONVERSOR CUK

Os conversores CC-CC são utilizados como reguladores chaveados, onde uma tensão em CC de entrada, não necessariamente regulada, é convertida em uma tensão CC regulada de saída. Essa regulação normalmente é alcançada por meio da estratégia de modulação em largura de pulsos (PWM, do inglês *pulse width modulation*) a uma frequência fixa (ao se tratar de conversores CC-CC), sendo os dispositivos de chaveamento comumente aplicados transistores BJT, MOSFET ou IGBT de potência.

Segundo Rashid (1993), existem quatro topologias básicas de conversores CC-CC não isolados, sendo elas:

- Conversor *buck* (ou abaixador de tensão);
- Conversor *boost* (ou elevador de tensão);
- Conversor *buck-boost* (ou abaixador-elevador de tensão);
- Conversor *Cuk* (Figura 15).

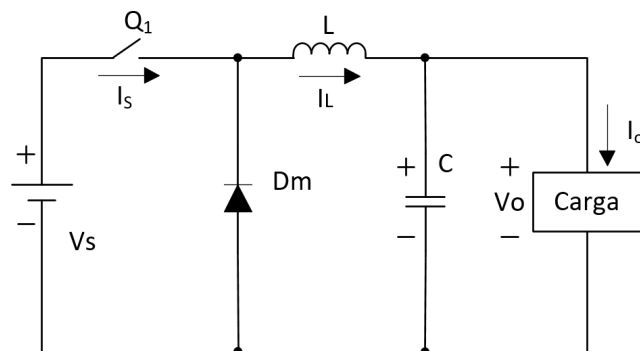


Figura 12: Esquemático da topologia *buck*.

Fonte: Adaptado de Rashid (1993).

As três primeiras topologias estão representadas nas Figuras 12, 13 e 14, porém não detalhadas. Já o conversor *Cuk* será abordado com mais detalhes nesta seção e suas etapas de funcionamento serão abordadas mais adiante. Topologias isoladas como, por exemplo, os conversores *flyback* e *push-pull* não representam foco de análise para o presente trabalho.

Em um conversor *buck* (Figura 12), a tensão média de saída V_o é menor ou igual que a entrada V_s ; já no conversor *boost* (Figura 13) essa tensão de saída é maior ou igual que a

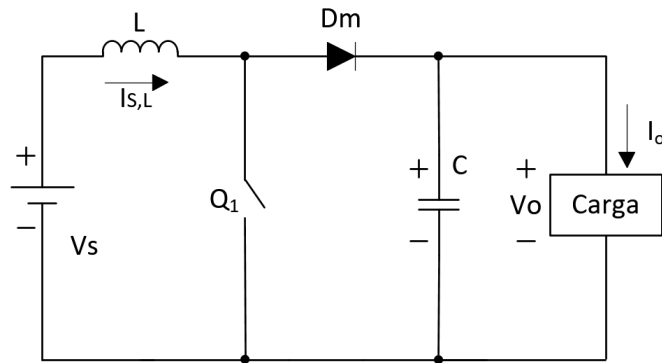


Figura 13: Esquemático da topologia *boost*.

Fonte: Adaptado de Rashid (1993).

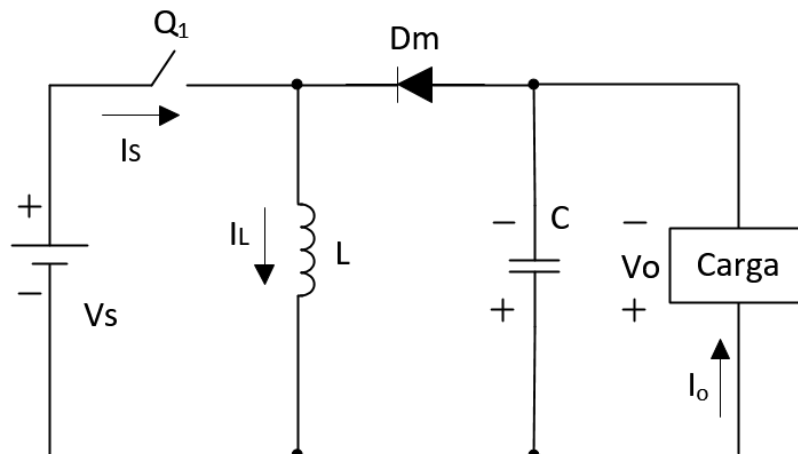


Figura 14: Esquemático da topologia *buck-boost*.

Fonte: Adaptado de Rashid (1993).

de entrada. O conversor buck-boost (Figura 14) por sua vez, fornece uma tensão de saída que pode ser menor ou maior que a tensão de entrada, proporcionando polaridade da tensão de saída oposta à entrada sem uso de transformador (RASHID, 1993).

O conversor *Cuk*, proposto por Cuk e Middlebrook (1977) e nomeado em sua homenagem, possui a mesma característica geral de conversão de um conversor *buck-boost* (eleva ou reduz a tensão CC de entrada), proporcionando altos rendimentos, pequenas ondulações de tensão de saída, pouca interferência eletromagnética, com tamanho e peso reduzido e excelente resposta dinâmica.

Características indesejáveis dos conversores *buck*, *boost* e *buck-boost* tais como

correntes de saída e/ou entrada pulsadas não são observadas no conversor *Cuk*, ainda mantendo propriedades desejáveis de conversão de energia por meio de uma estrutura simples, resultando em uma boa aproximação de um transformador ideal. (CUK; MIDDLEBROOK, 1977).

O arranjo do circuito do conversor *Cuk*, utilizando como elemento de chaveamento um BJT, está representado na Figura 15. Semelhante ao conversor *buck-boost*, o conversor *Cuk* fornece tensão de saída maior ou menor que a de entrada, com polaridade invertida (RASHID, 1993).

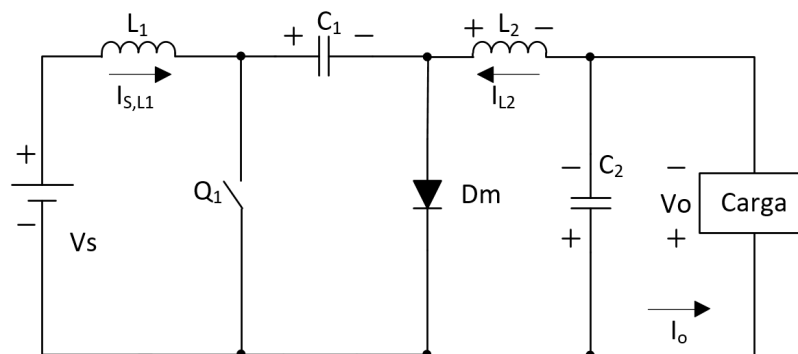


Figura 15: Esquemático da topologia *Cuk*.

Fonte: Rashid (1993).

Onde na Figura 15 i_{L1} representa a corrente no indutor L_1 , que é equivalente à corrente i_s da fonte, e_L representa a tensão no indutor L_1 , B representa a base da chave Q_1 , que possui tensão V_T . V_{C1} representa a tensão no capacitor C_1 e i_{L2} representa a corrente no indutor L_2 , assim sucessivamente.

As equações de ganho estático, tensão de saída, entre outras, são deduzidas e comprovadas juntamente às etapas de funcionamento do conversor, bem como serão demonstradas as formas de onda de tensões e correntes dos componentes do circuito.

2.3 INVERSOR *CUK*

A topologia inversora utilizada no presente trabalho está novamente representada na Figura 16, composta por quatro chaves conectadas à referência, representando uma vantagem em relação às topologias apresentadas anteriormente devido à facilidade no comando do circuito. Nessa topologia, dois conversores *Cuk* operam de maneira unipolar controlado por esse chaveamento, onde cada conversor opera independentemente com somente um dos conversores ativo em um dado instante de tempo (KNIGHT; SHIRSAVAR; HOLDERBAUM, 2006).

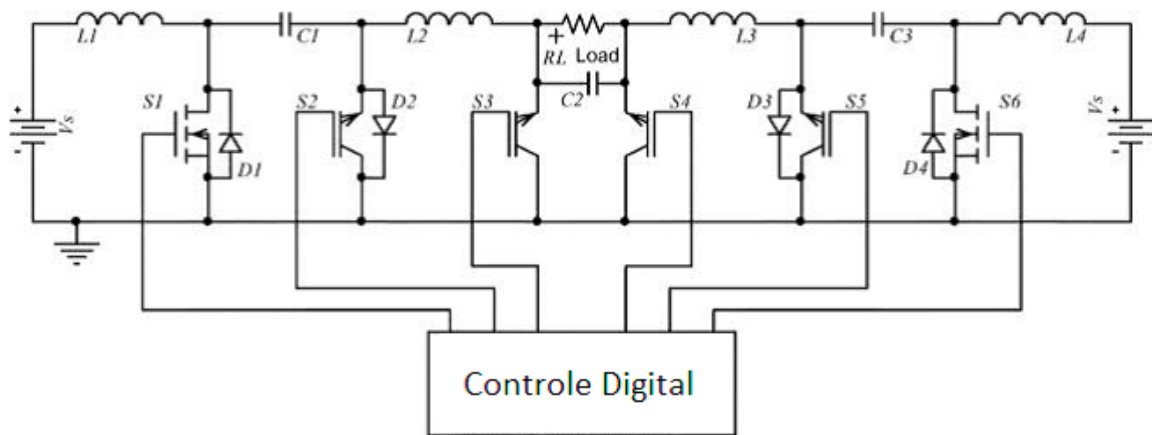


Figura 16: Topologia do inversor *Cuk* proposto.

Fonte: Adaptado de Knight, Shirsavar e Holderbaum (2006).

O inversor aproveita-se de vantagens do conversor *Cuk*, que segundo Selwan, Gajic e Park (2015), ao contrário do conversor *buck-boost* que utiliza-se de um indutor para converter energia entre a entrada e a saída, o *Cuk* faz uso de um capacitor para essa função, o que permite a utilização de indutores de menor porte.

Como Knight, Shirsavar e Holderbaum (2006) reafirma, o inversor proposto utiliza-se de baratos e pequenos componentes passivos, produz uma forma de onda senoidal limpa e não necessita de um transformador em baixa frequência ou uma ponte H de quatro chaves para serem comandadas.

As entradas e saídas em corrente, determinadas pelos indutores, possuem características similares à fontes de corrente com baixas ondulações, diferentemente de correntes pulsadas de altas taxas de distorção observadas em outras topologias inversoras. Além disso, para aplicações em sistemas conectados à rede, saídas em tensão de capacitores apresentariam uma dificuldade de controle no sentido de que com pequenas diferenças de tensões entre elas, uma saída alimentaria a outra, em detrimento à rede elétrica (SELWAN; GAJIC; PARK, 2015).

Apesar das vantagens apresentadas, o conversor selecionado para este estudo necessita de uma técnica de controle complexa, devido ao fato de sua topologia possuir diversos componentes armazenadores de energia. Consequentemente, ao se aplicarem técnicas convencionais de controle (como Proporcional-Integral e Proporcional-Integral-Derivativo, por exemplo), o circuito apresenta comportamento instável. Além disso, o conversor *Cuk* não atinge ganhos muito elevados, trazendo também problemas de instabilidade caso necessite trabalhar

com razão cíclica muito elevada. Outra desvantagem dessa topologia é o fato de a saída não estar em um mesmo referencial da entrada, podendo gerar instabilidade em seu funcionamento.

Os componentes do circuito são enumerados de forma a facilitar a explicação das suas etapas de operação, sendo que a corrente no indutor L_1 , por exemplo, será denominada de I_{L1} e assim sucessivamente para valores de tensões e correntes nos demais componentes da topologia.

O objetivo do circuito da Figura 16 é gerar uma tensão senoidal na carga resistiva, onde cada conversor *Cuk* opera de forma a produzir o seu semiciclo da senoide devido à estratégia de controle do processador utilizado. Neste caso, um conversor será responsável pelo semiciclo positivo e o outro pelo negativo, representando os conversores P e N do esquema na Figura 17. Cada conversor pode ser considerado como sendo uma fonte de tensão, cujo formato de onda da saída depende da estratégia de manipulação da razão cíclica D (KNIGHT; SHIRSAVAR; HOLDERBAUM, 2006).

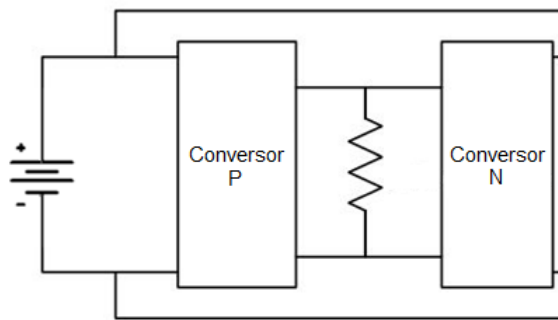


Figura 17: Esquema dos Conversores P e N.

Fonte: Adaptado de Mustafiz et al. (2012).

Em relação aos resultados experimentais da topologia inversora a ser desenvolvida, Knight, Shirsavar e Holderbaum (2006), que utilizou-se da topologia apresentada, com estratégias de controle diferente da que será desenvolvida nesse trabalho (será utilizado um controlador digital de sinais ao invés da estratégia *Sliding Mode* utilizada pelo autor), não foi apresentado no artigo valores de rendimento, porém foram expostas curvas das taxas de distorção harmônica da corrente senoidal de saída em situação de plena carga e a vazio, bem como formas de onda da tensão de saída a vazio e com uma carga de 120Ω . Também foram expostas formas de onda em situações e que o conversor parte a vazio e muda para carga nominal e vice-versa. Essas formas de onda estão representadas nas Figura 18.

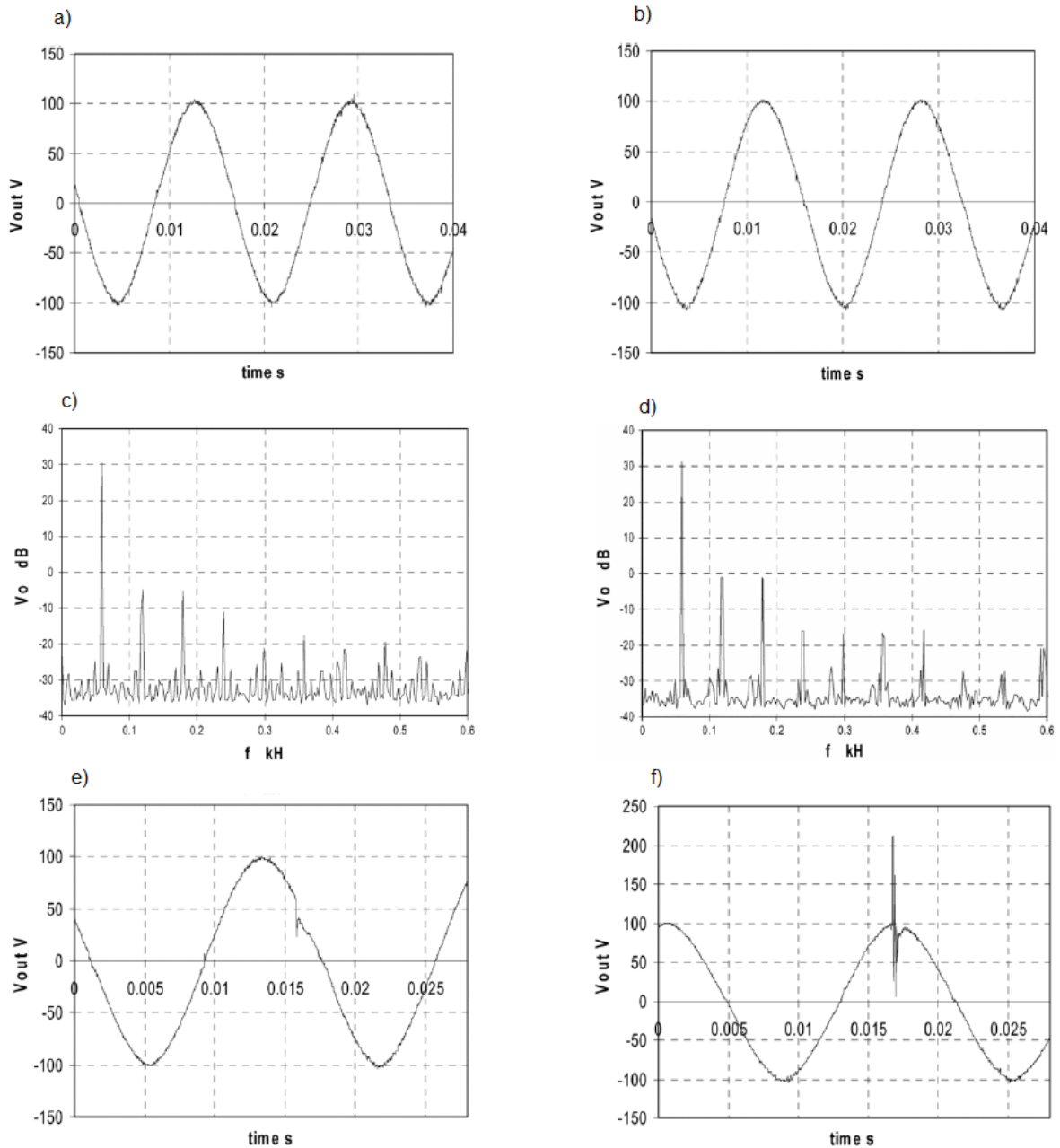


Figura 18: a) Tensão de saída a vazio do inversor. b) Tensão de saída do inversor, carga de 120Ω . c) Harmônicos de corrente de saída a vazio. d) Harmônicos de corrente de saída, plena carga. e) Tensão de saída transição plena carga/a vazio. f) Tensão de saída transição a vazio/plena carga.

Fonte: Knight, Shirsavar e Holderbaum (2006)

2.4 PROCESSADOR

Para o controle do protótipo inversor *Cuk* desenvolvido, foi utilizado um controlador digital de sinais (DSC), por atender aos requisitos do projeto, facilidade de acesso e familiaridade com a programação, foi escolhido o modelo MC56F84789 do fabricante *freescale*.

Todas as informações contidas neste capítulo foram retiradas do manual do processador, do fabricante Freescale Semiconductor (2012).

O microcontrolador está contido no módulo em torre TWR-56F8400, desse fabricante. Na Figura 19 observa-se o diagrama de blocos generalizado da torre juntamente com o processador, esquematizando as interações entre os componentes desse módulo.

O módulo em torre TWR-56F8400 é uma placa de avaliação, demonstração e desenvolvimento, podendo operar em configuração *stand-alone* (independente), ou como controle principal de um sistema em torre com módulos periféricos.

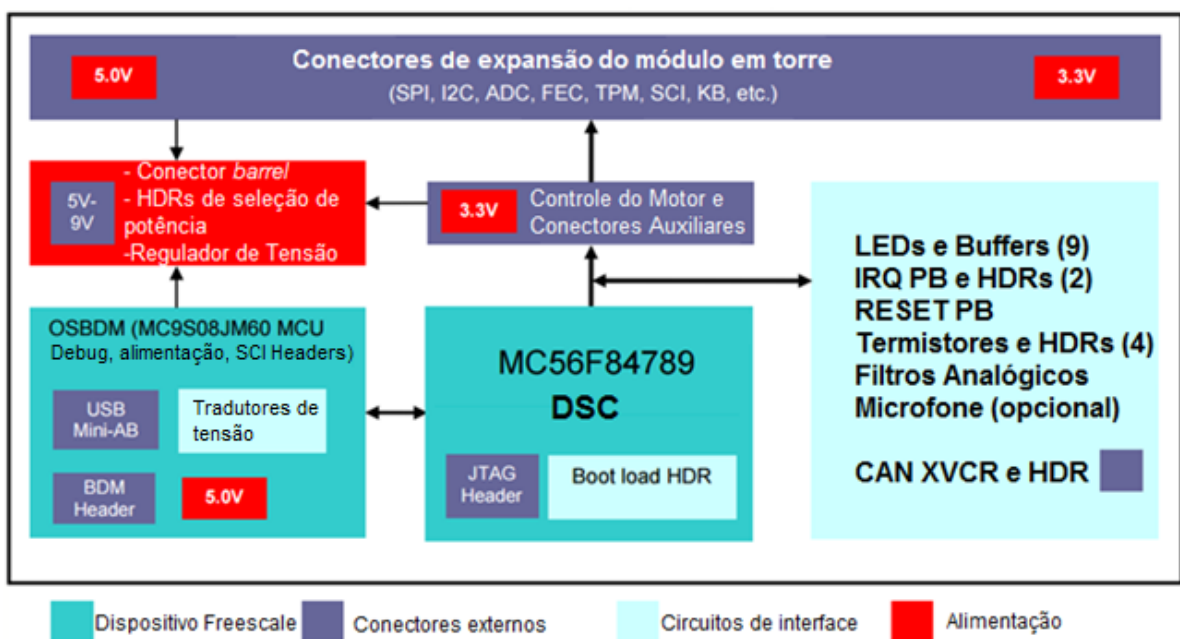


Figura 19: Diagrama em blocos do módulo TWR-56F8400.

Fonte: Freescale Semiconductor (2012)

Para a programação desse DSC foi utilizado o software da própria empresa fabricante, chamado CodeWarrior. A linguagem utilizada é a mesma linguagem C utilizada em microcontroladores, devendo ajustar todos os registradores das funções utilizadas.

Existe também uma opção de ajuste de registradores por esse software de maneira alternativa, que é o ProcessExpert, nessa maneira é possível ajustar as funções e periféricos do controlador por uma interface gráfica com as opções de configurações possíveis. Escolhendo-se uma configuração, o ProcessExpert gera o código de inicialização dos periféricos e funções do DSC.

A seguir são listadas algumas principais características do módulo TWR-56F8400:

- Controlador digital de sinais *32-bit* modelo MC56F84789 integrado;
- Fontes de energia selecionáveis (como por exemplo USB e *barrel conector*);
- Conector para sinal auxiliar;
- Quatro termistores para entradas analógicas do microcontrolador;
- 9 LEDs controlados pelo MC56F84789;
- Circuito para cristal de 8 MHz (opcional);
- Dois (push buttons) para o acionamento ou interrupções de portas do microprocessador;
- Um push button com função (reset);
- MC9S08JM60 com cristal de 4 MHz no circuito OBDM (*Debug*, alimentação, etc.), proporcionando: circuito debug de código aberto, ponte SCI para USB, fácil atualização do *firmware* S08 (vem com a versão 31.21) com suporte para CodeWarrior, entre outras características;
- Um transmissor, receptor e emissor em CAN.

A Figura 20 Representa o módulo TWR-56F8400, com alguns de seus componentes indicados.

Com relação ao microcontrolador MC56F84789 em si, são listadas algumas de suas características principais:

- Núcleo de 100 MHz, arquitetura 100 MIPS e *32-bit* para rápida execução do controle de malha;
- Suporte para aritmética fracional para maior rapidez na programação;
- Controlador DMA para redução nas intervenções do núcleo durante troca de informações entre periféricos;
- Modulador PWM de alta resolução (321 pico-segundos), para ajuste preciso das malhas de controle;
- Conversores analógicos-digitais (ADCs) de alta resolução e velocidade, para redução no atraso de entrega de dados (*jitter*) para leituras de tensões e correntes;

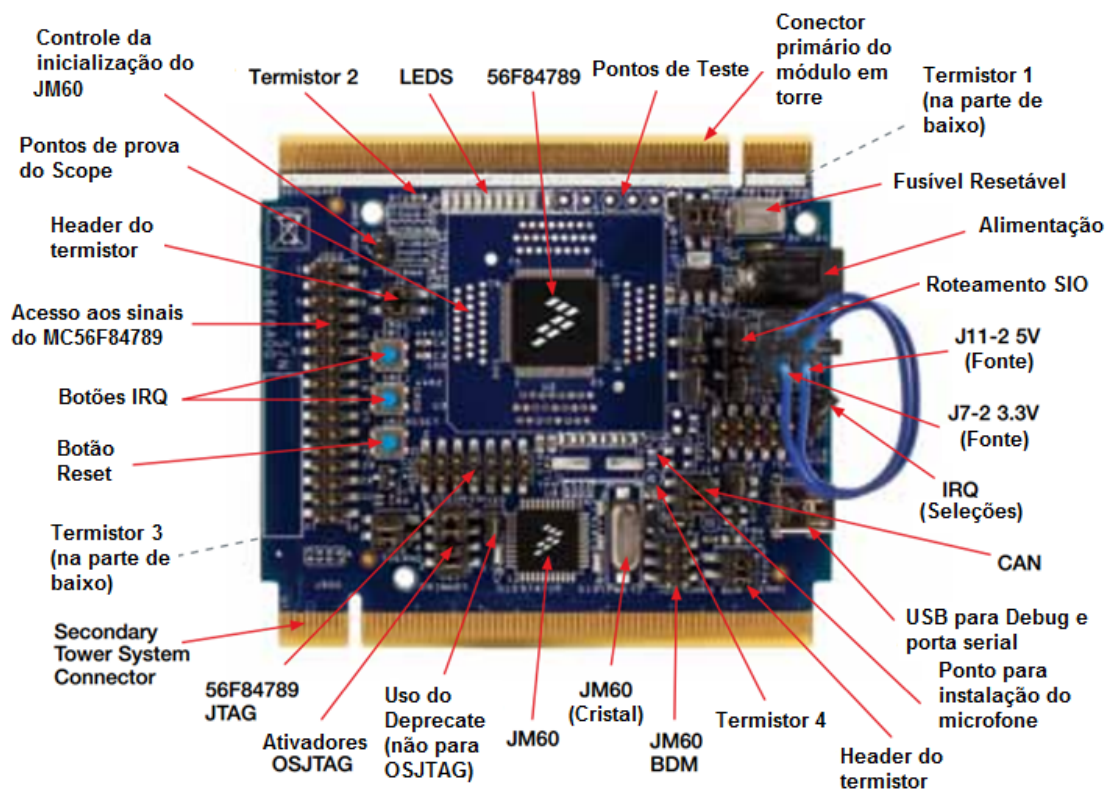


Figura 20: Módulo TWR-56F8400 e seus componentes.

Fonte: Freescale Semiconductor (2012)

- Quatro comparadores analógicos com conversores digitais-analógicos (DACs) de 6-bit integrados que podem ativar desligamento de emergência dos PWMs
- Pinos entrada-saída (I/O) de 5 volts para menor custo da placa de projeto.
- Unidade com recurso de proteção da memória para facilitar certificações de segurança;
- Memória FlexMemory do fabricante *freescale* para armazenamento de dados simplificado.

Os periféricos que mais foram utilizados nesse trabalho, serão os PWMs e os ADCs, ambos são possíveis de se configurar pelo ProcessExpert. O código de controle ficará na interrupção de cada ciclo do PWM juntamente com a leitura dos ADCs.

3 DESENVOLVIMENTO TEÓRICO

3.1 INTRODUÇÃO

Este capítulo apresenta de maneira mais detalhada o funcionamento do conversor estudado e desenvolvido para a execução deste trabalho.

A topologia do conversor composta por dois conversores *Cuk* desenvolvida durante o trabalho foi apresentada no capítulo 2. Devido ao fato de cada um dos dois conversores funcionar como um circuito CC-CA durante um semi ciclo da senoide da rede (alternadamente), enquanto se mantém isolado durante o semi ciclo complementar, será então apresentado o funcionamento de um conversor *Cuk* individualmente.

3.2 TOPOLOGIA E ETAPAS DE FUNCIONAMENTO

Para início da análise, a topologia do conversor *Cuk* utilizado está demonstrada na Figura 21.

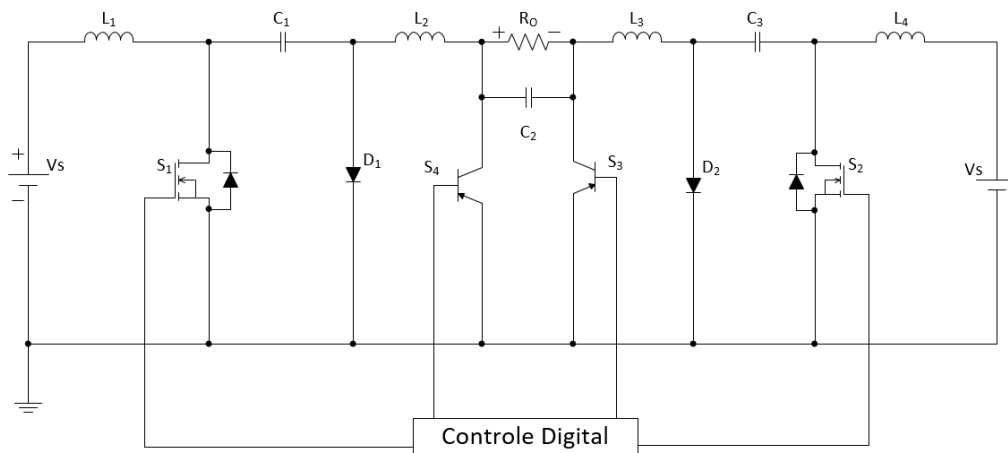


Figura 21: Conversor *Cuk* analisado.

Fonte: Modificado de Knight, Shirsavar e Holderbaum (2006).

As etapas de funcionamento do conversor *Cuk* são descritas a seguir.

Em regime, como as tensões médias sobre os indutores são nulas, tem-se:

$$V_{C1} = E + V_o \quad (1)$$

Com a chave S_1 bloqueada, as correntes de ambos os indutores fluem pelo diodo. Nessa etapa, o capacitor C_1 se carrega, recebendo energia do indutor L_1 . A energia armazenada em L_2 é enviada à saída.

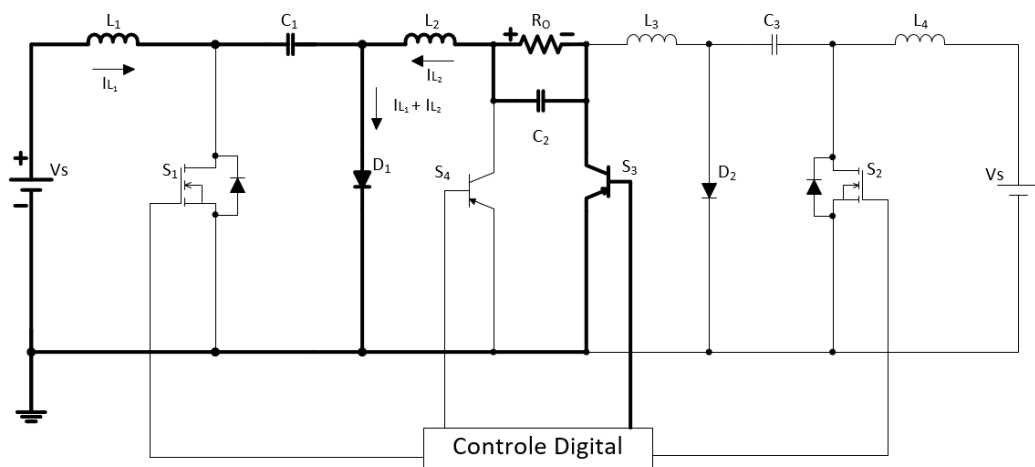


Figura 22: Etapa 1.

Fonte: Modificado de Knight, Shirsavar e Holderbaum (2006).

Quando a chave está conduzindo, o diodo D_1 se mantém bloqueado e I_{L1} e I_{L2} passam a circular por S_1 . Como a tensão no capacitor C_1 é maior que a tensão V_o , C_1 se descarrega, transferindo energia para L_2 e para a saída. Além disso, o indutor L_1 acumula energia retirada da fonte.

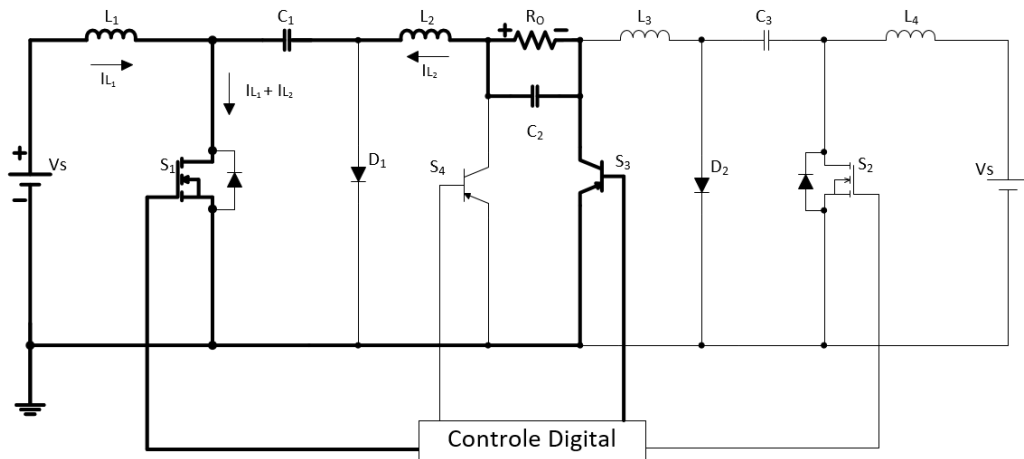


Figura 23: Etapa 2.

Fonte: Modificado de Knight, Shirsavar e Holderbaum (2006).

A Figura 24 mostra as formas de onda de corrente no modo de condução contínua (POMILIO, 2014).

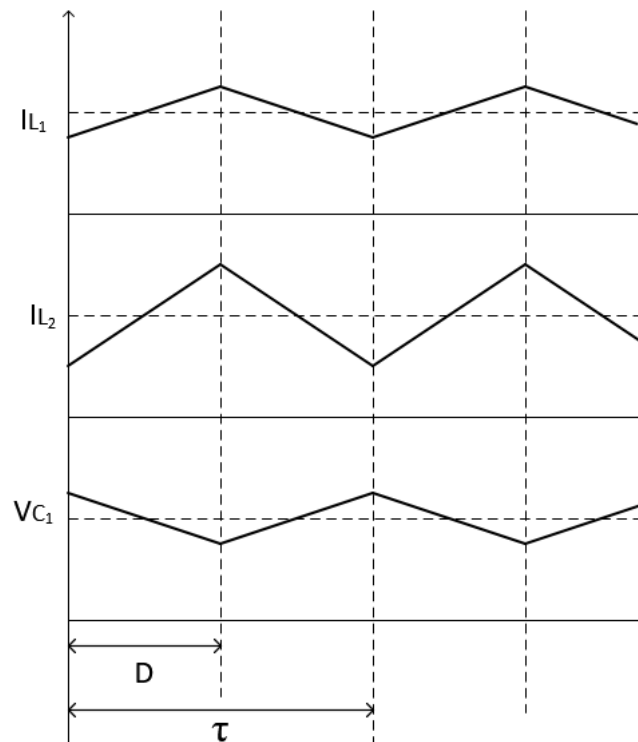


Figura 24: Formas de onda do conversor Cuk em condução contínua.

Fonte: Pomilio (2014).

Desconsiderando as ondulações das correntes I_{L1} e I_{L2} , e como a corrente média que passa por um capacitor é nula (em regime), tem-se:

$$I_{L2} \cdot t_T = I_{L1}(\tau - D) \quad (2)$$

Onde:

τ = Período de chaveamento.

Logo,

$$V_o = \frac{V_S \cdot D}{1 - D} \quad (3)$$

3.3 DIMENSIONAMENTO DOS INDUTORES E CAPACITORES

Para o dimensionamento dos capacitores e indutores do circuito, os cálculos foram realizados para a situação em que a tensão de saída esteja em seu pico. Considerou-se como parâmetros de projetos:

Tensão de entrada:

$$V_S = 60 \text{ V} \quad (4)$$

Tensão de pico na saída:

$$V_o = 180 \text{ V} \quad (5)$$

Frequência de chaveamento:

$$f_s = 25 \text{ kHz} \quad (6)$$

Ondulação máxima de corrente em ambos os indutores:

$$\Delta I_L = 0,1 \cdot I_L \quad (7)$$

Ondulação máxima de tensão de C_1 :

$$\Delta V_{C_1} = 0,1 \cdot V_{C_1} \quad (8)$$

Ondulação máxima de tensão de C_2 :

$$\Delta V_{C_2} = 0,01 \cdot V_{C_2} \quad (9)$$

Potência de saída:

$$P_o = 100 \text{ W} \quad (10)$$

Para realizar as primeiras análises via simulação, calculou-se uma carga resistiva para consumir os 100 W desejados, obtendo-se:

Resistência de saída:

$$R_o = 161,3 \Omega \quad (11)$$

Corrente de pico da saída:

$$I_o = 1,12 \text{ A} \quad (12)$$

Além disso, para obter a forma de onda da tensão desejada, calculou-se uma razão cíclica discreta de:

$$D = K \cdot \frac{\text{sen}(2 \cdot \pi \cdot f \cdot t)}{1 + K \cdot \text{sen}(2 \cdot \pi \cdot f \cdot t)} \quad (13)$$

Onde:

K = relação entre o pico do formato senoidal e a tensão de entrada;

f = frequência da senoide de saída;

t = tempo em segundos.

Durante os cálculos, utilizou-se da razão cíclica máxima, sendo este o momento onde a tensão de saída é de 180 V.

3.3.1 Indutor L_1

Enquanto S_1 estiver conduzindo, a corrente de L_1 é a corrente de entrada. Além disso, o indutor está submetido à tensão V_S da fonte. Para encontrar a máxima corrente fornecida pela fonte, calcula-se a potência instantânea máxima extraída do circuito:

$$P_o = 180 \cdot 1,12 = 201,6 \text{ W} \quad (14)$$

Então tem-se como corrente máxima de entrada:

$$I_{L1} = \frac{201,6}{60} = 3,36 \text{ A} \quad (15)$$

Logo,

$$L_1 = \frac{V_S \cdot D}{\Delta I_{L1} \cdot f_s} \quad (16)$$

$$L_1 = 5,397 \text{ mH} \quad (17)$$

3.3.2 Indutor L_2

Análogo ao indutor L_1 , porém para a etapa onde a chave se encontra aberta:

$$L_2 = \frac{V_S \cdot D}{\Delta I_{L2} \cdot f_s} \quad (18)$$

$$L_2 = 16,07 \text{ mH} \quad (19)$$

3.3.3 Capacitor C_1

Durante a etapa na qual a chave se encontra fechada, a corrente que circula pelo capacitor C_1 é a corrente de saída. Para a ondulação de tensão desejada, tem-se:

$$C_1 = \frac{I_{L2} \cdot D}{\Delta V_{C1} \cdot f_s} \quad (20)$$

$$C_1 = 1,4 \mu\text{F} \quad (21)$$

3.3.4 Capacitor C_2

Partindo do fato de que a corrente média de um capacitor deve ser igual a zero e considerando que não haja ondulação de corrente no resistor da saída, sabe-se que o valor médio da corrente do indutor L_2 se equivale ao da carga. Além disso, a corrente que circula pelo capacitor C_2 é equivalente a corrente do indutor L_2 subtraído o seu valor médio.

A partir disso, pode-se deduzir a equação do dimensionamento de C_2 (POMILIO, 2014).

$$C_2 = \frac{V_S \cdot D}{8 \cdot L_2 \cdot \Delta V_{C_o} \cdot f_s} \quad (22)$$

$$C_2 = 0,156 \mu F \quad (23)$$

3.4 ESFORÇOS NA CHAVE E NO DIODO

Durante ambas as etapas de funcionamento do conversor, pode-se analisar a malha composta pela chave S_1 , o capacitor C_1 e o diodo D_1 . Para cada caso, a tensão na chave ou no diodo será exclusivamente igual a $0 V$, sendo este o que estiver em modo de condução. Com esta análise, conclui-se que o esforço submetido a estes componentes é equivalente à tensão no capacitor C_1 . Como visto anteriormente:

$$V_{C_1} = V_S + V_o \quad (24)$$

$$V_{S_1} = V_{D_1} = 240 V \quad (25)$$

Novamente para ambos os estágios, sabendo que a chave e o diodo conduzem alternadamente, as correntes de I_{L1} e I_{L2} circulam por S_1 quando esta estiver conduzindo ou pelo diodo quando a chave estiver bloqueada. Para calcular-se os valores de corrente média, corrente eficaz e corrente de pico que circula por estes componentes, é necessário saber qual a corrente de entrada e de saída e seus valores médios.

O circuito é projetado para converter a tensão para um valor de $127 V$ eficazes com formato de onda senoidal e será simulado inicialmente com uma carga de $161,3 \Omega$, portanto a corrente de saída será:

$$I_o = 1,12 \cdot \text{sen}(\omega \cdot t) \quad (26)$$

Considerando-se o circuito ideal, ou seja, a potência transferida pela fonte será igual à potência consumida pela carga, então é possível calcular as funções de potência e corrente da entrada:

$$P_{V_s} = P_o = V_o \cdot I_o \quad (27)$$

Logo,

$$P_{V_s} = 201,6 \cdot \text{sen}^2(\omega \cdot t) \quad (28)$$

Para uma tensão de entrada constante, a corrente fornecida pela fonte será similar à potência fornecida:

$$I_{V_s} = 3,36 \cdot \text{sen}^2(\omega \cdot t) \quad (29)$$

Para S_1 e D_1 , os valores de corrente média e eficaz são:

$$I_{S_1 med} = \frac{1}{T} \sum_{n=0}^{\frac{T}{2\tau}-1} \int_{n\cdot\tau}^{n\cdot\tau+D\tau} [I_{V_s} + I_o] dt \quad (30)$$

$$I_{D_1 med} = \frac{1}{T} \sum_{n=0}^{\frac{T}{2\tau}-1} \int_{n\cdot\tau}^{n\cdot\tau+D\tau} [I_{V_s} + I_o] dt \quad (31)$$

$$I_{S_1 rms} = \sqrt{\frac{1}{T} \sum_{n=0}^{\frac{T}{2\tau}-1} \int_{n\cdot\tau}^{n\cdot\tau+D\tau} [I_{V_s} + I_o]^2 dt} \quad (32)$$

$$I_{D_1 rms} = \sqrt{\frac{1}{T} \sum_{n=0}^{\frac{T}{2\tau}-1} \int_{n\cdot\tau}^{n\cdot\tau+(1-D)\tau} [I_{V_s} + I_o]^2 dt} \quad (33)$$

Sendo,

T = Período na frequência da rede;

τ = Período na frequência de chaveamento;

$$D = K \cdot \frac{\text{sen}(2 \cdot \pi \cdot f \cdot [n \cdot \tau])}{1 + K \cdot \text{sen}(2 \cdot \pi \cdot f \cdot [n \cdot \tau])} \quad (34)$$

Substituindo os valores para S_1 :

$$I_{S_1 med} = 0,84 A \quad (35)$$

$$I_{S_1 rms} = 1,707 A \quad (36)$$

Substituindo os valores para D_1 :

$$I_{D_1 med} = 0,357 A \quad (37)$$

$$I_{D_1 rms} = 1,055 A \quad (38)$$

O pico de corrente pode ser calculado ao somar-se o valor de pico para a entrada e a saída, sendo que estas correntes se encontram em fase:

$$I_T = I_D = I_{L1} + I_{L2} = 4,48 A \quad (39)$$

Devido à complexidade das expressões utilizadas, calculou-se também estes valores de corrente através de uma aproximação, onde considerou-se a forma de onda da corrente como sendo uma senoide. Para isso, utilizou-se o valor médio de um ciclo de chaveamento onde ocorre o pico de corrente como sendo o valor de pico da senoide aproximada.

Dessa forma, a corrente aproximada que circula pela chave tem como valor máximo, o produto da razão cíclica máxima ($D = 0,75$) e seu pico efetivamente. No caso do diodo, será o produto entre o complemento da razão cíclica máxima ($D = 1 - 0,75$) e a corrente de pico. Os valores calculados através da aproximação foram:

$$I_{S_1 med} = 1,07 A \quad (40)$$

$$I_{D_1 med} = 0,36 A \quad (41)$$

Os valores de corrente eficaz não foram satisfatórios através do método utilizado, quando comparados com os valores simulados.

4 SIMULAÇÃO DO CONVERSOR

4.1 INTRODUÇÃO

Esse capítulo traz os resultados obtidos pela simulação do conversor proposto a partir dos resultados de projeto obtidos no Capítulo 3. Essa etapa é importante, para a validação dos cálculos e expectativas apresentados nos itens anteriores.

Para a simulação do conversor, foi utilizado o *software PSpice ver. 9.2*. Apesar de ser uma versão mais antiga, o programa foi escolhido pela equipe por possuir componentes reais, ser bastante confiável em sua resposta transitória e no aspecto de comutação das chaves.

Alguns componentes da simulação tiveram seus valores alterados para valores comerciais encontrados, a Tabela 1 apresenta os valores utilizados bem como os valores calculados.

Tabela 1: Valores dos componentes calculados e simulados.

Componente	Valor calculado	Valor simulado
V_s	60 V	60 V
L_1 e L_4	5,397 mH	5,397 mH
C_1 e C_3	1,40 μ F	1,50 μ F
L_2 e L_3	16,07 mH	16,07 mH
C_2	156 nF	180 nF

Na simulação foram utilizadas duas fontes de alimentação distintas para os conversores por maior facilidade de traçar o circuito, porém na implementação prática os dois serão alimentados pela mesma fonte. A Figura 25 apresenta o circuito do conversor no simulador.

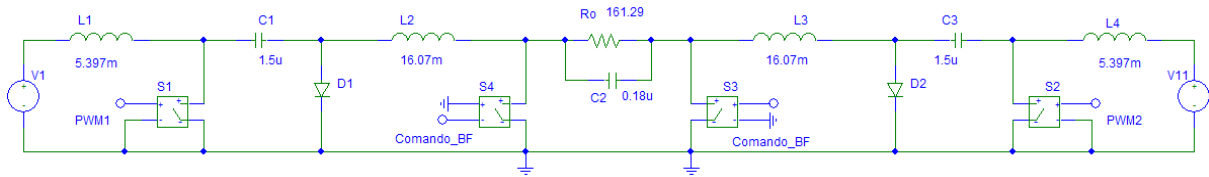


Figura 25: Conversor proposto no simulador *PSpice*.

4.2 ACIONAMENTO DAS CHAVES

As chaves S_1 e S_2 serão comandadas em alta frequência de acordo com a forma de onda da equação 13, enquanto S_3 e S_4 serão na frequência da rede elétrica. O controle implementado está em malha aberta por limitações de controle digital no simulador e é apresentada na Figura 26.

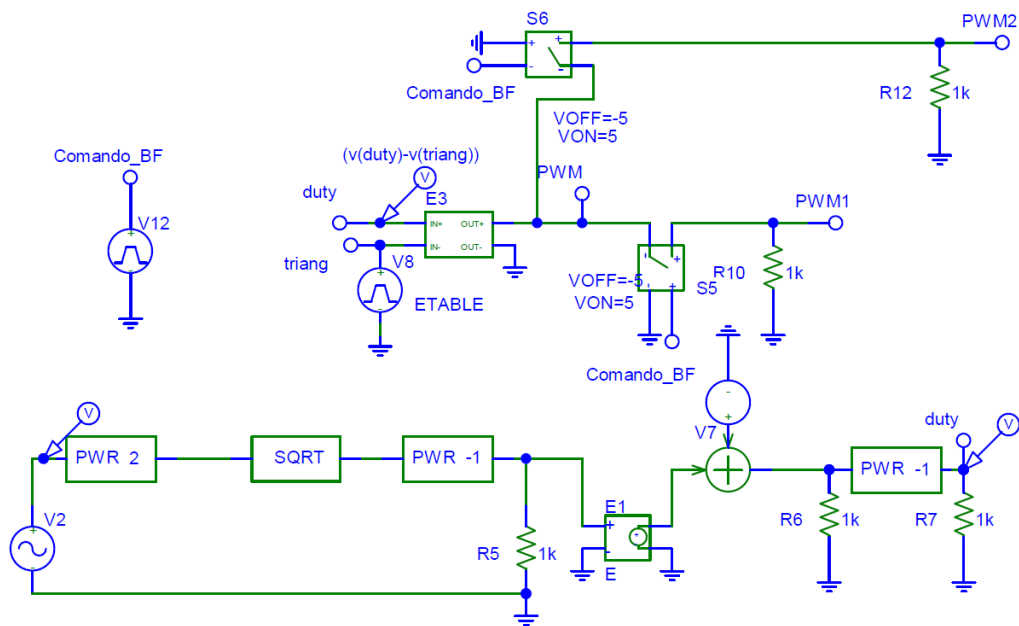


Figura 26: Controle do conversor em malha aberta no simulado *PSpice*.

O resultado é apresentado na Figura 27 e será comparado com uma rampa de valor máximo $1,0\text{ V}$ e de frequência de 25 kHz . O resultado da comparação será amplificado para 15 V e utilizado para o acionamento das chaves S_1 e S_2 .

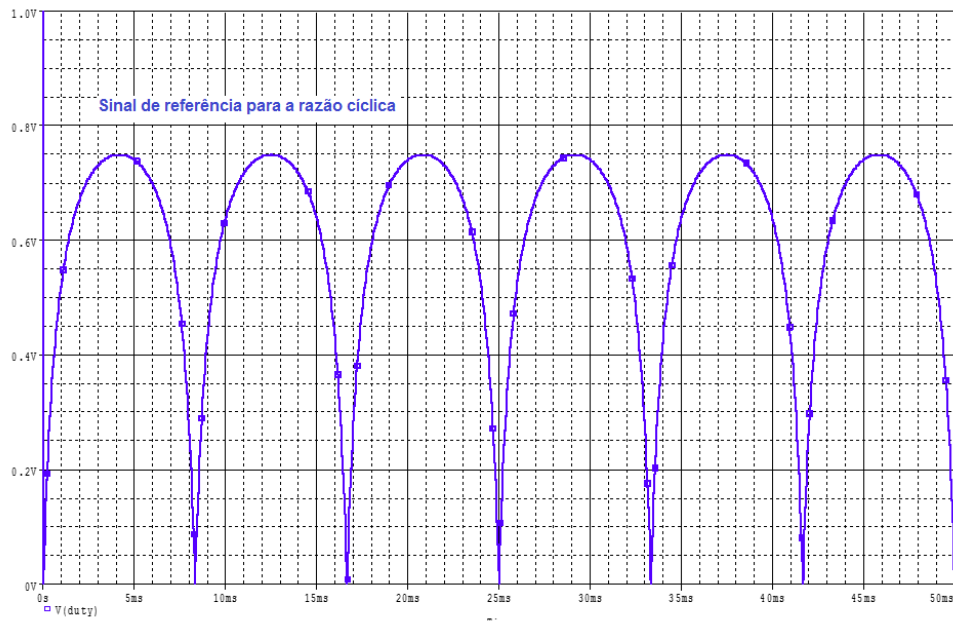


Figura 27: Sinal de comparação com onda triangular para gerar a razão cíclica.

Fonte: Autoria própria.

Uma pequena parcela do acionamento de uma das chaves S_1 e S_2 é apresentado na Figura 28, a outra chave receberá o acionamento equivalente, porém no outro semiciclo da rede elétrica.

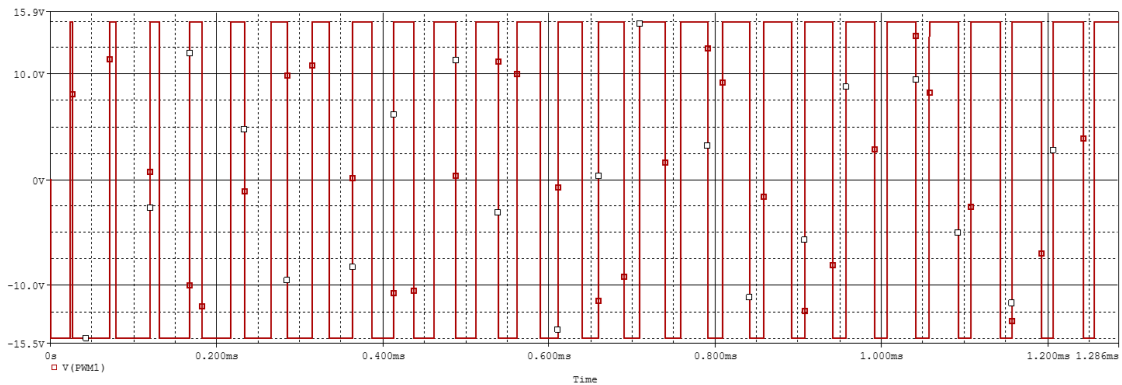


Figura 28: Razão cíclica da chave no início do ciclo senoidal.

Fonte: Autoria própria.

Percebe-se que a razão cíclica é crescente, uma vez que o sinal é derivado de um sinal senoidal. A largura de pulso cresce até o ponto máximo do seno e a partir desse ponto começa a decrescer até alcançar o zero. Uma vez em zero, é trocado o semiciclo da rede elétrica e, consequentemente, o conversor complementar é acionado.

Para a troca de semiciclo da rede são utilizadas as chaves S_3 e S_4 , a Figura 29 mostra o comando dessas chaves (com nível de tensão ampliado e em azul) junto da rede elétrica (em vermelho), sendo que no semiciclo positivo é acionada a chave S_4 e no negativo a chave S_3 .

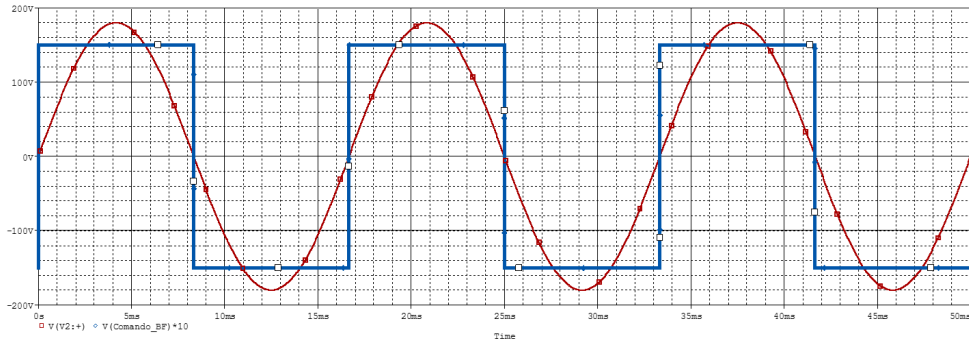


Figura 29: Sinal das chaves S_3 e S_4 .

Fonte: Autoria própria.

4.3 INDUTOR L_1

A Figura 30 apresenta a corrente dos indutores L_1 (em azul) e L_4 (em verde) em baixa frequência, é importante notar que L_1 só conduz um semiciclo da rede, enquanto o indutor L_4 tem a mesma forma de onda no outro semiciclo. Durante o transitório entre os dois conversores da topologia, há uma pulsação indesejada na corrente do indutor.

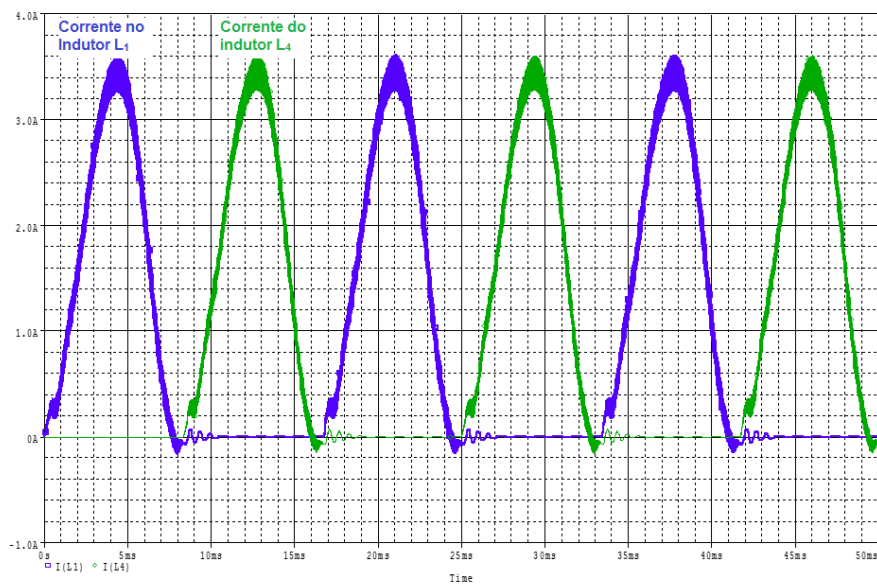


Figura 30: Corrente nos indutores de entrada em baixa frequência.

A Figura 31 traz a corrente de entrada e do indutor L_1 de pico, ela atinge o valor de 3,608 A, com um valor eficaz de 1,511 A e sua ondulação fica em 0,330 A no pico. Essa ondulação em porcentagem fica em 9,59% do valor médio da corrente no pico, validando o cálculo do indutor de entrada.

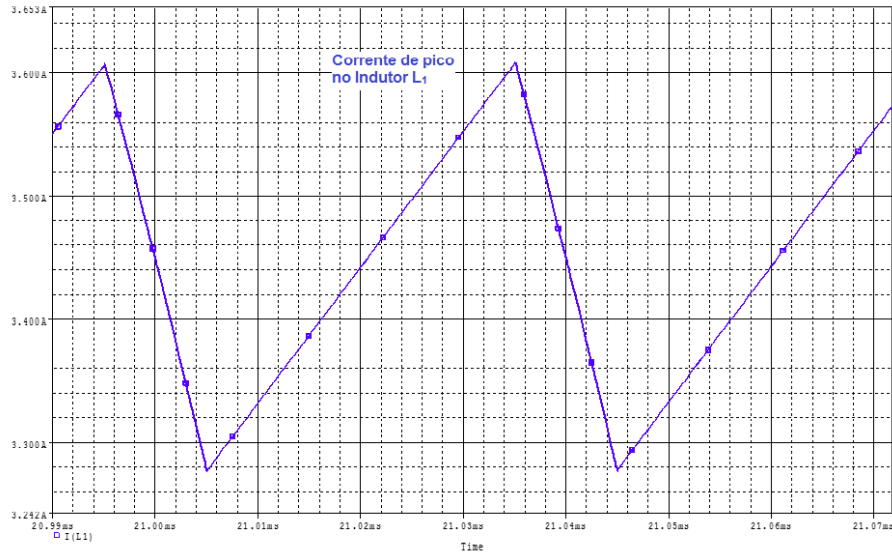


Figura 31: Ondulação no pico da corrente de entrada.

4.4 INDUTOR L_2

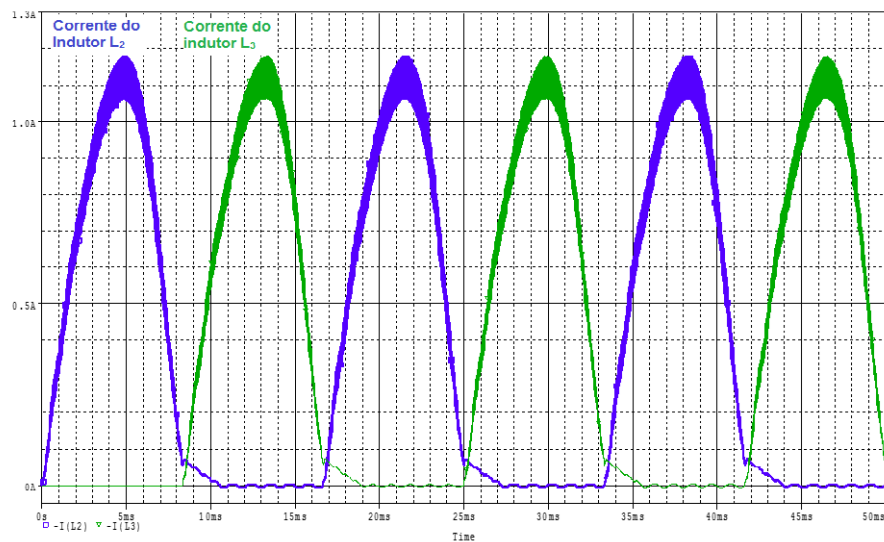


Figura 32: Correntes nos indutores de saída em baixa frequência.

A Figura 32 apresenta a corrente dos indutores L_2 (em vermelho) e L_3 (em verde) em baixa frequência, assim como nos indutores de entrada, L_2 conduz o semiciclo positivo e L_3 o

negativo.

Observa-se pela figura que no final de um semiciclo há o decréscimo de corrente sem haver chaveamento, isso se deve a um pequeno atraso no formato de corrente de saída. Este atraso faz com que a saída seja chaveada em baixa frequência, ao mudar o semiciclo da rede, antes dela se anular.

A Figura 33 apresenta a corrente de saída, sendo ela menor que a corrente de entrada e possuindo o mesmo formato da tensão de saída. Ela chega a 1,18 A de pico, tem um valor eficaz de 559 mA sua ondulação fica em 117 mA no pico. Essa ondulação em porcentagem fica em 10,41% do valor médio de corrente no pico validando o cálculo do indutor de saída.

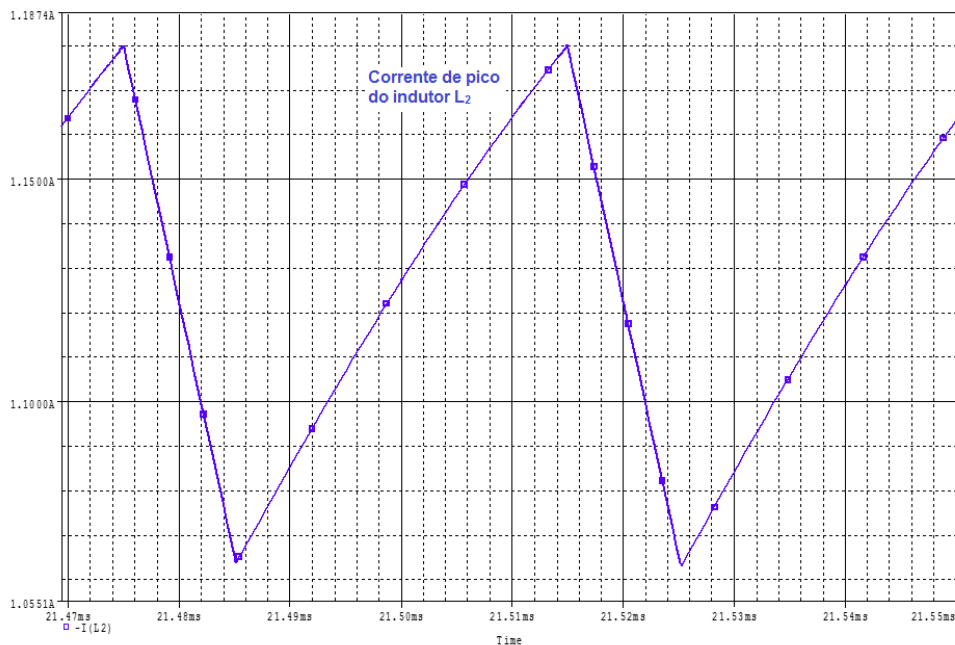


Figura 33: Ondulação no pico da corrente de saída.

4.5 CAPACITOR C_2

Esse fenômeno na corrente, faz com que a forma de onda de tensão de saída também não chegue a zero na troca de um semiciclo. A Figura 34 apresenta a forma de onda da tensão de saída (em azul) em comparação com a da rede (em verde) gerada pelo simulador. Por se tratar de um controle em malha aberta, a tensão de saída ficou bem semelhante a uma onda senoidal.

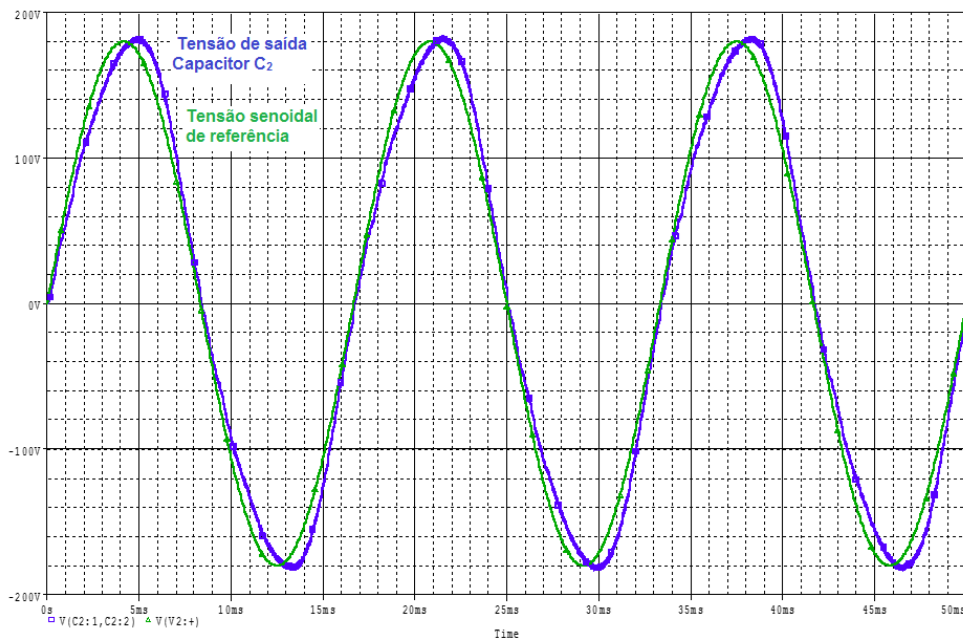


Figura 34: Tensão de saída em baixa frequência.

A Figura 35 apresenta a ondulação de pico da tensão de saída, pico atingindo 183,19 V e uma ondulação de 3,224 V. Esse valor de ondulação equivale a 1,77% da tensão de saída, destoando-se um pouco do projetado, porém não afetando o comportamento do conversor.

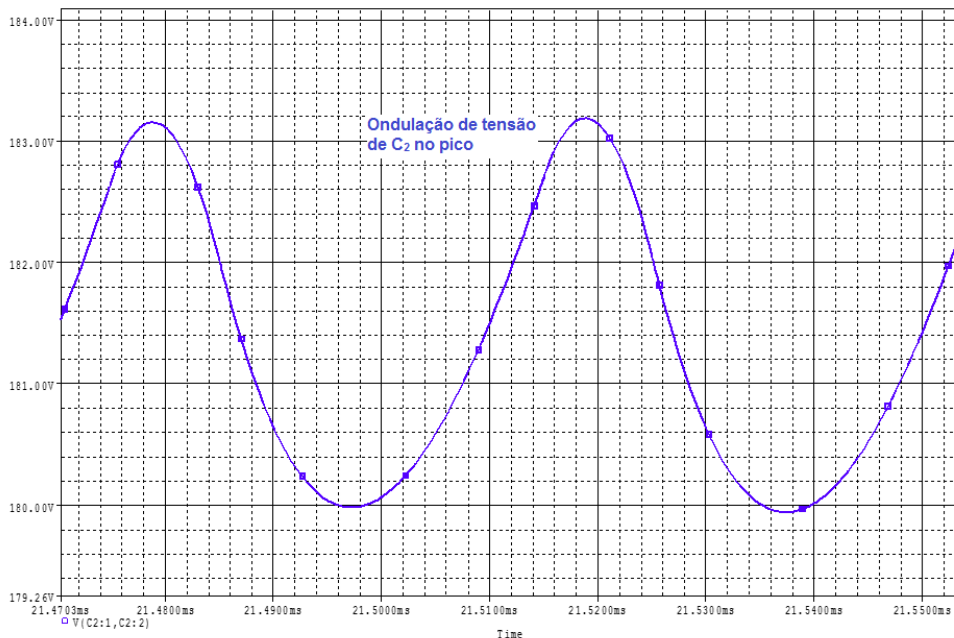


Figura 35: Ondulação de pico da tensão de saída.

Para a tensão de saída foi também realizada a Transformada Rápida de Fourier (FFT, do inglês *Fast Fourier Transform*) para se verificar qual a taxa de distorção harmônica da tensão

de saída. A Figura 36 apresenta o gráfico obtido.

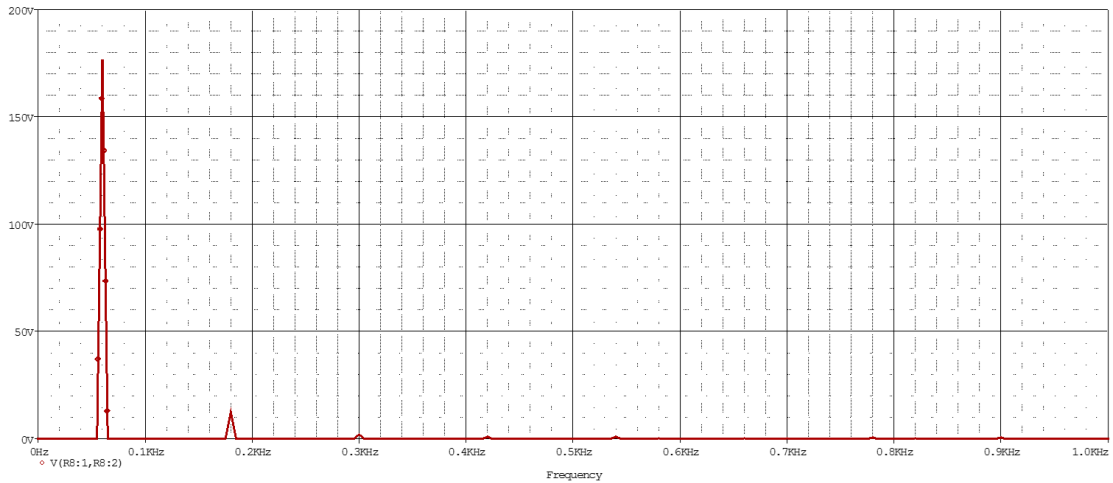


Figura 36: Transformada rápida de Fourier da tensão de saída.

Fonte: Autoria própria.

A Tabela 2 apresenta os resultados numéricos até o harmônico de nona ordem, pois depois deste, não se teve valores significativos. Percebe-se a redução da intensidade do valor eficaz a medida em que a frequência sobe, em 420 Hz , que é o sétimo harmônico, o seu valor já é menor que 1 % e continua a diminuir.

Tabela 2: Valores de distorção por harmônico.

Frequência (Hz)	Valor pico de tensão (V)	Relação com a tensão fundamental
60	177,351	100%
180	12,407	6,99%
300	2,122	1,19%
420	1,024	0,58%
540	0,881	0,49%

Fonte: Autoria própria.

4.6 CAPACITOR C_1

Para finalizar as formas de onda dos componentes passivos, a Figura 37 apresenta a tensão dos capacitores C_1 (em azul) e C_3 (em verde) em baixa frequência, assim como nos indutores de entrada e saída, C_1 é chaveado apenas em um semiciclo e C_3 no outro.

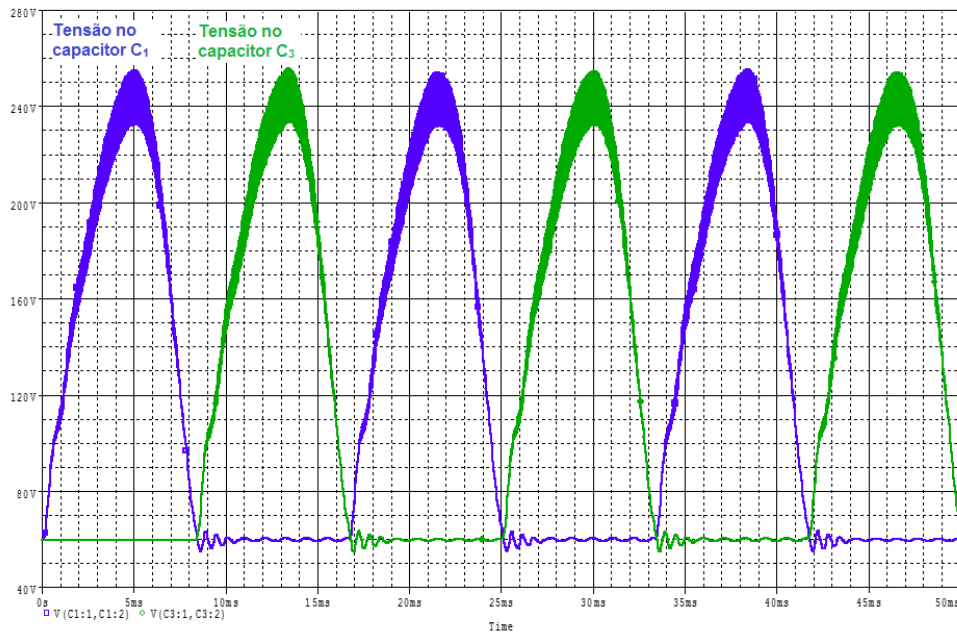


Figura 37: Tensão do capacitor intermediário C_1 e C_3

Nota-se que, o capacitor C_1 não tem sua tensão zerada quando não está sendo chaveado, como acontece com a corrente nos indutores. Mas, ele fica carregado em 60 V que é a tensão de entrada, isso é devido ao período que a chave S_1 fica aberta, a tensão de alimentação aparecer sobre o indutor L_1 ou L_4 e o capacitor. Como o indutor não é carregado, a tensão sobre ele é zero e a tensão de entrada aparece totalmente no capacitor.

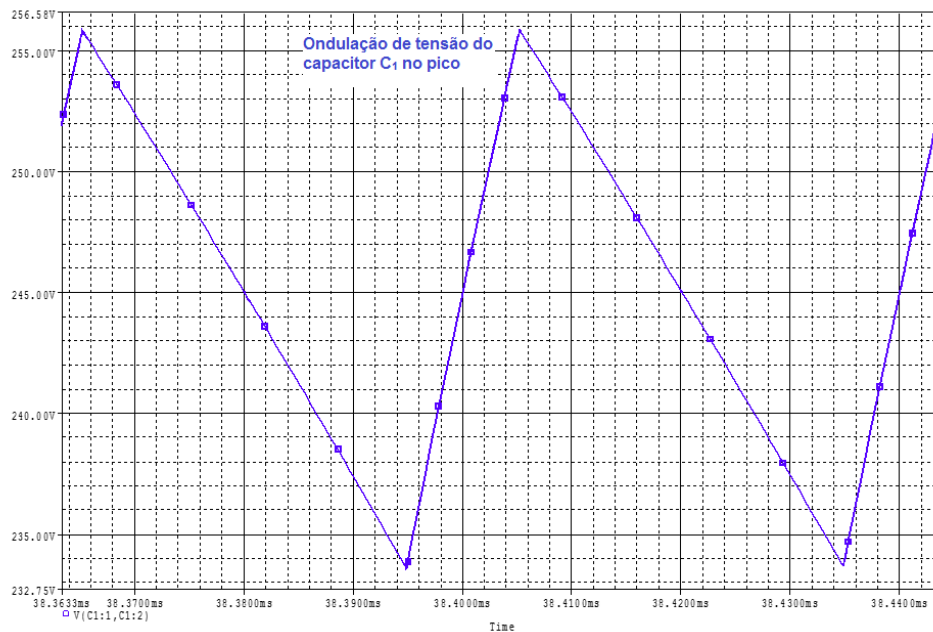


Figura 38: Ondulação no pico de tensão do capacitor C_1

Quanto a forma de onda, a tensão sobre ele é a soma da tensão de entrada e a de saída, como a entrada é constante, aparece a tensão de saída deslocada 60 V. O valor máximo de tensão sobre o capacitor C_1 chega a 255,858 V. A Figura 38 apresenta a ondulação no pico de tensão do capacitor C_1 , sua ondulação é de 21,99 V e em porcentagem atinge o valor de 8,98 % validando os cálculos desse componente.

Com os componentes passivos analisados e confirmados os cálculos de dimensionamento, o foco se dá nos semicondutores de potência. É necessário analisar os esforços de correntes e tensão neles para escolher o melhor componente que serão utilizados na montagem do protótipo.

4.7 ESFORÇOS NOS SEMICONDUTORES

A Figura 39 apresenta a corrente e tensão na chave no pico da senoide, quando acontece os maiores esforços.

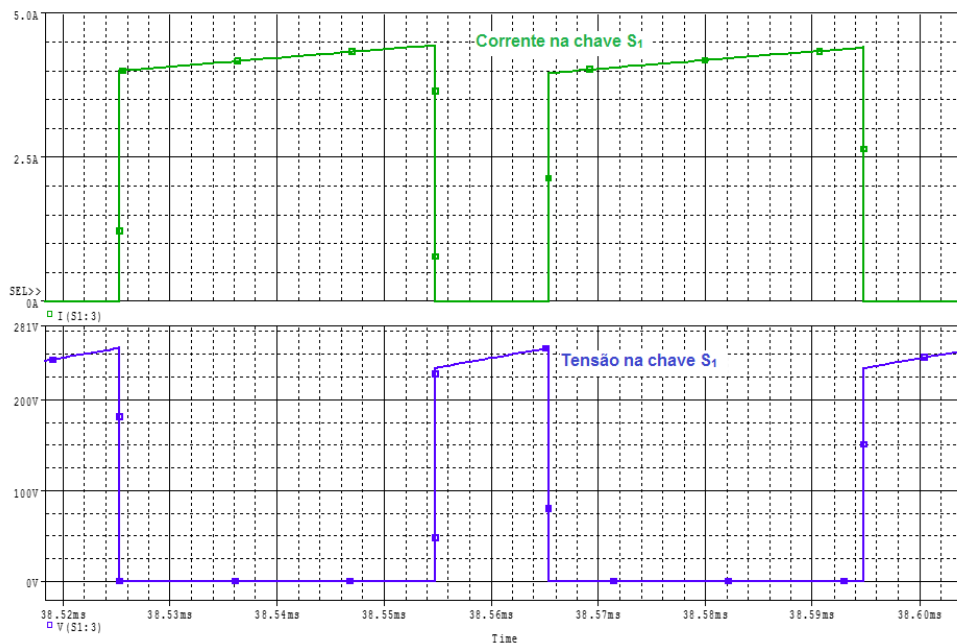


Figura 39: Esforços na chave S_1 . a) Corrente no pico (verde) b) Tensão no pico (azul).

Esses esforços são equivalentes para a chave S_2 , porém no outro semiciclo. O período em que acontece os maiores esforços é no pico do seno, e nesse momento a razão cíclica também é máxima, por essa razão a chave conduz boa parte do período.

Na chave passa a corrente de entrada e a corrente de saída no período em que ela conduz, portanto aparece nela a soma dessas duas correntes, e apresenta um valor máximo de

4,44 A, a corrente eficaz que passa sobre a chave é de 1,737 A e a corrente média 0,850A.

Quanto a tensão máxima reversa, aparece sobre a chave a tensão do capacitor C_1 chegando a 256,6 V. Os valores de corrente e tensão na chave que eram esperados pelos cálculos foram atingidos na simulação.

A Figura 40 apresenta a corrente e tensão no diodo no pico do seno, quando acontece os maiores esforços.

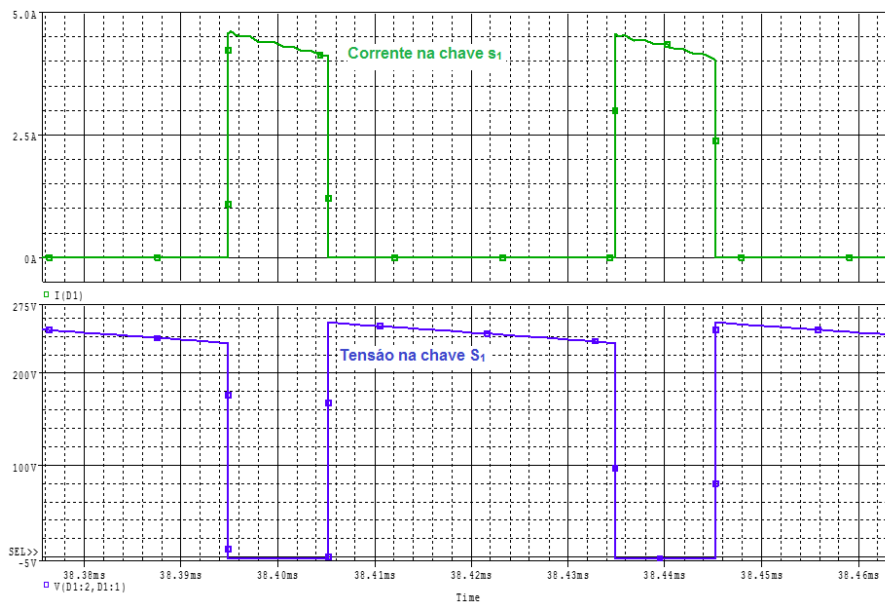


Figura 40: Esforços no diodo D_1 . a) Corrente no pico (verde) b) Tensão no pico (azul).

Fonte: Autoria própria.

Assim como na chave S_1 , a corrente que passa pelo diodo é a soma da entrada com a saída, e ele possui a mesma corrente de pico de 4,58 A, porém como o seu tempo de condução é menor, sua corrente eficaz é 1,06 A e a corrente média é 0,359 A, valores menores que a da chave.

A tensão no diodo também é a tensão do capacitor C_1 , e seu pico chega a 255 V. Como na chave, os valores calculados de corrente e tensão foram bem próximos aos valores da simulação.

A Tabela 3 apresenta os valores de corrente média e eficaz da chave S_1 e do diodo D_1 , percebe-se que para o cálculo utilizando a forma de onda real da corrente, os valores são relativamente próximos, porém com a corrente simulada levemente maior. Esse fenômeno ocorre pela utilização de componentes reais na simulação, que geram perdas e, conseqüentemente, uma maior corrente de entrada e nos semicondutores.

Quanto aos valores de corrente pelo cálculo simplificado, o erro foi maior no caso da corrente da chave, porém um valor aceitável para o diodo.

Tabela 3: Valores das correntes da chave e do diodo simuladas e calculadas.

Corrente	Valor calculado	Valor simulado	Erro(%)
$I_{S_1 med}$	0,840 A	0,850 A	1,17
$I_{S_1 rms}$	1,707 A	1,737 A	1,73
$I_{D_1 med}$	0,357 A	0,359 A	0,56
$I_{D_1 rms}$	1,055 A	1,060 A	0,47

A Figura 41 apresenta a corrente e tensão na chave S_3 no período em que ela é chaveada, ou seja, no período da rede.

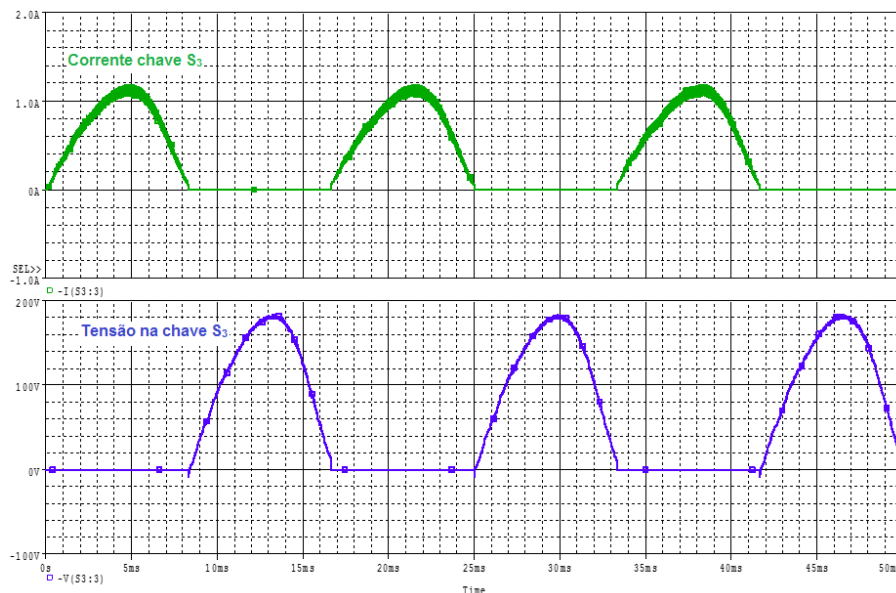


Figura 41: Esforços na chave S_3 . a) Corrente (verde) b) Tensão (azul).

Fonte: Autoria própria.

Os esforços da chave S_3 são basicamente a tensão de saída do conversor e a corrente de saída. Com tensão máxima chegando a 183 V e corrente chegando a 1,18 A. O valor eficaz de corrente nessa chave chega a 559 mA. A chave S_4 apresenta as mesmas formas de onda, porém defasadas em um semiciclo.

Com a simulação, foi possível validar os cálculos do dimensionamento dos componentes que foram utilizados nesse projeto. Assim como verificar melhor o funcionamento do conversor e os esforços dos semicondutores.

5 PROJETO E RESULTADOS

5.1 PROJETO DOS INDUTORES

5.1.1 Indutor de Entrada

No capítulo 3, os indutores de entrada foram dimensionados em $5,397\text{ mH}$. A partir desse valor e dos parâmetros escolhidos, calculou-se o fio e o núcleo a serem utilizados.

- Frequência de chaveamento: $f_s = 25\text{kHz}$;
- Fluxo magnético máximo que circula pelo núcleo: $B_{max} = 0,3\text{T}$;
- Densidade de corrente máxima que circula pelo condutor: $J_{max} = 400\frac{\text{A}}{\text{cm}^2}$;
- Corrente de pico que circula no indutor: $I_{pk} = 3,36\text{A}$;
- Corrente eficaz que circula no indutor: $I_{rms} = 1,36\text{A}$.

Obtidos os dados acima, pode-se escolher o núcleo apropriado através do catálogo do fabricante e calcular o número de voltas necessárias. Levando em consideração o efeito *skin*, também foi escolhido o diâmetro para o condutor.

- Núcleo utilizado: E-55/21;
- Área útil do núcleo: $A_e = 3,54\text{cm}^2$;
- Área útil da janela do carretel: $A_w = 2,5\text{cm}^2$;
- Número de espiras calculadas $N = 190$;
- Condutor escolhido: AWG21.

5.1.2 Indutor de Saída

Os indutores de saída foram dimensionados em $16,070\text{ mH}$. A partir desse valor e dos parâmetros escolhidos, calculou-se o fio e o núcleo a serem utilizados.

- Frequência de chaveamento: $f_s = 25\text{kHz}$;
- Fluxo magnético máximo que circula pelo núcleo: $B_{max} = 0,3\text{T}$;
- Densidade de corrente máxima que circula pelo condutor: $J_{max} = 400\frac{\text{A}}{\text{cm}^2}$;
- Corrente de pico que circula no indutor: $I_{pk} = 1,12\text{A}$;
- Corrente eficaz que circula no indutor: $I_{rms} = 0,54\text{A}$.

Obtidos os dados acima, pode-se escolher o núcleo apropriado através do catálogo do fabricante e calcular o número de voltas necessárias. Levando em consideração o efeito *skin*, também foi escolhido o diâmetro para o condutor.

- Núcleo utilizado: E-42/15;
- Área útil do núcleo: $A_e = 1,81\text{cm}^2$;
- Área útil da janela do carretel: $A_w = 1,57\text{cm}^2$;
- Número de espiras calculadas $N = 347$;
- Condutor escolhido: AWG24.

5.2 DRIVER

Os *drivers* são os circuitos de acionamento das chaves, eles são responsáveis por receber o sinal do *DSC* (Controlador Digital de Sinais) e amplificá-los de $3,3\text{ V}$ para tensão de acionamento das chaves, utilizou-se no caso 15 V e -15 V .

A Figura 42 apresenta o circuito utilizado para o comando das chaves de alta frequência S_1 e S_2 .

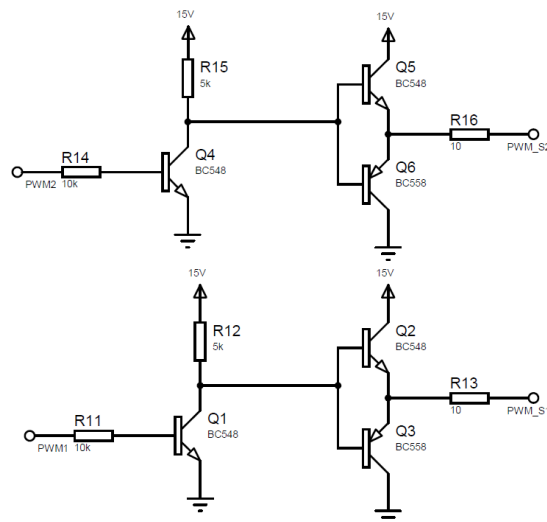


Figura 42: Circuito de acionamento das chaves S_1 e S_2 .

Na Figura 42 são apresentados dois circuitos equivalentes. Considerando o circuito superior, utilizado para acionar a chave S_2 , tem-se o sinal proveniente do *DSC* em PWM2, que é amplificado para 15 V com o transistor Q4 e resistor R15, porém ocorre a inversão da lógica do sinal. Com os transistores Q5 e Q6 é feito um caminho de baixa impedância para que possa ser feito o acionamento da chave S_2 com o sinal amplificado indo para o gatilho da mesma.

Por causa da inversão, no caso deste projeto, o sinal enviado para o *driver* já é invertido pelo controlador, para que o sinal da chave chegue com lógica e tensão corretas.

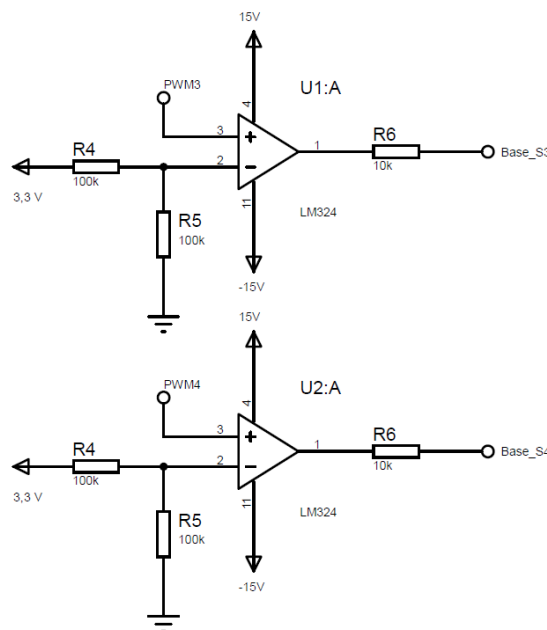


Figura 43: Circuito de acionamento das chaves S_3 e S_4 .

Na Figura 43 são apresentados os circuitos de comando das chaves S_3 e S_4 , por serem transistores tipo PNP, é necessário um sinal de comando negativo na base sendo a referência dele no emissor para que ele conduza, para isso utilizou-se um amplificador operacional comparador com alimentação 15 V e -15 V.

O circuito apresentado é capaz de gerar o sinal negativo, porém não apresenta uma resposta muito rápida, que impediu um ajuste mais fino de tempo morto entre o acionamento das chaves de baixa frequência, mesmo alterando o sinal do *DSC*.

5.3 *DSC*

O *DSC* foi responsável por gerar o sinal de acionamento para as chaves S_1 , S_2 , S_3 e S_4 juntamente com os *drivers*. As principais funções utilizadas do controlador foram os *PWM's*, temporizadores (*timers*), portas digitais de entrada e saída (*GPIO*) e o *FreeMaster* (um periférico que permite utilizar o computador para modificar e acompanhar o estado de variáveis enquanto o código está sendo executado).

5.3.1 *PWM*

O *PWM* é a função responsável pela geração do sinal de acionamento das chaves de alta frequência S_1 e S_2 .

Inicialmente, é necessário configurar e inicializar cada periférico. Para realizar a configuração do *PWM*, utilizou-se uma plataforma da *Freescale* (desenvolvedor do *DSC*) chamada *ProcessorExpert*. Com ela não é necessário configurar os componentes por código, podendo utilizar uma interface visual.

A interface é apresentada na Figura 44, nela é necessário configurar o *clock* do *PWM*, os pinos de saída, os limites dos contadores, entre outros.

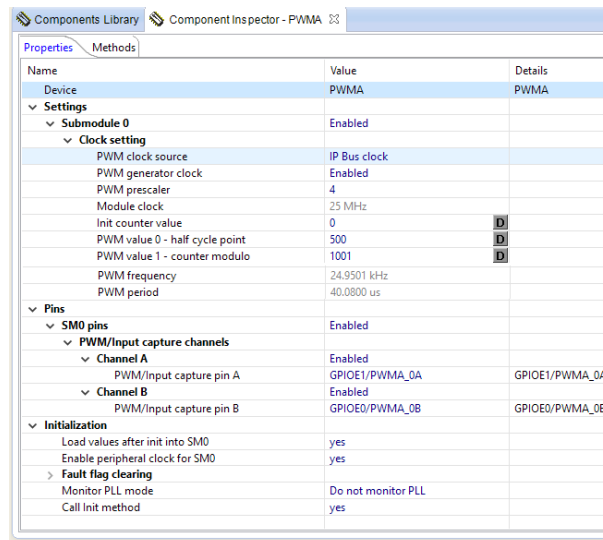


Figura 44: Interface do *ProcessorExpert* para configuração do *PWM*.

Para adequar a senoide criada pelo conversor para 60 Hz a fim de controlar as chaves S_3 e S_4 , foi necessário fazer uma divisão do período do *PWM* de 25 kHz em 416 pontos.

5.3.2 *TIMER*

Para o trabalho apresentado, esse periférico foi utilizado como meio de atrasar algum acionamento a fim de controlar o tempo morto entre o acionamento das chaves complementares entre si. Em alguns casos, ao adiantar a lógica para um ciclo de *PWM* anterior, o *timer* foi responsável por adequar o tempo o qual se desejou adiantar, normalmente representado por uma fração do período do *PWM*. Na Figura 45 está demonstrado um exemplo da configuração da função *timer*.

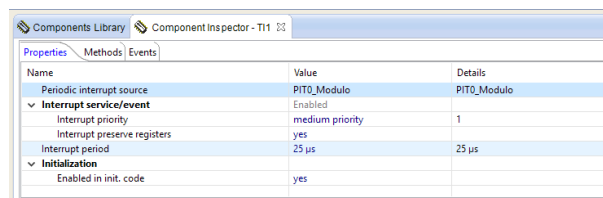


Figura 45: Interface do *ProcessorExpert* para configuração do *timer*.

Observou-se durante a prática que, devido ao fato do amplificador operacional não apresentar uma resolução tão boa, não foi possível obter um tempo morto tão reduzido quanto desejável.

5.4 RESULTADOS

A Figura 46 representa as medições realizadas de tensões de entrada e saída, com a tensão contínua de entrada de 60 V em verde (canal 4) e a tensão alternada na saída do inversor em azul (canal 2).

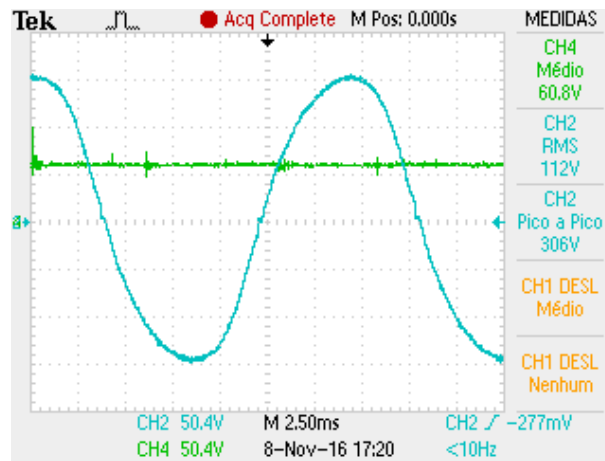


Figura 46: Tensões de entrada e saída do conversor

A Figura 47 representa os chaveamentos das chaves de baixa frequência (canais 1 e 4), comparando-os com o sinal da tensão de saída (canal 2) para a verificação do funcionamento dos dois braços do conversor.

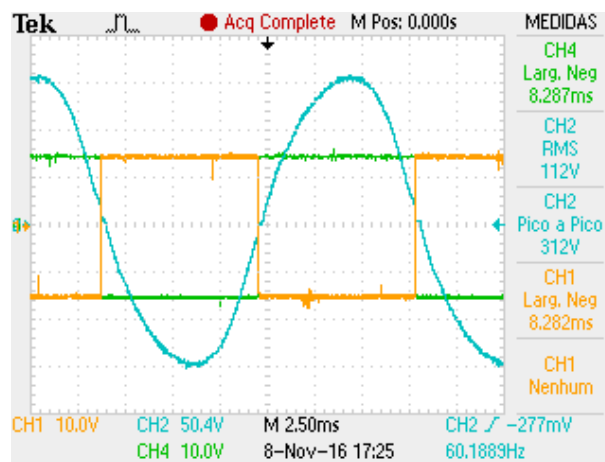


Figura 47: Chaveamento em Baixa Frequência - Chaves S_3 e S_4

A Figura 48 mostra o chaveamento em alta frequência considerando uma escala de tempo correspondente às oscilações em baixa frequência.

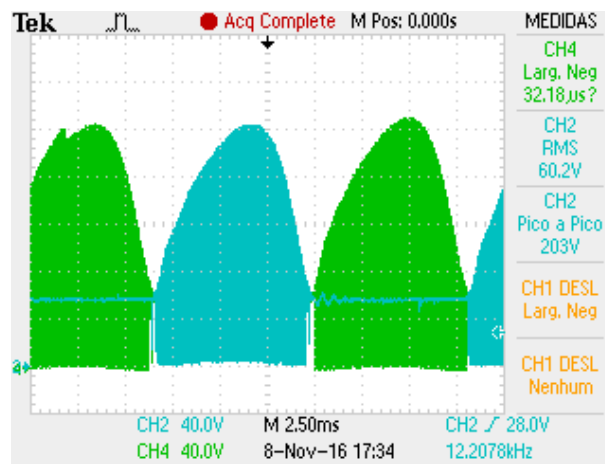


Figura 48: Chaveamento em alta frequência - Chaves S_1 e S_2

As Figuras 49 e 50 representam as ondulações de corrente dos dos indutores L_1 (entrada) e L_2 (saída) no pico da senoide.

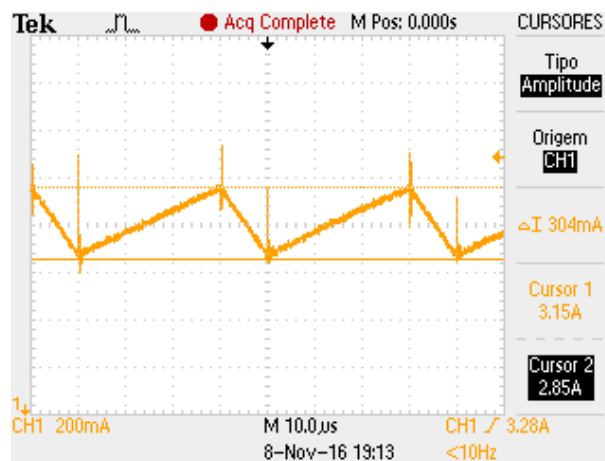


Figura 49: Ondulação do indutor L_1 no pico

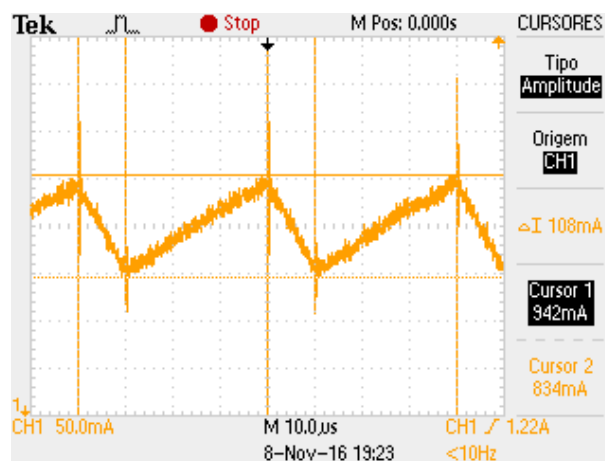


Figura 50: Ondulação do indutor L_2 no pico

A Figura 51 representa as formas de onda de corrente dos indutores L_1 e L_4 (ambos indutores de entrada), já a 52, representa as dos indutores L_2 e L_3 (ambos indutores de saída), em uma frequência de 60 Hz.

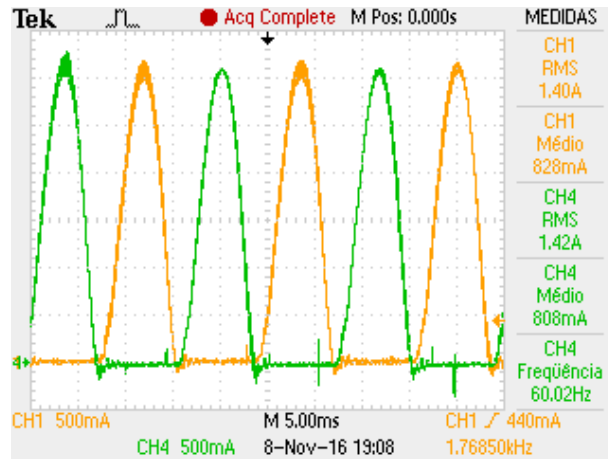


Figura 51: Corrente dos indutores L_1 e L_4

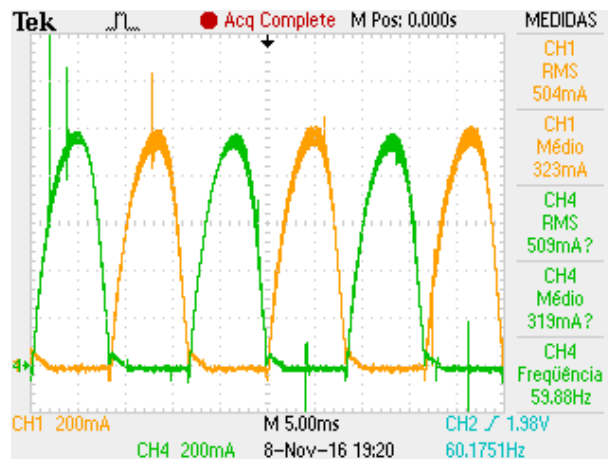


Figura 52: Corrente dos indutores L_2 e L_3

A Figura 53 representa as formas de onda de tensão e corrente de entrada do conversor e pela função matemática do osciloscópio multiplicou-se essas formas de onda para representar a potência de entrada, já para a 54 foi realizado o mesmo procedimento para os valores de tensão, corrente e potência de saída.

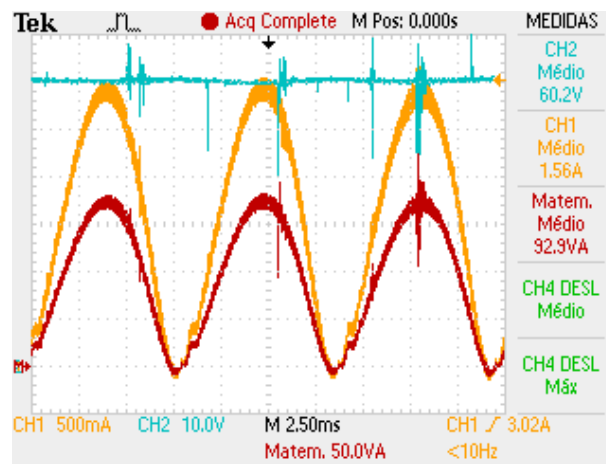


Figura 53: Potência de entrada

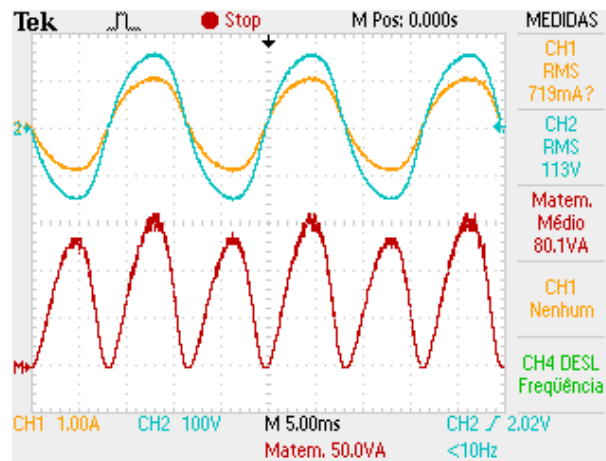


Figura 54: Potência de saída

A Figura 55 representa a ondulação de corrente no pico da senoide da chave S_1 com os detalhes dos cursores para determinação do tempo de condução, e a Figura 56 mostra essa ondulação para dessa mesma chave e do diodo D_1

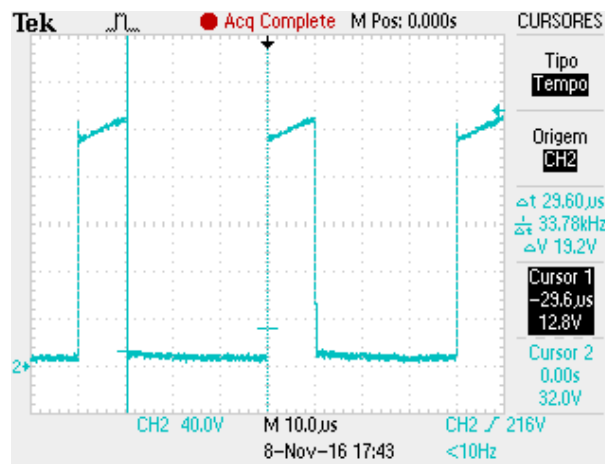


Figura 55: Ondulação de corrente de S_1

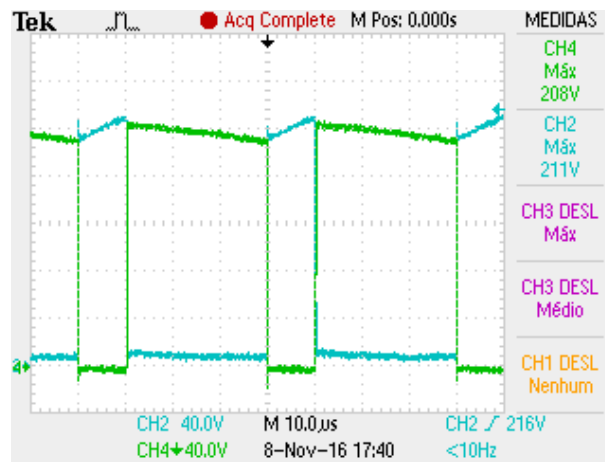


Figura 56: Ondulação de corrente de S_1 e D_1

A Figura 57 mostra a ondulação de tensão do capacitor de entrada C_1 , para valores de pico da senoide.

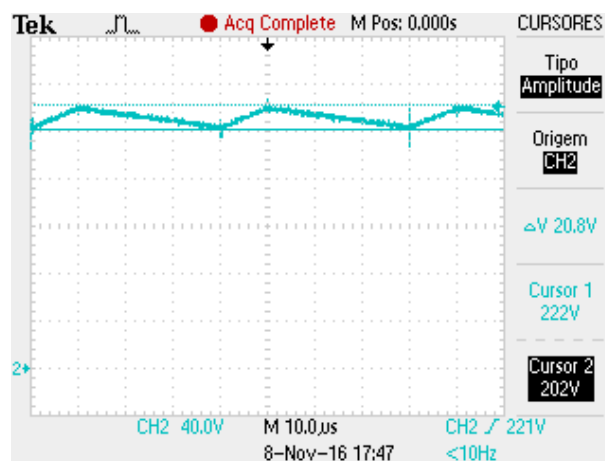


Figura 57: Ondulação de tensão de C_1

Utilizando a ferramenta *WaveStar* e a forma de onda de tensão de saída apresentada na Figura 46, foi calculada taxa de distorção harmônica apresentada nas Figuras 58 e 59.

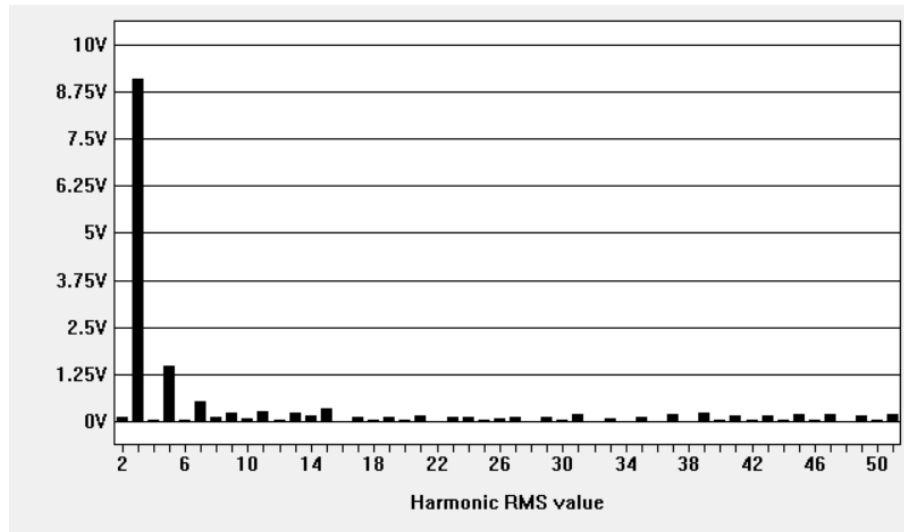


Figura 58: Valores eficazes das componentes harmônicas da tensão de saída.

Voltage = 116.32 V Voltage THD = 7.997 %

	Frequency	Voltage RMS	Voltage % of Fund.	Voltage Phase
Fundamental	60.096 Hz	115.92 V	100.000 %	0.0000
Harmonic 2	120.19 Hz	115.49m V	0.100 %	176.35
Harmonic 3	180.29 Hz	9.0814 V	7.834 %	137.70
Harmonic 4	240.38 Hz	49.606m V	0.043 %	-103.77
Harmonic 5	300.48 Hz	1.4717 V	1.270 %	80.728
Harmonic 6	360.58 Hz	72.901m V	0.063 %	146.88
Harmonic 7	420.67 Hz	544.36m V	0.470 %	25.063
Harmonic 8	480.77 Hz	141.99m V	0.122 %	170.75
Harmonic 9	540.87 Hz	258.37m V	0.223 %	-56.810
Harmonic 10	600.96 Hz	90.564m V	0.078 %	-30.992
Harmonic 11	661.06 Hz	285.86m V	0.247 %	-88.671
Harmonic 12	721.15 Hz	39.139m V	0.034 %	-180.00
Harmonic 13	781.25 Hz	238.20m V	0.205 %	-79.142
Harmonic 14	841.35 Hz	152.09m V	0.131 %	-179.87
Harmonic 15	901.44 Hz	365.47m V	0.315 %	-54.948
Harmonic 16	961.54 Hz	32.167m V	0.028 %	-82.755

Figura 59: Valores percentuais de cada componente harmônica até a décima sexta ordem.

A Figura 59 apresenta a taxa de distorção harmônica total com um valor de aproximadamente 8 %, considerando o protótipo em malha aberta e a taxa máxima necessária para conexão com a rede de 5 %, o resultado é bastante satisfatório.

Percebe-se também que a ordem harmônica mais considerável é de terceira ordem e o valor eficaz das harmônicas de ordem ímpar reduz-se a medida que aumenta a ordem. Os harmônicos pares são praticamente nulos até a ordem analisada.

Utilizando o wattímetro digital Yokogawa WT230, foi levantada a curva de rendimento do conversor. A potência de saída de ensaio foi variada de 20 W a 81,6 W, cujo resultado encontra-se na Tabela 4 e na Figura 60.

Tabela 4: Valores experimentais obtidos para a curva de rendimento.

Potência de entrada (W)	Potência de saída (W)	Rendimento (%)
21,7	20,2	93,1
27,1	25,1	92,6
33,1	30,2	91,2
38,5	35,1	91,2
44,5	40,4	90,8
50,5	45,2	89,5
57,1	50,5	87,4
63,1	55,4	87,0
69,7	60,3	86,6
77,2	65,8	85,1
84,1	70,6	83,8
93,3	75,4	82,0
102,6	81,6	80,4

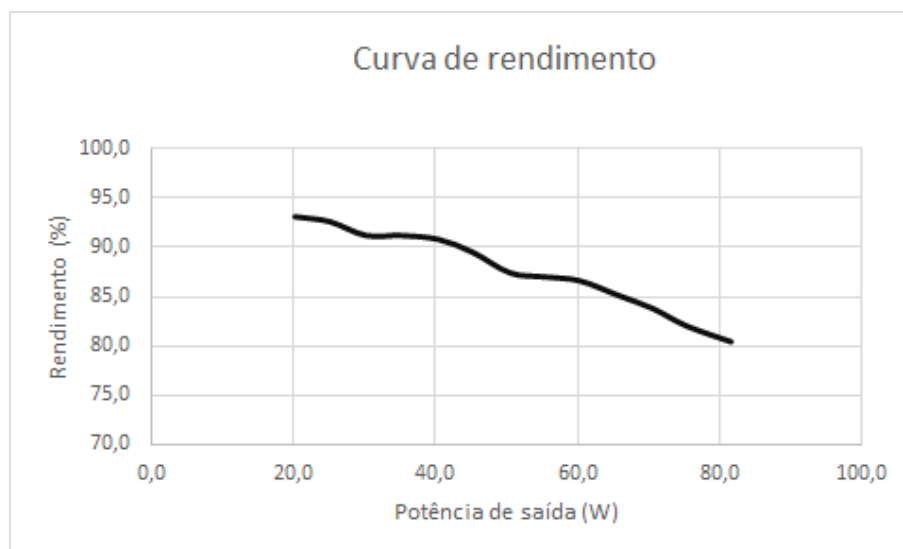


Figura 60: Curva de rendimento, potência de saída versus rendimento do conversor.

Pelos resultados apresentados, percebe-se uma queda do rendimento com o aumento da potência, caracterizando um aumento das perdas por condução. Isso ocorre porque, para os maiores valores de potência ensaiados, os semicondutores responsáveis pelo chaveamento em alta frequência atingiram valores de temperatura superiores a seus limites apresentados em *datasheet*.

Devido ao funcionamento em malha aberta e às perdas caracterizadas no parágrafo anterior, o conversor apresentou como tensão de saída máxima 116 V eficazes para a curva de razão cíclica calculada inicialmente. Considerando-se que não era possível aumentar a razão cíclica devido a limites de estabilidade, a carga resistiva dimensionada passou a consumir então apenas 81,6 W.

6 CONSIDERAÇÕES FINAIS

Inicialmente, realizou-se uma revisão bibliográfica sobre o conversor *Cuk* e as principais topologias alternativas que pudessem ter sido utilizadas no trabalho. Concluiu-se que o conversor escolhido apresentava maior número de vantagens.

Escolheu-se o *DSC MC56F84789* que atendia as necessidades do projeto, além de ser de fácil acesso e familiaridade de programação durante a execução do projeto.

Dimensionou-se e foram especificados os componentes presentes no estudo, além de analisar resultados através de simulações para verificar o comportamento da topologia projetada.

Fez-se a implementação de um protótipo em placa universal para confrontar os resultados utilizando o código escrito em linguagem C, com função de atuar no controle das chaves.

Após a montagem, foram realizados ensaios com carga resistiva, onde analisou-se o rendimento e a distorção harmônica do circuito.

Apesar de o trabalho ter sido realizado em malha aberta, os resultados foram satisfatórios com o que se era esperado. Porém, observou-se que houve uma queda no desempenho do protótipo para potências mais elevadas devido ao sobreaquecimento de alguns componentes.

Para a escolha do *driver* de controle, encontrou-se dificuldade em escolher uma topologia, sendo que este não poderia ser isolada e precisava gerar um sinal negativo para controle das chaves de baixa frequência a partir de um sinal positivo. Durante os ensaios, não foram possíveis testes com cargas maiores que a dimensionada inicialmente, devido ao sobreaquecimento das chaves de alta frequência que persistiu após trocar ambos componente e dissipador.

Inicialmente, estudou-se a viabilidade da utilização de controle em malha fechada, porém descartou-se essa opção após serem testadas as técnicas PI, PID e histerese, devido ao

fato de todas se manterem instáveis.

Para trabalhos futuros, sugere-se o estudo e a confecção de um protótipo em malha fechada, e em seguida, realizar a conexão com a rede para injetar potência, se adequando às normas.

REFERÊNCIAS

- CÁCERES, R. O.; BARBI, I. A boost DC-AC converter: Analysis, design, and experimentation. **IEEE Transactions on Power Electronics**, v. 14, n. 1, p. 134–141, 1999. ISSN 08858993.
- COPPOLA, M.; DALIENTO, S.; GUERRIERO, P.; LAURIA, D.; NAPOLI, E. On the design and the control of a coupled-inductors boost dc-ac converter for an individual PV panel. **International Symposium on Power Electronics Power Electronics, Electrical Drives, Automation and Motion**, p. 1154–1159, 2012.
- CUK, S.; MIDDLEBROOK, R. D. A new optimum topology switching dc-to-dc converter. In: **Power Electronics Specialists Conference, 1977 IEEE**. 1977. p. 160–179.
- FANG, Y.; MA, X. Study on PV Micro-inverter with Coupled Inductors and Double Boost Topology. **2012 7th IEEE Conference on Industrial Electronics and Applications (ICIEA)**, n. 20110491331, p. 2054–2058, 2011.
- Freescale Semiconductor, I. **TWR-56F8400 User Manual**. 2012. 1–35 p. Disponível em: <http://cache.nxp.com/files/32bit/doc/user_guide/TWR-56F8400_UM.pdf>. Acesso em: 13 jun. 2016.
- HAQUE, A. M.; SHARMA, S.; NAGAL, D. Proposed inverter topology and control circuit for the proposed grid connected photovoltaic system: Description and design specification. In: **2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)**. 2016. p. 549–554.
- HERRMANN, U.; LANGER, H.; BROECK, H. van der. Low cost DC to AC converter for photovoltaic power conversion in residential applications. **Proceedings of IEEE Power Electronics Specialist Conference - PESC '93**, p. 588–594, 1993.
- JAIN, S.; AGARWAL, V. A Single-Stage Grid Connected Inverter Topology for Solar PV Systems With Maximum Power Point Tracking. **IEEE Transactions on Power Electronics**, v. 22, n. 5, p. 1928–1940, 2007.
- KASA, N.; IIDA, T. Flyback type inverter for small scale photovoltaic power system. In: **IECON 02 [Industrial Electronics Society, IEEE 2002 28th Annual Conference of the]**. 2002. v. 2, p. 1089–1094 vol.2.
- KNIGHT, J.; SHIRSAVAR, S.; HOLDERBAUM, W. An improved reliability cuk based solar inverter with sliding mode control. **IEEE Transactions on Power Electronics**, v. 21, n. 4, p. 1107–1115, 2006. ISSN 08858993.
- KOURO, S.; LEON, J. I.; VINNIKOV, D.; FRANQUELO, L. G. Grid-Connected Photovoltaic Systems: An Overview of Recent Research and Emerging PV Converter Technology. **Industrial Electronics Magazine, IEEE**, v. 9, n. 1, p. 47–61, 2015. ISSN 1932-4529.

LEVIN, G. H.; FLORES, J. V.; SALTON, A.; REIS, F. S. dos. Internal model control of the zeta converter for the grid connection of photovoltaic panels. In: **2013 Brazilian Power Electronics Conference**. 2013. p. 666–671. ISSN 2165-0454.

MERWE, G. J.; MERWE, L. V. D. Inverters - The investigation to the optimal topology to the designing of a Sinewave inverter range for the use in static as well as mobile applications . In: **IEEE Interntional Symposium**. 1998. v. 1.

MUSTAFIZ, R. B.; RAHMAN, D.; KABIR, A.; UDDIN, M. N.; CHOUDHURY, M. a. Buck-Boost and Ćuk Topology Based Single Phase Cycloconverters with Low THD and High Power Factor. **Innovative Smart Grid Technologies - Asia (ISGT Asia), 2012 IEEE**, p. 1–6, 2012.

NOOR, S. Z. M.; OMAR, A. M.; MAHZAN, N. N.; IBRAHIM, I. R. A review of single-phase single stage inverter topologies for photovoltaic system. In: **Control and System Graduate Research Colloquium (ICSGRC), 2013 IEEE 4th**. 2013. p. 69–74.

OZDEMIR, E.; KAVASLAR, F. A new multifunctional power converter for grid connected residential photovoltaic applications. **2009 IEEE Energy Conversion Congress and Exposition**, p. 2650–2656, 2009.

POMILIO, J. A. Topologias básicas de fontes chaveadas. In: _____. **Eletrônica de Potência**. Campinas: Universidade Estadual de Campinas, 2014. cap. 5. Disponível em: <<http://www.dsce.fee.unicamp.br/antenor/pdf/files/eltpot/cap5.pdf>>. Acesso em: 12 jun. 2016.

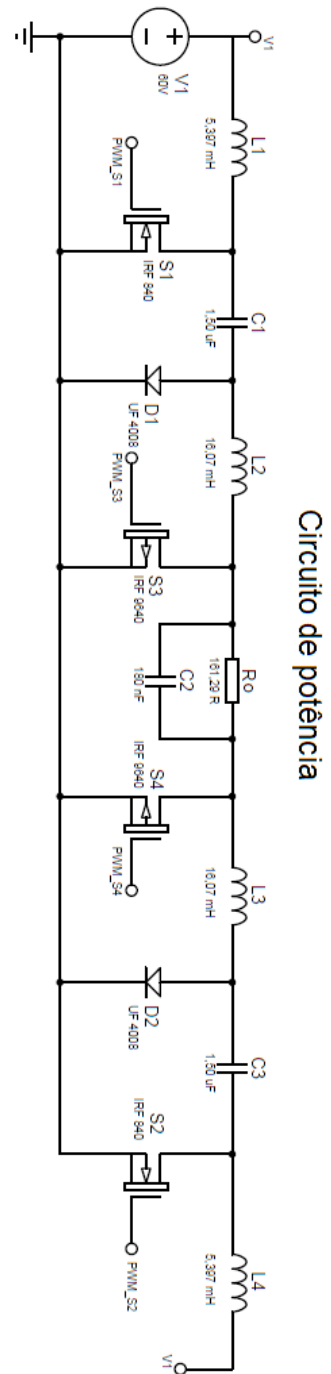
RASHID, M. H. **Power Electronics: Circuits, Devices and Applications**. second. Englewood Cliffs, NJ: Prentice-Hall, 1993.

RIBEIRO, H.; PINTO, A.; BORGES, B. Single-stage DC-AC converter for photovoltaic systems. **2010 IEEE Energy Conversion Congress and Exposition, ECCE 2010 - Proceedings**, p. 604–610, 2010.

ROMANELI, E. F. R.; GABRIEL, J. D.; ALVARENGA, D. B. D.; GULES, R.; JUNIOR, J. U. Distributed Generation : Design and Implementation of an Ac Module Based on a Current Fed Push-Pull Converter for Connecting Photovoltaic Panels To Electric Grid. In: **Power Electronics Conference (COBEP), 2011 Brazilian**. 2011. p. 20–25. ISBN 9781457716461.

SELWAN, E.; GAJIC, Z.; PARK, G. Optimal control of the Cuk converter used in solar cells via a jump parameter technique. **IET Control Theory & Applications**, v. 9, n. October 2014, p. 893–899, 2015. ISSN 1751-8644.

APÊNDICE A - ESQUEMÁTICO DOS CIRCUITOS



Circuitos de comando das chaves

