

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DEPARTAMENTO DE ELETRÔNICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
MESTRADO EM ENGENHARIA ELÉTRICA**

RICARDO LUCAS

**ANÁLISE E IMPLEMENTAÇÃO DE ESTRUTURAS DE CONTROLE EM
DISPOSITIVO FPGA APLICADAS A UM CONVERSOR BUCK**

DISSERTAÇÃO

**PONTA GROSSA
2015**

RICARDO LUCAS

**ANÁLISE E IMPLEMENTAÇÃO DE ESTRUTURAS DE CONTROLE EM
DISPOSITIVO FPGA APLICADAS A UM CONVERSOR BUCK**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Departamento de Eletrônica do Câmpus Ponta Grossa da UTFPR como requisito parcial para a obtenção do título de mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Maurício dos Santos Kaster

Coorientador: Prof. Dr. Claudinor Bitencourt Nascimento

**PONTA GROSSA
2015**

Ficha catalográfica elaborada pelo Departamento de Biblioteca
da UTFPR Câmpus Ponta Grossa
n.37/15

L933 Lucas, Ricardo

Análise e implementação de estruturas de controle em dispositivo FPGA aplicadas a um conversor Buck / Ricardo Lucas. Ponta Grossa, 2015.
94 f.: il. ; 30 cm

Orientador: Prof. Dr. Mauricio dos Santos Kaster
Coorientador: Prof. Dr. Claudinor Bitencourt Nascimento

Dissertação (Mestrado em Engenharia Elétrica). Programa de Pós-Graduação em Engenharia Elétrica. Universidade Tecnológica Federal do Paraná, Ponta Grossa, 2015.

1. Sistemas lineares de controle. 2. Sistemas não lineares. 3. Arranjos de lógica programável em campo. I. Kaster, Mauricio dos Santos. II. Nascimento, Claudinor Bitencourt. III. Universidade Tecnológica Federal do Paraná. IV. Título.

CDD 621.3



Universidade Tecnológica Federal do Paraná
Câmpus Ponta Grossa
Diretoria de Pesquisa e Pós-Graduação
PROGRAMA DE PÓS GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

FOLHA DE APROVAÇÃO

Título da Dissertação N° 14/2015

ANÁLISE E IMPLEMENTAÇÃO DE ESTRUTURAS DE CONTROLE EM DISPOSITIVO FPGA APLICADAS A UM CONVERSOR BUCK

por

Ricardo Lucas

Esta dissertação foi apresentada às 9 horas do dia 8 de maio de 2015 como requisito parcial para a obtenção do título de MESTRE EM ENGENHARIA ELÉTRICA, com área de concentração em Controle e Processamento de Energia, Programa de Pós-Graduação em Engenharia Elétrica. O candidato foi arguido pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho aprovado.

Prof. Dr. Átila Madureira Bueno (UNESP)

Prof. Dr. Angelo Marcelo Tuset (UTFPR)

**Prof^a. Dr^a. Fernanda Cristina Corrêa
(UTFPR)**

**Prof. Dr. Claudinor Bitencourt
Nascimento (UTFPR)**
Co-orientador

**Prof. Dr. Mauricio dos Santos Kaster
(UTFPR)**
Orientador

Visto do Coordenador:

Prof. Dr. Claudinor Bitencourt Nascimento (UTFPR)
Coordenador do PPGEE

RESUMO

LUCAS, Ricardo. **Análise e Implementação de Estruturas de Controle em Dispositivo FPGA Aplicadas a um Conversor Buck**. 2015. 94 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Ponta Grossa, 2015.

Este trabalho aborda diversas técnicas de controle, com o intuito de comparação do desempenho e robustez ao aplicá-los a um conversor Buck. Iniciando pelo controlador PID (Proporcional, Integral e Derivativo), amplamente explorado e dominado no meio industrial, ele é adotado neste trabalho como referência de comparação para as demais técnicas desenvolvidas. Outra estratégia aqui apresentada é o GANLPID (*Gaussian Adaptive Non Linear PID* ou PID Adaptativo Não Linear Gaussiano), trata-se de uma técnica não linear, possui ganhos variantes em função do erro baseados em uma função gaussiana. O controle por alocação de polos é uma técnica de controle que em sua forma básica não possui parcela integral, sendo necessária a inclusão deste termo para minimizar o erro em regime permanente. As principais características de análise de desempenho são o tempo de acomodação e *overshoot*. Todas as técnicas são exploradas a fim de serem implementadas em dispositivos FPGA (*Field Programmable Gate Array*), possuindo algumas vantagens sobre microcontroladores e DSP's (*Digital Signal Processor*), pois conseguem executar tarefas em paralelo deixando a execução do algoritmo mais rápida. As técnicas de controle escolhidas foram simuladas utilizando a ferramenta DSP *Builder* e compiladas diretamente em código HDL (linguagem de descrição de *hardware*). Os resultados de simulação e experimentais são apresentados e comentados para validar os projetos propostos.

Palavras-chave: Controle Linear; Controle Não-Linear; FPGA; DSP Builder.

ABSTRACT

Lucas, Ricardo. **Analisis and Implementation of Control Structures in a FPGA Device Applied to a Buck Converter**. 2015. 94 p. Masters Thesis – Post-Graduation Program in Electrical Engineering, Federal University of Technology, Paraná. Ponta Grossa, 2015.

This work discuss several techniques of control, with an intention of comparison of performance and robustness to apply them to Buck coverter. Starting with PID (Proportional, Integral, Derivative) controller, widely explored and dominated in an industrial environment, it's used in this work as comparison reference for the others techniques developed. Another strategy presented here is the GANLPID (GaussianAdaptative Non LinearPID), it's a case of non linear technique, has won variants in function of the based on a Gaussian error function. variants have gains on function of error based on a Gaussian function. The pole placement control technique not having full part in their basic forms, being necessary to include this term to eliminate the steady-state error. The main performance analysis features are the settling time and overshoot. All the techniques are explored in order to be implemented in FPGA (Field Programmable Gate Array) devices, having some advantages over microcontrollers and DSP's (Digital Signal Processor), because can execute tasks in parallel allowing the implementation of the algorithm more faster. The chosen control techniques were simulated using the DSP Builder tool and and compiled directly in HDL (hardware description language) code. The results of simulation and experimental are presented and discussed in order to validate the proposed projects.

Keywords: : Linear Control; Non Linear Control; FPGA; DSP Builder.

LISTA DE FIGURAS

Figura 1 – Modos de operação do conversor Buck.	20
Figura 2 – Conversor Buck.	20
Figura 3 – Sinal PWM.	21
Figura 4 – Primeira etapa de operação do conversor Buck.	22
Figura 5 – Segunda etapa de operação do conversor Buck.	22
Figura 6 – Resposta do conversor Buck em malha aberta.	23
Figura 7 – Primeira etapa de operação para o conversor Buck realístico.	23
Figura 8 – Segunda etapa de operação para o conversor Buck realístico.	24
Figura 9 – Curva dos pontos de equilíbrio do conversor Buck.	25
Figura 10 – Famílias de curvas do conversor Buck.	26
Figura 11 – Sistema em malha aberta.	27
Figura 12 – Sistema em malha fechada.	27
Figura 13 – Aproximação da derivada digital.	29
Figura 14 – Métodos de integração digital.	30
Figura 15 – Projeto do controlador PID pelo método do lugar das raízes discreto.	32
Figura 16 – Detalhe da região do zero do controlador PID no lugar das raízes.	33
Figura 17 – Função do ganho $K_p(\delta)$	34
Figura 18 – Varredura ganho proporcional.	36
Figura 19 – Varredura ganho integral.	37
Figura 20 – Varredura ganho derivativo.	37
Figura 21 – Estrutura do controlador APTI.	40
Figura 22 – Biblioteca DSP Builder.	42
Figura 23 – Bloco de compilação DSP Builder.	43
Figura 24 – Integral trapezoidal desenvolvida no Dsp Builder.	43
Figura 25 – Derivada desenvolvida no Dsp Builder.	44
Figura 26 – Problema com sincronismo em sinais digitais.	45
Figura 27 – PID desenvolvida no Dsp Builder.	45
Figura 28 – Filtro passa baixas.	46
Figura 29 – Filtro passa baixas de primeira ordem desenvolvida no Dsp Builder.	46
Figura 30 – PWM desenvolvida no Dsp Builder.	46
Figura 31 – Modelo do conversor Buck utilizando o software Matlab.	47
Figura 32 – Sinais conversor AD.	47
Figura 33 – Conversor analógico digital.	48
Figura 34 – Normalização PID.	49
Figura 35 – Estimativa do uso físico do FPGA para o controle PID.	49
Figura 36 – PID equação das diferenças.	49
Figura 37 – Estrutura do ganho proporcional não linear.	50
Figura 38 – Estrutura do ganho derivativo não linear.	50
Figura 39 – Ação proporcional GANLPID.	51
Figura 40 – Ação integral GANLPID.	51
Figura 41 – Ação derivativa GANLPID.	51
Figura 42 – Estimativa do uso físico do FPGA para o controle GANLPID.	52
Figura 43 – Aproximação da corrente no indutor.	52
Figura 44 – Estrutura de controle por alocação de polos.	53
Figura 45 – Estimativa do uso físico do FPGA para o controle por alocação de polos.	53
Figura 46 – Estrutura do controlador PAPTI.	54

Figura 47 – Estimativa do uso físico do FPGA para o controle PAPTl.	54
Figura 48 – Resposta de tensão ao transitório usando o controlador PID.....	56
Figura 49 – Resposta de corrente ao transitório usando o controlador PID.	57
Figura 50 – Sinal de controle referente ao transitório usando o controlador PID.	57
Figura 51 – Unidade de controle referente ao transitório usando o controlador PID ampliada.	58
Figura 52 – Resposta da tensão a mudança de carga do controlador PID.	58
Figura 53 – Resposta da corrente a mudança de carga do controlador PID.	58
Figura 54 – Sinal de controle referente a mudança de carga para o controlador PID.	59
Figura 55 – Diagrama de fases PID.....	59
Figura 56 – Resposta de tensão ao transitório usando o controlador GANLPID.....	59
Figura 57 – Resposta de corrente ao transitório usando o controlador GANLPID.	60
Figura 58 – Unidade de controle referente ao transitório usando o controlador GANLPID. .	60
Figura 59 – Variação dos ganhos do controlador GANLPID	61
Figura 60 – Resposta da tensão a mudança de carga do controlador GANLPID.	61
Figura 61 – Resposta da corrente a mudança de carga do controlador GANLPID.....	62
Figura 62 – Sinal de controle referente a mudança de carga para o controlador GANLPID.	62
Figura 63 – Diagrama de fase GANLPID	62
Figura 64 – Resposta de tensão ao transitório usando o controlador por alocação polos. . .	63
Figura 65 – Resposta de corrente ao transitório usando o controlador por alocação de polos.	63
Figura 66 – Esforço de controle referente ao transitório usando o controlador por alocação de polos.....	64
Figura 67 – Resposta da tensão a mudança de carga do controlador por alocação de polos.	64
Figura 68 – Resposta da corrente a mudança de carga do controlador por alocação de polos.	65
Figura 69 – Diagrama de fase alocação de polos	65
Figura 70 – Resposta de tensão ao transitório usando o controlador APTI.	66
Figura 71 – Resposta de corrente ao transitório usando o controlador APTI.	66
Figura 72 – Esforço de controle referente ao transitório usando o controlador APTI.....	66
Figura 73 – Resposta da tensão a mudança de carga do controlador APTI.....	67
Figura 74 – Resposta da corrente à mudança de carga do controlador APTI.	67
Figura 75 – Sinal de controle referente à mudança de carga para o controlador APTI.	67
Figura 76 – Diagrama de fases APTI.	68
Figura 77 – Comparativo do transitório de partida dos controladores desenvolvidos.	68
Figura 78 – Comparativo para mudança de carga dos controladores desenvolvidos.	69
Figura 79 – Protótipo do conversor Buck desenvolvido.	70
Figura 80 – Tensão no transitório de partida.	71
Figura 81 – Corrente no transitório de partida	71
Figura 82 – Comparativo entre os resultados experimentais e simulados PID.	72
Figura 83 – Tensão na mudança de carga de 10 para 20 Ω	72
Figura 84 – Corrente na mudança de carga de 10 para 20 Ω	73
Figura 85 – Diagrama de fase do transitório de partida e mudança de carga.	73
Figura 86 – Tensão no transitório de partida.	74
Figura 87 – Corrente no transitório de partida.	74
Figura 88 – Comparativo entre os resultados experimentais e simulados GANLPID.	75
Figura 89 – Tensão na mudança de carga de 10 para 20 Ω	75
Figura 90 – Corrente na mudança de carga de 10 para 20 Ω	76

Figura 91 – Diagrama de fase do transitório de partida e mudança de carga do controlador GANLPID.	76
Figura 92 – Comparativo prático dos controles PID e GANLPID.	77
Figura 93 – Tensão no transitório de partida para o controlador AP.	77
Figura 94 – Corrente no transitório de partida para o controlador AP.	78
Figura 95 – Tensão no transitório de partida para o controlador APTI.	78
Figura 96 – Corrente no transitório de partida para o controlador APTI.	79
Figura 97 – Tensão na mudança de carga de 10 para 20 Ω para o controlador APTI.	79
Figura 98 – Corrente na mudança de carga de 10 para 20 Ω para o controlador APTI.	80

LISTA DE QUADROS

Quadro 1 – Comparativo das características da FPGA e DSP.	41
Quadro 2 – Parâmetros de projeto do conversor Buck.	94

LISTA DE TABELAS

Tabela 1 – Desempenho dos controladores para transitório de partida com carga de 10 Ω	79
Tabela 2 – Desempenho dos controladores para transitório de partida com carga de 20 Ω	80
Tabela 3 – Desempenho dos controladores para transitório de partida com carga de 30 Ω	80
Tabela 4 – Desempenho dos controladores para mudança de carga 10 para 20 Ω	81
Tabela 5 – Desempenho dos controladores para mudança de carga 20 para 10 Ω	81

LISTA DE SIGLAS E ACRÔNIMOS

DAELE	Departamento de Eletrônica
PPGEE	Programa de Pós-Graduação em Engenharia Elétrica
UTFPR	Universidade Tecnológica Federal do Paraná
PID	Proporcional-Integral-Derivativo
AD	Analógico-Digital
FPGA	<i>Field Programmable Gate Array</i>
GANLPID	<i>Gaussian Adaptive Non Linear PID.</i>
LQR	<i>Linear Quadratic Regulator</i>
PWM	<i>Pulse With Modulation</i>
DSP	<i>Digital Signal Processor</i>
HDL	<i>Hardware Description Language</i>
PLL	<i>Phase Locked Loop</i>
VHDL	<i>Hardware Description Language</i>
AP	Alocação de Polos
APTI	Alocação de Polos com Termo Integral

LISTA DE SÍMBOLOS

C	Capacitância
R_c	Resistência do capacitor
f	Frequência de comutação
L	Indutância
R_L	Resistência do indutor
V_i	Tensão de entrada
V_o	Tensão de saída
$\Delta V_c\%$	Varição percentual de tensão no capacitor
$\Delta I_L\%$	Varição percentual de corrente no indutor
R_{on}	Resistência série da chave
V_d	Queda de tensão diodo
R	Resistência
K_p	Ganho proporcional
K_i	Ganho integral
K_d	Ganho derivativo
δ	Sinal de erro (entrada do controlador)
$K_p(\delta)$	Ganho proporcional não linear dependente do erro
$K_i(\delta)$	Ganho Integral não Linear Dependente do Erro
$K_d(\delta)$	Ganho Derivativo não Linear Dependente do Erro
K_{x0}	Limite da função gaussiana no ponto de erro nulo, onde x pode ser p (proporcional), i (integral) ou d (derivativo)
K_{x1}	Limite da função gaussiana no ponto de erro máximo, onde x pode ser p (proporcional), i (integral) ou d (derivativo)
C_{PID}	Função de transferência do controlador PID
T_i	Constante de tempo integral
T_d	Constante de tempo derivativa
G_c	Função de transferência do controlador
t_s	Periodo de amostragem
n	n -ésima amostra discreta
$u[n]$	Sinal de controle no n -ésimo instante discreto n
$f[n]$	Integral discreta
$\delta(t)$	Erro em função do tempo
p_p	Concavidade da curva gaussiana proporcional
p_i	Concavidade da curva gaussiana integral
p_d	Concavidade da curva gaussiana derivativa
T_{PWM}	Sinal PWM

T_{on} Tempo ao qual o PWM fica em nível alto
 $D (s)$ Razão cíclica

SUMÁRIO

1	INTRODUÇÃO	15
1.1	JUSTIFICATIVA	17
1.2	OBJETIVOS	17
1.2.1	Objetivo Geral	17
1.2.2	Objetivos Específicos	17
1.3	METODOLOGIA	18
1.4	ORGANIZAÇÃO DO TRABALHO	19
2	MODELAGEM DO CONVERSOR BUCK	20
2.1	MODELAGEM DO CONVERSOR IDEAL	20
2.2	MODELAGEM DO CONVERSOR CONSIDERANDO AS NÃO IDEALIDADES	23
3	CONTROLADORES	27
3.1	CONTROLE PROPORCIONAL, INTEGRAL E DERIVATIVO (PID)	28
3.1.1	PID Analógico	28
3.1.2	PID Digital	29
3.1.3	Projeto do controlador PID	32
3.2	PID COM GANHOS ADAPTATIVOS POR FUNÇÃO GAUSSIANA	33
3.2.1	PID com Ganhos Adaptativos por Função Gaussiana Digital	35
3.2.2	Projeto PID com Ganhos Adaptativos por Função Gaussiana	36
3.3	ALOCAÇÃO DE POLOS (AP)	38
3.3.1	Projeto por Alocação de Polos	39
3.3.2	Projeto por Alocação de Polos com Termo Integral (APTI)	39
4	DISPOSITIVOS DE LÓGICA RECONFIGURÁVEL E FERRAMENTAS DE DESENVOLVIMENTO	41
4.1	DISPOSITIVOS DE LÓGICA RECONFIGURÁVEL	41
4.2	AMBIENTE DE DESENVOLVIMENTO MATLAB/SIMULINK/DSP BUILDER	42
4.2.1	Estrutura do Controlador PID	43
4.2.2	PID com Ganhos Adaptativos por Função Gaussiana	50
4.2.3	Alocação de Polos	52
4.2.4	Alocação de Polos com Termo Integral (APTI)	54
5	RESULTADOS DE SIMULAÇÃO	56
5.1	CONTROLADOR PID	56
5.2	PID COM GANHOS ADAPTATIVOS POR FUNÇÃO GAUSSIANA	59
5.3	ALOCAÇÃO DE POLOS	63
5.4	ALOCAÇÃO DE POLOS COM TERMO INTEGRAL	65
6	RESULTADOS EXPERIMENTAIS	70
6.1	CONTROLE PROPORCIONAL INTEGRAL DERIVATIVO (PID)	70
6.2	PID COM GANHOS NÃO LINEARES POR FUNÇÃO GAUSSIANA	71
6.3	ALOCAÇÃO POLOS	74
6.4	ALOCAÇÃO DE POLOS COM TERMO INTEGRAL	76
7	CONCLUSÕES	82

7.1	CONTINUIDADE DO TRABALHO	83
7.2	TRABALHO ACEITO PARA PUBLICAÇÃO	83
7.3	AGRADECIMENTOS	84
	REFERÊNCIAS	85
	APÊNDICE A – DIAGRAMAS ESQUEMÁTICOS	88

1 INTRODUÇÃO

Com a evolução da tecnologia o debate sobre a eletrônica de potência tem aumentado no ambiente acadêmico, despertando a necessidade do avanço nas técnicas de controle para que ambas apresentem confiabilidade e o rendimento exigido (KREIN, 2007) e (CALDO; YAP, 2013).

O controle do fluxo de energia elétrica entre sistemas elétricos distintos tem preocupado engenheiros ao longo da história. Para realizar tal controle de alta potência faz-se o uso de métodos que permitam obter rendimentos elevados (BARBI, 2006). Para atender a necessidade do mercado, ocorreu um grande desenvolvimento nos semicondutores, atingindo níveis cada vez maiores de tensão e corrente, para serem aplicados em conversores estáticos de potência. Segundo Barbi (2006) um conversor estático pode ser definido como um sistema que seja constituído por elementos passivos (resistores, capacitores e indutores) e elementos ativos (interruptores, tais como diodos, tiristores, transistores, triacs, IGBT's e MOSFET's).

Muitas vezes nestes conversores faz-se o uso de técnicas de controle para diminuir o transitório de partida e também corrigir pequenas variações causadas pela mudança de carga, além da melhoria do desempenho de comutação (XU; QIN, 2010). Dentre os controles usados, o proporcional integral derivativo (PID), com uma arquitetura simples e muito usado na indústria, vem se alterando com a evolução dos controladores e desenvolve-se novas técnicas variantes do PID clássico (OGATA, 2010; THANGAVELU et al., 2012). A alteração do controlador PID clássico para um controle adaptativo com ganhos variantes em função do erro através de uma curva gaussiana, onde os ganhos se comportam de forma não linear é desenvolvida por (PEDROSO et al., 2013), (KASTER et al., 2011) e (AGNOLETTI; KASTER; SILVA, 2012). Diferentemente de muitos controles adaptativos tradicionais, onde o valor dos ganhos são alterados de forma abrupta, resultado em derivadas descontínuas, e há potencial para a ocorrência de comutação de alta frequência (*chattering*), o controle adaptativo PID por função gaussiana mantém a robustez e desempenho, porém sem as discontinuidades presentes no controle adaptativo tradicional (KASTER et al., 2011).

Outra forma de projeto de controladores utiliza a alocação de polos, desenvolvido por (ESH-TEHARDIHA et al., 2007) e (MA; GAO, 2011). Esta técnica tem sido usada para otimizar o desempenho dinâmico e estabilidade, pois fixa a resposta da planta em um determinado ponto que possui as características almejadas (MA; GAO, 2011).

Técnicas de controle ótimo, como o regulador linear quadrático (LQR), são utilizadas por (ISMAIL; AHMAD; RAMLI, 2009) e (MOREIRA et al., 2011). Esta estratégia não possui um método de cálculo definido, pois há a necessidade de estimar os valores das matrizes Q e R que são originalmente ponderadas por tentativa e erro (MOLAZADEH et al., 2014). Porém, existem trabalhos em que encontra-se os valores ideais através da lógica Fuzzy (MOLAZADEH et al., 2014). Por um fator construtivo, o controle por realimentação de estados tende a ter erro em regime permanente, dependendo principalmente dos ganhos utilizados para se aproximar

da referência desejada. Uma variação desta técnica é empregada por (MOREIRA et al., 2011) que consiste na adição de um termo *feedforward* que desloca a atuação do controle e diminui o erro em regime permanente. Outra técnica para diminuição do erro em regime é a inserção de um termo integral, onde utiliza-se o controlador por realimentação de estados tradicional juntamente com o termo integral (KEDJAR; AL-HADDAD, 2012).

Algumas técnicas de controle, devido à sua complexidade e outros fatores, somente podem ser implementadas de maneira digital (MILANOVIC; TRUNTIC; SLIBAR, 2005). A maior vantagem do uso de controladores digitais é que para alteração do controlador ou dos ganhos é preciso somente a reprogramação do algoritmo, enquanto nos compensadores montados de forma analógica é necessária a alteração do circuito (SAJEESH, 2012). Apesar das vantagens aparentes das técnicas digitais, existem algumas dificuldades que incluem custo, desempenho, dificuldade na implementação e aceitação, quando comparadas com alguns casos em que já existem componentes analógicos com funções de controle prontas (PATELLA et al., 2003) e (VIDAL-IDIARTE et al., 2004).

Com a evolução da tecnologia, a melhora do desempenho de microcontroladores e dos *Digital Signal Processor* (DSP) tem aumentado (KREIN, 2007). Da mesma forma os dispositivos *Field Programmable Gate Array* (FPGA) vêm sendo explorados pela possibilidade de processamento paralelo, que melhora o desempenho e velocidade de processamento (HASSAN; YOUSSEF; KADAH, 2011; SANIIE; ORUKLU, 2012). Uma das limitações da arquitetura deste dispositivo é não possuir conversores A/D, sendo necessária a inclusão de um componente externo que realize essa conversão e envie os dados de maneira serial ou paralela para a FPGA (CORPORATION, 2007). Com a introdução no mercado de conversores analógico-digitais (A/D) de maior velocidade, o estudo e aplicações em FPGA têm sido explorados cada vez mais (DAGBAGI et al., 2012).

O FPGA é um dispositivo integrado que possui elementos lógicos em sua arquitetura, que são combinados entre si através de programação. A organização dos elementos lógicos é bastante flexível possibilitando ao programador o arranjo de processadores e estruturas lógicas de alta complexidade em paralelo viabilizando o processamento simultâneo nessas estruturas. A programação normalmente é desenvolvida em *hardware description language* (HDL), que possui uma certa complexidade e não é muito intuitiva por ser em formato textual; Em contrapartida, é possível programar usando interfaces gráficas através de blocos digitais, como o DSP Builder, que vêm se destacando pela facilidade no desenvolvimento e interação com o programador (MIN, 2009). Esta ferramenta trabalha juntamente com o software Matlab, muito usado em simulações e modelagens de plantas (sejam elas eletrônicas ou mecânicas), permitindo gerar algoritmos capazes de interagir com simulações usando os elementos da biblioteca padrão.

1.1 JUSTIFICATIVA

A proposta desse trabalho é apresentar técnicas de controle alternativas em relação ao tradicional PID e levantar um comparativo de desempenho entre elas. Essas técnicas foram comparadas com o PID, sendo escolhidas técnicas que usam realimentação de estados por alocação de polos com e sem o termo integral, além de uma derivação do PID que possui ganhos não lineares baseados em função gaussiana (GANLPID).

Todas as técnicas são desenvolvidas em FPGA pela alta velocidade que se consegue com esse dispositivo. Os dispositivos de lógica reconfigurável permitem a programação das estruturas lógicas que serão usadas no processamento. Fica a critério do usuário definir algoritmos sequenciais ou em paralelo. Grande parte das estruturas digitais são passíveis de otimização e o uso delas em paralelo reduz o tempo total de processamento. A implementação em FPGA ainda é, de certa forma, novidade, pois ainda se usa predominantemente microcontroladores e DSPs para essa tarefa.

A ferramenta DSP Builder utiliza uma programação de forma visual em forma de blocos, que já foram exaustivamente testados e otimizados pelo fabricante quanto a desempenho e consumo de recursos da FPGA. Da mesma forma, cada bloco foi concebido para ter um comportamento dentro do ambiente de simulação o mais idêntico possível em relação ao seu funcionamento no dispositivo físico. Assim, esta ferramenta possibilita o uso do mesmo modelo para simulação e para implementação da programação, onde o comportamento dos blocos na simulação e no dispositivo físico é praticamente idêntico.

1.2 OBJETIVOS

1.2.1 Objetivo Geral

Apresentar um estudo comparativo de diversas técnicas de controle em simulações e ensaios experimentais aplicadas a um conversor Buck.

1.2.2 Objetivos Específicos

Constituem-se objetivos deste trabalho:

- Realizar um estudo das diferentes técnicas de controle propostas;
- Verificar a viabilidade de implementação dos controladores;
- Estudar a planta mais adequada para o desenvolvimento dos controladores;
- Projetar a planta de testes;
- Projetar os controladores lineares e não lineares;
- Realizar um estudo comparativo das vantagens e desvantagens de cada controlador;

- Desenvolver os modelos de forma digital (ferramenta DSP Builder);
- Produzir o protótipo de potência juntamente com as etapas de acionamento e condicionamento de sinal;
- Validar o modelo matemático com o protótipo;
- Implementar os controladores.

1.3 METODOLOGIA

Para se alcançar os objetivos propostos, foi utilizada a seguinte metodologia:

- Concepção estrutural do projeto: Nesse momento, verifica-se juntamente com o Orientador a ideia da pesquisa, as partes de que são compostas e a metodologia de desenvolvimento. A clareza sobre o todo do projeto é valiosa no direcionamento das atividades subsequentes.
- Revisão bibliográfica: Busca em livros, artigos, *datasheets* e demais fontes bibliográficas por informações referentes a todos os aspectos do projeto. Tal busca realimenta os conceitos do projeto podendo conduzir a algumas alterações nele.
- Planejamento: o projeto é detalhado e é montado um cronograma de trabalho.
- Elaboração de modelos matemáticos visando simulações computacionais usando programas especializados: Da observação do objeto a ser controlado (o conversor Buck), elabora-se seu modelo bem como os modelos básicos dos controladores visando a simulação computacional. A simulação é fundamental para compreender a interação global e o funcionamento de todos os sistemas operando conjuntamente, ajudando a prever os problemas e determinar soluções, antes que sejam empenhados recursos físicos na construção do protótipo real. A modelagem usa a técnica *Model-based Design* que usa os mesmos objetos para simulação e para a geração do programa para a FPGA.
- Projeto e construção do protótipo do conversor Buck.
- A validação do modelo computacional passa pelos testes do modelo e do protótipo paralelamente de modo a validar os modelos usados na simulação.
- Realização de medições usando instrumentos: são utilizados instrumentos, como o osciloscópio, para capturar formas de onda do funcionamento do protótipo real de modo a poder fazer comparações com os resultados de simulação.
- Análise dos resultados e geração de gráficos comparativos.
- Elaboração de documentação técnica usada na confecção da dissertação e publicações científicas em congressos e periódicos especializados.

1.4 ORGANIZAÇÃO DO TRABALHO

O trabalho é composto por sete capítulos. O primeiro traz uma introdução que levanta a importância do trabalho, apresenta os objetivos, justificativa e a metodologia de desenvolvimento do projeto.

O segundo capítulo apresenta a modelagem do conversor utilizado, ressaltando as não idealidades e o comportamento do circuito em malha aberta, assim como os valores dos componentes do projeto físico.

Na sequência, o capítulo três mostra a fundamentação dos controladores escolhidos, assim como os projetos de cada controlador.

O quarto capítulo apresenta as vantagens do uso de dispositivos FPGA, assim como as ferramentas de trabalho escolhidas e o desenvolvimento de cada controle com o uso da ferramenta DSP Builder e também mostra a interface do FPGA com o conversor analógico digital.

Com o modelo de simulação contendo os controladores e a planta, no capítulo cinco são obtidos resultados de simulação que mostram as características de cada controlador. Ao fim é apresentado um comparativo dos resultados entre todas as técnicas.

O protótipo do conversor e os resultados experimentais são mostrados no capítulo seis, que contém as formas de onda da tensão e corrente obtidas em laboratório para o conversor em questão.

Por fim, o capítulo sete apresenta as conclusões sobre o desempenho e robustez dos controladores.

2 MODELAGEM DO CONVERSOR BUCK

Como foco do trabalho é basicamente a comparação de algumas técnicas de controle, este conversor foi escolhido pela simplicidade de acionamento e controle. O conversor Buck é um circuito capaz de converter tensão contínua (CC) em outra tensão CC de menor amplitude (SILVA, 2010).

Quando o conversor trabalha de modo que a corrente no indutor seja sempre diferente de zero, diz-se que opera em modo de condução contínua (MCC). Já quando ele trabalha de modo que essa corrente seja nula em algum intervalo dentro do período de comutação, então diz-se que opera em modo de condução descontínua (MCD). A condução contínua é muito usada, pois existe uma relação bem definida entre a largura do pulso e a tensão de saída. A figura 1 apresenta a corrente no indutor de dois conversores Buck, sendo que na figura 1 (a) a corrente não chega a zero, caracterizando a condução contínua, diferentemente da figura 1 (b) que por um pequeno instante a corrente se anula.

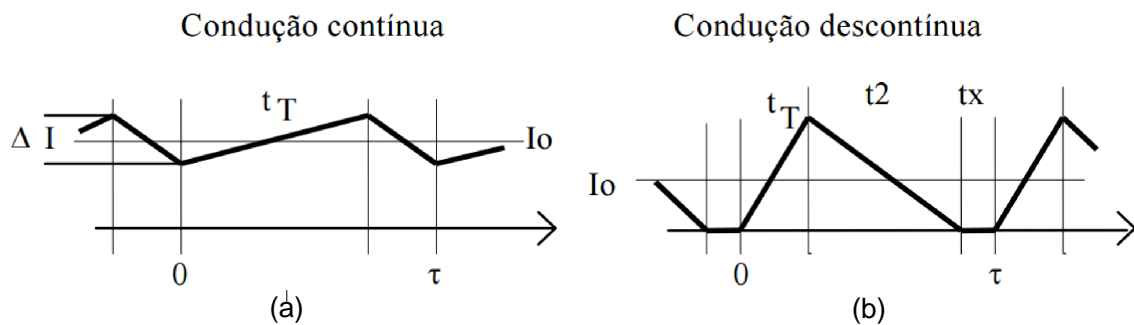


Figura 1 – Modos de operação do conversor Buck.

Fonte: (POMILIO, 2007)

2.1 MODELAGEM DO CONVERSOR IDEAL

Em um primeiro momento, será feito o equacionamento do conversor sem levar em consideração as não idealidades do circuito, representado pela figura 2.

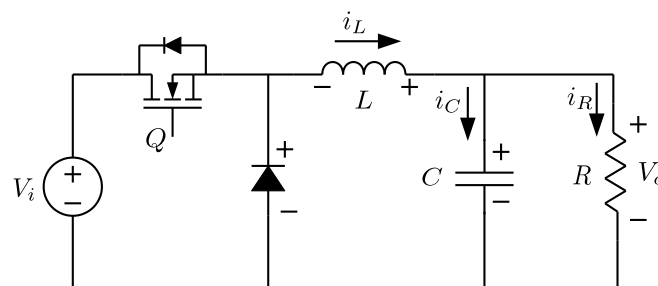


Figura 2 – Conversor Buck.

Fonte: Autoria própria.

Pela existência de uma única chave, alterando-se a razão cíclica muda-se a tensão de saída, originando duas etapas de operação (SILVA, 2010). Definiremos que o estado da chave seja representado pelo valor da variável q , onde $q = 0$ representa a chave aberta e $q = 1$ representa a chave em condução. Trata-se de uma variável discreta, que pode assumir apenas dois valores discretos $\{0; 1\}$. A razão cíclica, que é uma grandeza contínua limitada entre 0 e 1, pode ser definida a partir dessa variável na forma

$$d(t) = d(kT) = \frac{1}{T} \int_{kT}^{(k+1)T} q(t) dt = \frac{T_{on}(kT)}{T_{pwm}} \quad (2.1)$$

sendo

- T_{on} : Tempo no qual $q = 1$;
- T_{pwm} : Período do PWM.

Pode-se notar que a razão cíclica $d(t)$ corresponde à média dos valores de $q(t)$ dentro de um período de chaveamento T . Na análise que segue, a razão cíclica será referida como $D(t)$ ou apenas D .

De modo similar, o processo de geração do sinal PWM comumente obtém $q(t)$ a partir da comparação entre $d(t)$ e uma onda dente de serra. A equação 2.1 permite obter uma relação entre elas para cada período de comutação. A variável $d(t)$ é chamada de razão cíclica do sinal PWM. A figura 3 mostra a relação entre as variáveis $q(t)$ (discreta) e $d(t)$ (contínua) e a formação do sinal PWM.

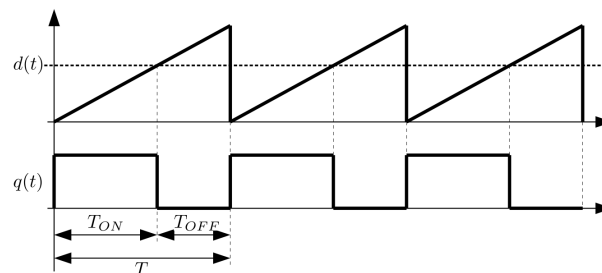


Figura 3 – Sinal PWM.
Fonte: Autoria própria.

Desta forma, a primeira etapa de operação do conversor é descrita pela figura 4, sendo esta responsável pela carga do circuito.

A segunda etapa de operação é mostrada na figura 5, sendo responsável pela descarga dos elementos armazenadores de energia (indutor e capacitor) sobre a carga.

Essas duas etapas de funcionamento são alternadas ciclicamente. Quem determina qual etapa está ativa é um sinal PWM (*Pulse Width Modulation*) que possui como característica um tempo da chave no estado “ON” e outro no estado “OFF”, e a razão entre esses tempos é a razão cíclica $D(t)$.

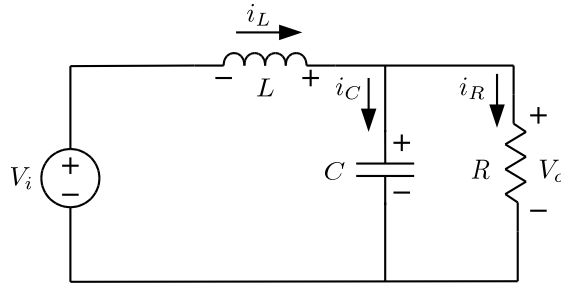


Figura 4 – Primeira etapa de operação do conversor Buck.

Fonte: Autoria própria.

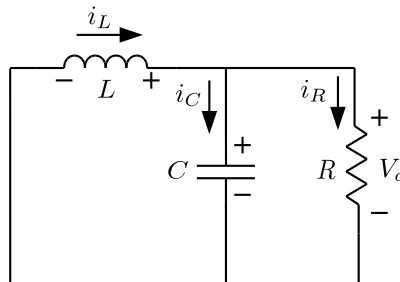


Figura 5 – Segunda etapa de operação do conversor Buck.

Fonte: Autoria própria.

As equações dos estados do conversor são obtidas através da análise nodal e de malha, sendo elas:

$$L \frac{di_L(t)}{dt} = -V_o(t) + q(t) V_i \quad (2.2)$$

$$C \frac{dV_o(t)}{dt} = i_L(t) - \frac{V_o(t)}{R}. \quad (2.3)$$

Considerando a média dos períodos de comutação $D(t)$ em lugar de $q(t)$, usando a transformada de Laplace e agrupando as equações obtêm-se a função de transferência da tensão de saída V_o em função da razão cíclica:

$$\frac{V_o(s)}{D(s)} = \frac{V_i}{LCs^2 + \frac{L}{R}s + 1}. \quad (2.4)$$

A função de transferência idealizada é utilizada em todos os projetos dos controladores deste trabalho e, mesmo sendo uma forma simplificada, as respostas são muito próximas das obtidas com o circuito real.

A título de exemplo, considerando valores de teste $L = 2,54 \text{ mH}$, $C = 100 \mu\text{F}$, $R = 10 \Omega$, $D = 0,4$ e $V_i = 50 \text{ V}$, chega-se à sua função de transferência dada por

$$\frac{V_o(s)}{D(s)} = \frac{50}{2,54 \times 10^{-7} s^2 + 2,54 \times 10^{-4} s + 1}. \quad (2.5)$$

Essa planta possui polos complexos em $p_{1,2} = -500 \pm 1949j$, que corresponde a um sistema oscilatório com um sobre sinal alto, conforme a figura 6, que apresenta a resposta do conversor em malha aberta.

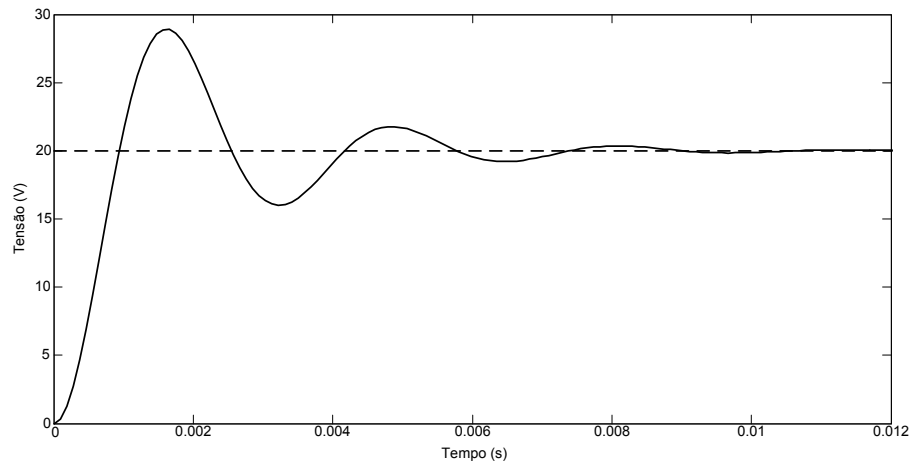


Figura 6 – Resposta do conversor Buck em malha aberta.

Fonte: Autoria própria.

A partir da resposta em malha aberta, pode-se concluir que o controle irá atuar tanto na redução do tempo de acomodação, quanto na diminuição do sobresinal, deixando a resposta em tensão mais rápida e sem a presença de uma sobre tensão na carga. Obviamente esta resposta leva em consideração somente a função matemática, sem a presença das não idealidades que modificam, de forma suave, o comportamento da planta.

2.2 MODELAGEM DO CONVERSOR CONSIDERANDO AS NÃO IDEALIDADES

As principais não idealidades presentes no circuito são a resistência intrínseca da chave (R_{on}), do indutor (R_L), do capacitor (R_C) e a queda de tensão no diodo em condução (V_D). Na primeira etapa de operação, o diodo está ausente e a chave é representada por sua resistência intrínseca, como mostra a figura 7.

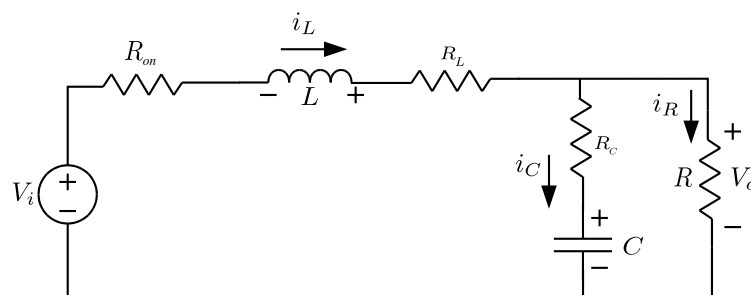


Figura 7 – Primeira etapa de operação para o conversor Buck realístico.

Fonte: Autoria própria.

Na segunda etapa, a chave e a fonte estão ausentes e o diodo aparece representado por sua queda de tensão de condução, como ilustrado na figura 8.

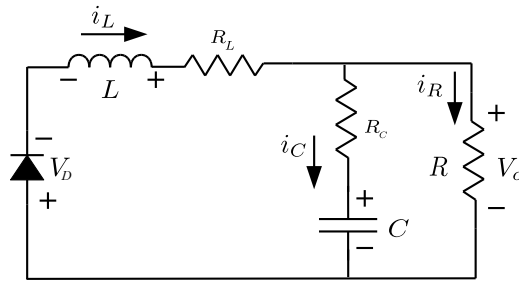


Figura 8 – Segunda etapa de operação para o conversor Buck realístico.
Fonte: Autoria própria.

Através da análise de malha, obtém-se

$$L \frac{di_L(t)}{dt} = (-q(t)R_{on} - R_L) i_L(t) - \bar{q}(t)V_D - V_o(t) + q(t)V_i \quad (2.6)$$

$$V_o(t) = R_c i_c(t) + V_c(t) \quad (2.7)$$

onde foi definido o valor complementar de $q(t)$ como $\bar{q}(t) = 1 - q(t)$.

Há duas alternativas para o conjunto dos estados: uma considera como estados $(i_L; V_c)$ e outra considera $(i_L; V_o)$. A primeira é mais simples de ser obtida matematicamente, porém, o estado V_c não é mensurável; haveria a necessidade de estimar esse estado. A segunda alternativa envolve um pouco mais de cálculos e parte-se da derivação completa da equação (2.7):

$$\frac{dV_o(t)}{dt} = R_c \frac{di_c(t)}{dt} + \frac{dV_c(t)}{dt}.$$

Após algumas manipulações, chega-se a

$$\frac{L(R_c + R)}{R} \frac{dV_o(t)}{dt} = \left[\frac{L}{C} - R_c(R_L + q(t)R_{on}) \right] i_L(t) + \left(-R_c - \frac{L}{RC} \right) V_o(t) - R_c \bar{q}(t)V_D + R_c q(t)V_i$$

Definindo as variáveis de estados como $(x_1; x_2) = (i_L; V_o)$ pode-se escrever essas equações como

$$L\dot{x}_1 = (-qR_{on} - R_L)x_1 - x_2 - \bar{q}V_D + qV_i \quad (2.8)$$

$$\frac{L(R_c + R)}{R} \dot{x}_2 = \left[\frac{L}{C} - R_c(R_L + qR_{on}) \right] x_1 + \left(-R_c - \frac{L}{RC} \right) x_2 - R_c \bar{q}V_D + R_c qV_i. \quad (2.9)$$

Para que o sistema seja estável é necessária uma tendência do valor dos estados para um ponto fixo, ou seja, que o sistema siga sempre para um ponto de regime. Analisando as equação 2.9, podemos encontrar o ponto de equilíbrio fazendo $\dot{x}_1 = 0$ e $\dot{x}_2 = 0$, onde trabalhando a equação obtem-se

$$x_2 = (-qR_{on} - R_L) x_1 - \bar{q}V_D + qV_i \quad (2.10)$$

e

$$\left(R_c + \frac{L}{RC} \right) x_2 = \left[\frac{L}{C} - R_c(R_L + qR_{on}) \right] x_1 - R_c \bar{q}V_D + R_c qV_i. \quad (2.11)$$

As não idealidades possuem pequeno valor e, para uma análise mais simplificada, podem ser desprezadas. Portanto, ao desconsiderar-se as não idealidades fazendo $R_c = R_L = R_{on} = V_D = 0$ chega-se a

$$x_2 = qV_i \quad (2.12)$$

e

$$\frac{1}{R}x_2 = x_1. \quad (2.13)$$

A equação (2.12) estabelece uma relação linear entre a tensão de saída e a tensão de alimentação equivalente à própria razão cíclica. A equação (2.13) estabelece uma relação também linear entre os estados (a tensão de saída e a corrente no indutor) que equivale ao valor da carga resistiva.

Supondo um conversor com tensão de entrada de 48 V e cargas de $50, 100$ e $150\ \Omega$, pode-se verificar as curvas de equilíbrio pela figura 9.

Uma outra análise interessante diz respeito às trajetórias de estados do conversor para diferentes condições iniciais. Tais análises são apresentadas com as estruturas $q = 0$ e $q = 1$ sobre postas. Nelas, se pode observar que as trajetórias descrevem espirais convergentes que tendem a zero (para a estrutura $q = 0$) e a V_i (para a estrutura $q = 1$).

Como a razão cíclica representa a alternância das duas estruturas em frequência relativamente alta, a trajetória de estados caminha ora pelas linhas de uma estrutura, ora pelas linhas da outra. Ao final, a trajetória tende para algum ponto da curva de equilíbrios mostrada na figura 9 onde a relação dada pela equação (2.12) seja válida.

A título de exemplo, adotando-se $R = 25\ \Omega$, $L = 1\text{ mH}$, $C = 10\ \mu\text{F}$ e $V_i = 48\text{ V}$, pode-se traçar as trajetórias dos estados para várias condições iniciais representadas pelas curvas ilustradas na figura 10, onde se pode observar que elas representam o comportamento da planta nos dois estados topológicos da chave.

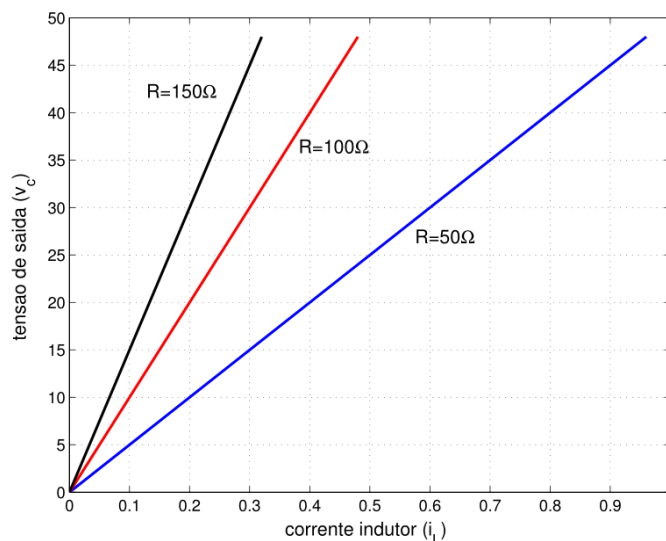


Figura 9 – Curva dos pontos de equilíbrio do conversor Buck.

Fonte: (KASTER, 2006)

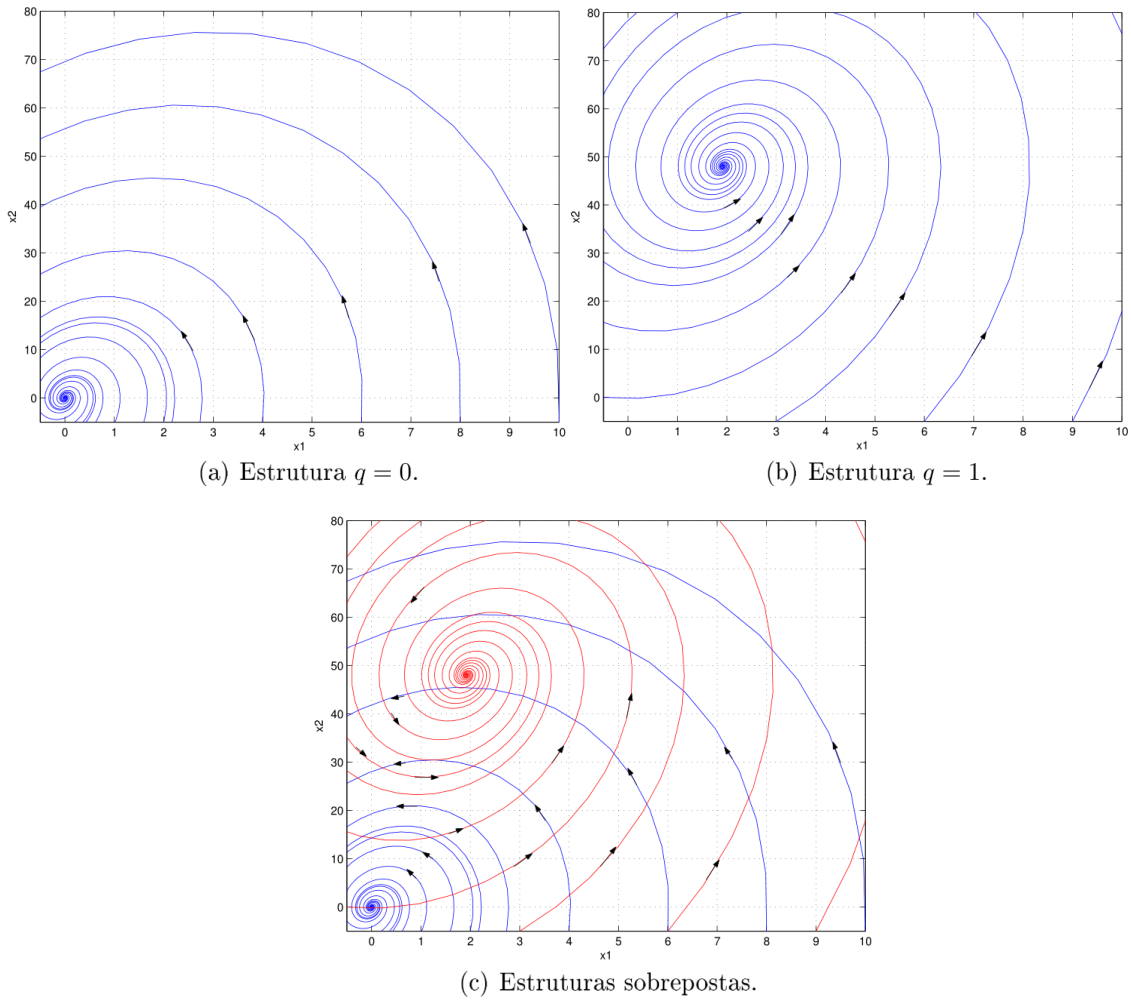


Figura 10 – Famílias de curvas do conversor Buck.

Fonte: (KASTER, 2006)

O presente capítulo abordou a modelagem no espaço de estados e a função de transferência do conversor Buck considerando os casos do conversor com e sem as não idealidades. Análises adicionais sobre os pontos de equilíbrio de regime permanente e as trajetórias dos estados também foram apresentadas com a finalidade de entender o comportamento dos estados desse conversor. Essa modelagem será usada no próximo capítulo para projeto dos controladores.

3 CONTROLADORES

O capítulo anterior tratou da modelagem do conversor Buck, com a obtenção das equações que definem a planta no espaço de estados e suas funções de transferência. Essa modelagem será usada neste capítulo para o projeto e análise dos controladores propostos neste trabalho.

As técnicas de controle clássico, a teoria de controle robusto e as técnicas de controle moderno são comumente usadas e são essenciais em qualquer campo da engenharia e da ciência. Sistemas de controle são essenciais para a regulação de determinadas variáveis de processo e são encontrados, de forma intrínseca, em sistemas embarcados de veículos, indústrias e outros que necessitem o controle de variáveis tais como temperatura, pressão, umidade, vazão etc (OGATA, 2010).

Um sistema de controle é o arranjo de componentes para que a planta tenha uma resposta com características pré-definidas, sendo em malha aberta (atuador manipula diretamente um processo) ou malha fechada (onde existe um sinal de retroação) (DORF, 2009). A representação em blocos de um sistema em malha aberta é apresentado na figura 11.



Figura 11 – Sistema em malha aberta.

O controle com realimentação ou em malha fechada é aquele que, na presença de distúrbios na planta, tende a corrigir a diferença entre a saída e o valor de referência desejado (OGATA, 2010). A figura 12 apresenta um sistema com realimentação.

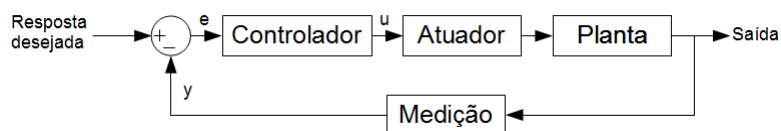


Figura 12 – Sistema em malha fechada.

Segundo Ogata (2010), o controle com retroalimentação, apesar da maior complexidade, possui algumas vantagens, entre elas a manutenção da qualidade do sinal de saída sem a necessidade de ajuste manual. O projeto do controlador é exclusivo para a planta à qual será aplicado. Caso seja utilizado em outra planta com uma dinâmica diferente é necessário reprojeter o controlador.

Como relatado por Ogata (2010), para iniciar um projeto é necessária a obtenção de um modelo matemático da planta a ser controlada. Em muitos casos, é possível obter um modelo relativamente preciso da planta de forma que as pequenas diferenças entre o modelo e a planta real sejam sempre pequenos e não interfiram no funcionamento do controlador projetado. Porém, é bastante comum encontrar plantas que possuem consideráveis incertezas e variações paramétricas e que irão exigir cuidados especiais no projeto do controlador. Para garantir o fun-

cionamento de forma satisfatória, deve-se considerar as incertezas ou erros da planta real no modelo matemático. O controle que considera essa abordagem é chamado de controle robusto.

Dentre as várias técnicas de controle disponíveis, uma das mais utilizadas é o controlador PID. Trata-se de um controlador linear com ganhos fixos, que se comporta bem na maioria das aplicações. Porém, ele apresenta limitações. Uma das formas de melhorar seu desempenho faz uso de controle adaptativo, onde os ganhos do controlador podem variar de acordo com a entrada e alcançar melhores desempenhos e aumento da robustez. De certa forma, essa técnica é uma forma particular de controle não linear. Há diversas outras técnicas de controle não linear que também propiciam a melhora de desempenho do controlador.

O tema do controle automático tem avançado continuamente, chegando a aplicações digitais que possuem uma grande flexibilidade na programação, sofisticação operacional, facilidade de ajuste após a instalação, redução do tamanho e peso, comunicação com supervisórios etc (CASTRUCCI; SALES, 1990).

A seguir, serão abordadas algumas técnicas de controle de interesse neste trabalho.

3.1 CONTROLE PROPORCIONAL, INTEGRAL E DERIVATIVO (PID)

Hoje em dia mais da metade dos controladores industriais empregam esquemas de controle proporcional, integral e derivativo (PID) ou PID modificados, sendo ajustados em campo com diferentes regras de sintonia propostas na literatura (OGATA, 2010).

3.1.1 PID Analógico

O controlador PID é composto por três ações de controle: proporcional integral e derivativa. Cada uma delas com características que alteram de forma diferente a dinâmica da planta (ASTRÖM; HÄGGLUND, 1995). A equação que representa o controle PID no tempo é:

$$u(t) = K_p e(t) + K_i \int_0^t e(\tau) d\tau + K_d \frac{de(t)}{dt}. \quad (3.1)$$

Aplicando a transformada de Laplace, podemos deixar o controlador em função das constantes de tempo T_i e T_d , como mostra a equação (3.2).

$$G_c(s) = K_p \left(1 + \frac{1}{T_i s} + T_d s \right) \quad (3.2)$$

O termo proporcional faz a multiplicação direta do erro, resultando na mudança direta da variável de controle, em geral quanto maior o valor proporcional mais rápida vai ser a resposta da planta, entretanto, aumentará também o sobressinal gerado. A ação derivativa detecta a tendência do erro (inclinação), agindo principalmente nos transitórios. O termo integral na maioria dos casos retira o erro em regime permanente. Outras variações também podem ser realizadas no controlador PID, anulando um dos termos podendo usar somente PI ou um compensador PD, dependendo do critério de desempenho do projetista.

3.1.2 PID Digital

O controlador digital é diretamente influenciado pelo tempo de amostragem T_s , sendo muitas vezes anexados aos ganhos K_i e K_d . O processo de discretização é baseado na equação (3.2), deixando em função dos ganhos temos:

$$u(t) = K_p e(t) + K_i \int_0^t e(\tau) d\tau + K_d \frac{de(t)}{dt} \quad (3.3)$$

onde:

- t : Instante de tempo;
- $u(t)$: Sinal de controle no instante t ;
- $e(t)$: Sinal de erro no instante t .

O tempo contínuo t é redefinido como o tempo discreto kT_s com $k = 0, 1, 2, \dots$. Usando a aproximação retangular para a derivada, como ilustrado na figura 13 temos

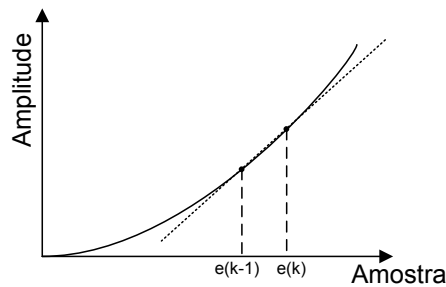


Figura 13 – Aproximação da derivada digital.

Fonte: Autoria própria.

$$\frac{de(t)}{dt} = \frac{(e[kT_s] - e[(k-1)T_s])}{T_s} \quad (3.4)$$

e a aproximação também retangular para a integral

$$\int e(t) dt = T_s (e[kT_s] + f[(k-1)T_s]) = f[kT_s] \quad (3.5)$$

sendo:

- k : Amostra atual;
- T_s : Tempo de amostragem;
- $[k-1]T_s$: Amostra defasada em um período T_s ;
- $e[kT_s]$: Erro no instante discreto k ;

- $f[(k-1)T_s]$: Resultado acumulado da integral até o instante $k-1$.
- $f[kT_s]$: Resultado da integral.

Por simplicidade, a variável T_s será omitida da definição do instante de amostragem kT_s nas representações dessas funções discretas.

Basenado-se na equação (3.3), deixando-se a expressão em função das amostras, obtém-se a função discretizada do PID, que pode ser facilmente implementada em dispositivos digitais, representada por

$$u[k] = K_p e[k] + \frac{K_d}{T_s} (e[k] - e[k-1]) + K_i (T_s e[k] + f[k-1]) \quad (3.6)$$

onde

- $u[n]$: função de controle discretizada.

Este método de controle pode ser implementado em qualquer dispositivo digital, seja um microcontrolador, DSP ou FPGA. Possui a vantagem de ser um algoritmo de fácil compreensão e implementação, porém é limitado no quesito precisão, pois tanto o termo derivativo como a parcela integral são calculados a partir de um retângulo, que é apenas uma aproximação do valor contínuo.

O algoritmo é descrito como função do erro; portanto, quando a resposta da planta atingir o valor desejado (*set point*), as ações proporcional e derivativa se anulam deixando somente a parcela integral atuando no sistema.

Em geral, não se usa a aproximação de Euler (backward ou forward) para a aproximação da área discreta mas sim a aproximação trapezoidal, que é bem mais precisa. Neste caso, a equação (3.6) com aproximação trapezoidal fica

$$u[k] = K_p e[k] + \frac{K_d}{T_s} (e[k] - e[k-1]) + K_i \left(\frac{e[k] + e[k-1]}{2} T_s + f[k-1] \right). \quad (3.7)$$

Essa aproximação exige duas operações a mais a serem realizadas no dispositivo de processamento digital a cada período T_s .

A figura 14 mostra as três técnicas de aproximação da integração.

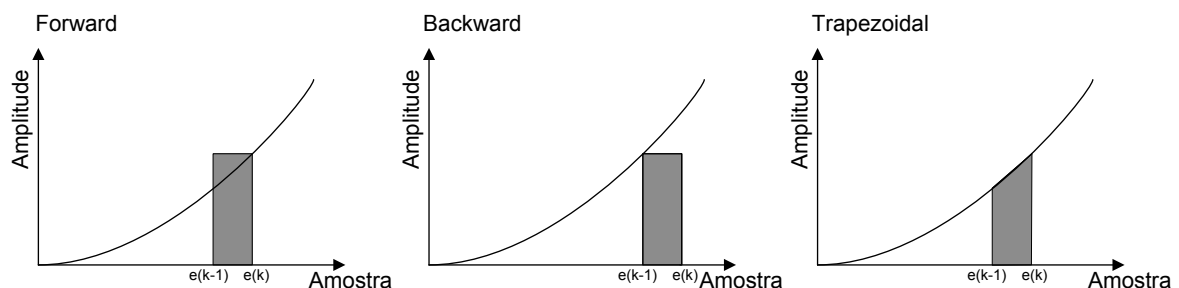


Figura 14 – Métodos de integração digital.

Fonte: Autoria própria.

Outro problema com a implementação do PID é a ausência da limitação do valor máximo da integral, que pode atrasar muito a estabilização ou até deixar o sistema instável. Esse problema pode ser corrigido empregando-se um filtro *anti-windup* que estabelece limites máximo e mínimo para o acumulador da integração.

Há outras formas de se definir o controlador PID em forma discreta. Uma forma alternativa pode ser definida partindo-se da função de transferência em tempo contínuo

$$G(s) = K_p + K_i \frac{1}{s} + K_d s. \quad (3.8)$$

Usando a transformada Z, o sistema pode ser discretizado com o algoritmo *zero order hold* (ZOH) resultando em

$$G(z) = K_p + K_i \frac{T_s}{2} \left(\frac{z+1}{z-1} \right) + K_d \frac{(1-z^{-1})}{T_s}. \quad (3.9)$$

Trabalhando a equação obtém-se

$$G(z) = \frac{(K_p + t \frac{K_i}{2} + \frac{K_d}{t}) z^{-2} + (t \frac{K_i}{2} - K_p - \frac{2K_d}{t}) z^{-1} + \frac{K_d}{t}}{(1-z^{-1})}. \quad (3.10)$$

Para deixar a equação em uma forma mais simplificada define-se

$$\begin{aligned} b_0 &= \left(\frac{K_d}{t} \right) \\ b_1 &= \left(t \frac{K_i}{2} - K_p - \frac{2K_d}{t} \right) \\ b_2 &= \left(K_p + t \frac{K_i}{2} + \frac{K_d}{t} \right) \end{aligned} \quad (3.11)$$

resultando em

$$G(z) = \frac{U(z)}{E(z)} = \frac{b_0 z^{-2} + b_1 z^{-1} + b_2}{(1-z^{-1})}. \quad (3.12)$$

Organizando a equação para se obter a função de controle, tem-se:

$$U(z) = E(z)b_0 + E(z)b_1 z^{-1} + E(z)b_2 z^{-2} + U(z)z^{-1}. \quad (3.13)$$

Aplicando a transformada \mathcal{Z} inversa tem-se a função de controle descrita para cada instante discreto de tempo, representada por

$$u[n] = e[n] b_0 + e[n-1] b_1 + e[n-2] b_2 + u[n-1]. \quad (3.14)$$

Substituindo os valores de b_0 , b_1 e b_2 obtém-se a equação de diferenças do controlador:

$$u[n] = e[n] \left(K_p + T \frac{K_i}{2} + \frac{K_d}{T} \right) + e[n-1] \left(T \frac{K_i}{2} - K_p - \frac{2K_d}{T} \right) + e[n-2] \left(\frac{K_d}{T} \right) + u[n-1]. \quad (3.15)$$

O uso de equações a diferenças possui a vantagem de não precisar do filtro *anti-windup*, além do agrupamento das constantes em somente três valores b_0 , b_1 e b_2 o que acaba diminuindo o esforço computacional.

3.1.3 Projeto do controlador PID

O projeto do controlador PID foi realizado através do método do lugar das raízes discreto, sendo que a planta foi discretizada usando ZOH, tendo como critério de projeto a redução da oscilação da resposta da planta, reduzindo o sobressinal a um valor máximo de 5%. O projeto é embasado no plano z e usa-se como T_s o período de amostragem dado pela frequência máxima do conversor analógico digital (A/D), que é da ordem de 200 kps ou 200 mil amostras por segundo. A figura 15 mostra o lugar das raízes discreto. Em sua topologia tradicional, o controlador PID adiciona dois polos e dois zeros ao sistema. O problema é que se o posicionamento dos zeros não for muito criterioso, com pequenas variações de ganho, os polos de malha fechada mudam de posição de forma abrupta saindo facilmente do círculo unitário tornando o controle instável.

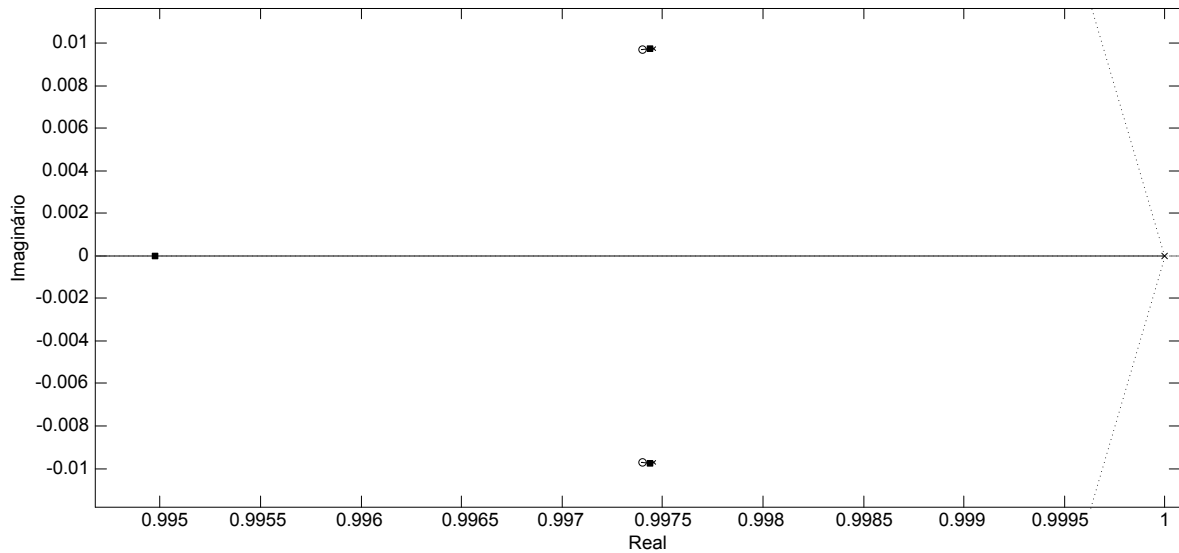


Figura 15 – Projeto do controlador PID pelo método do lugar das raízes discreto.

Fonte: Autoria própria.

Para uma melhor visualização do lugar das raízes, a figura 16 apresenta a área ampliada onde nota-se a baixa resolução da ferramenta *sisotool* nessa escala.

Outro ponto a ressaltar é que a alocação dos zeros adotada no projeto do controlador foi tal que o ganho do controlador não atinja valores altos, pois o ruído e os erros indesejáveis também são amplificados na mesma proporção desse ganho. Isso significa que, se o ganho for elevado, o ruído e os erros indesejáveis podem atrapalhar muito a estabilidade do controlador e até levá-lo à instabilidade.

Com este projeto, a equação do controlador é representada por

$$C_{PID}(z) = 1,3066 \frac{(z^2 - 1,99z + 0,995)}{z(z - 1)},$$

sendo os valores dos ganhos definidos a partir das equações (3.11). Os valores dos ganhos

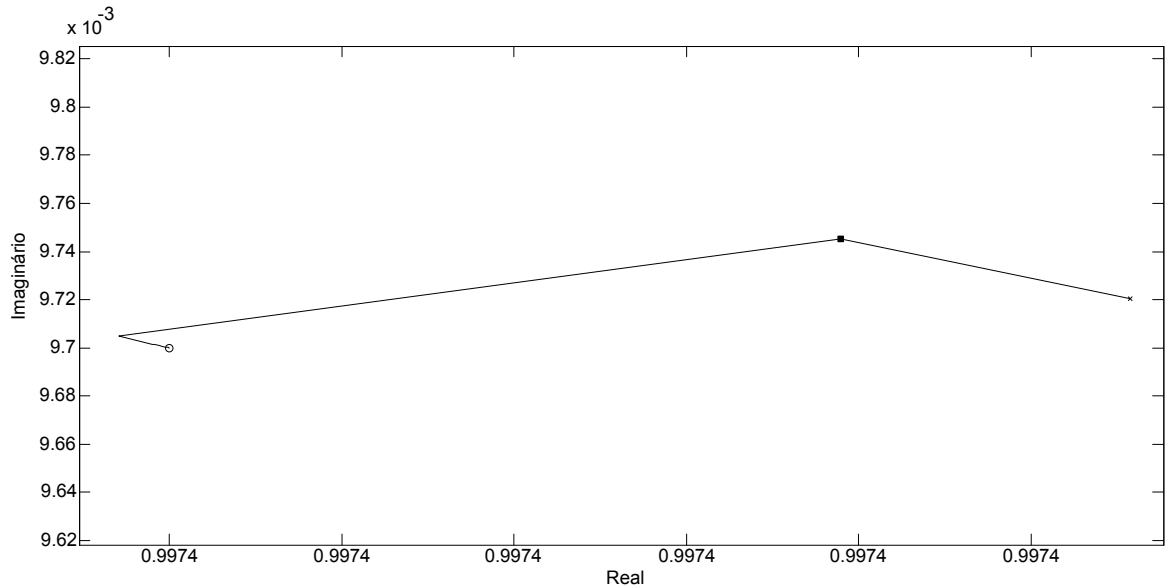


Figura 16 – Detalhe da região do zero do controlador PID no lugar das raízes.

Fonte: Autoria própria.

obtidos são:

$$\begin{aligned} K_p &= 6,5 \times 10^{-3} \\ K_i &= 22 \\ K_d &= 6,5 \times 10^{-6} \end{aligned} \quad (3.16)$$

Com o projeto do controlador são realizadas as simulações para verificar se as respostas são as esperadas; essa etapa é apresentada no capítulo 5.1.

3.2 PID COM GANHOS ADAPTATIVOS POR FUNÇÃO GAUSSIANA

Para diferentes pontos de operação ou diferentes aplicações onde os controladores necessitam de uma grande flexibilidade usam-se controles adaptativos ou não lineares (YANG; PARK; HUANG, 2010).

De forma similar ao controle PID tradicional, no controle adaptativo os ganhos K_p , K_i e K_d são variantes em função do erro. Diferentemente do controle adaptativo puro, nesta técnica nos ganhos variam de forma suave usando a curva gaussiana. Segundo Kaster et al. (2011) o controle não linear tem a vantagem de ser mais robusto e ter um desempenho superior, se comparado com o PID tradicional, isso tudo sem os inconvenientes das derivadas descontínuas. Ainda como proposto por Kaster et al. (2011), a equação (3.17) representa os valores para o ganho K_p .

$$K_p(\delta) = K_{p1} - (K_{p1} - K_{p0}) e^{-p_p \delta^2} \quad (3.17)$$

Sendo:

- δ erro (entrada do controlador);

- $K_p(\delta)$ ganho proporcional não linear dependente do erro;
- K_{p0} limite da função gaussiana quando o erro é nulo;
- K_{p1} limite da função gaussiana quando o erro tende a infinito;
- p_p concavidade da curva gaussiana.

As parcelas integral e derivativa são determinadas de forma similar, podendo cada uma delas ter uma abertura da concavidade ou valores limites de ganhos distintos, além também da concavidade da curva ser ascendente ou descendente. A figura 17 apresenta um exemplo da curva gaussiana em função do erro para a parcela proporcional.

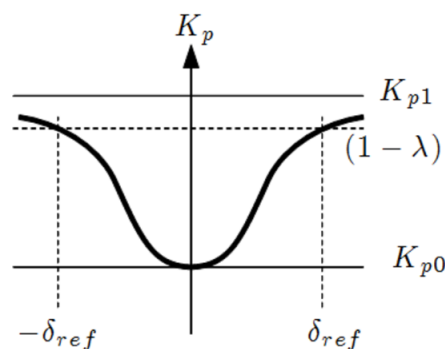


Figura 17 – Função do ganho $K_p(\delta)$
Fonte: Agnoletti, Kaster e Silva (2012).

O parâmetro p , que regula o grau de abertura da concavidade da curva gaussiana é um tanto abstrato, sem muito significado direto para o projetista. Nesse sentido, propõe-se que seu valor seja determinado baseado em outros parâmetros que façam mais sentido para o projetista. Assim, o de p pode ser determinado através da equação

$$p = -\frac{\ln(1 - \lambda)}{\delta_{ref}^2} \quad (3.18)$$

onde δ_{ref} é um erro de referência escolhido pelo projetista, que pode ser a amplitude do transitório, e λ é o percentual entre K_{p0} e K_{p1} da curva gaussiana no ponto dado por δ_{ref} .

A escolha dos ganhos normalmente é baseada no projeto do PID linear, sendo este definido para atuar em regime permanente, enquanto para o transitório e perturbações predomina o ganho não linear. Os demais parâmetros podem ser definidos através de vários métodos, sendo que o proposto neste trabalho utiliza varredura paramétrica, que não é um método otimizado, mas permite encontrar os valores ideais para os ganhos e as concavidades das curvas gaussianas dentro da faixa de varredura. Uma maneira de determinar a concavidade da curva é apresentada por Agnoletti, Kaster e Silva (2012), onde estima-se a transição dos ganhos ficando o valor de λ e δ_{ref} em 90 % do transitório de partida.

3.2.1 PID com Ganhos Adaptativos por Função Gaussiana Digital

De maneira similar ao PID linear, é possível encontrar a função discretizada do controlador partindo da equação

$$G_c(s) = K_p + \frac{K_i}{s} + sK_d, \quad (3.19)$$

tornando os ganhos variáveis e fazendo as aproximações para o plano Z , de onde se obtém

$$G(z) = K_{p1} - (K_{p1} - K_{p0}) e^{-p_p \delta^2} + \left\{ \left[K_{i1} - (K_{i1} - K_{i0}) e^{-p_i \delta^2} \right] \left[\left(\frac{z+1}{z-1} \right) \frac{T}{2} \right] \right\} + \left\{ \left[K_{d1} - (K_{d1} - K_{d0}) e^{-p_d \delta^2} \right] \frac{(1-z^{-1})}{T} \right\}, \quad (3.20)$$

manipulando a equação, faz-se

$$G(z) = \left\{ K_{p1} (1-z^{-1}) - K_{p1} e^{-p_p \delta^2} (1-z^{-1}) + K_{p0} e^{-p_p \delta^2} (1-z^{-1}) + \frac{TK_{i1}}{2} (1+z^{-1}) - \frac{TK_{i1} e^{-p_i \delta^2}}{2} (1-z^{-1}) + \frac{TK_{i0} e^{-p_i \delta^2}}{2} (1-z^{-1}) + \frac{K_{d1}}{T} (1-z^{-1})^2 - \frac{K_{d1} e^{-p_d \delta^2}}{T} (1-z^{-1})^2 + \frac{K_{d0} e^{-p_d \delta^2}}{T} (1-z^{-1})^2 \right\} / (1-z^{-1}) \quad (3.21)$$

organizando as variáveis e aplicando a transformada Z , chega-se a

$$u(n) = u(n-1) + e(n-2) \cdot f + e(n-1) \cdot g + e(n) \cdot h \quad (3.22)$$

sendo que

$$\begin{aligned} f &= \left(\frac{K_{d1}}{T} - \frac{K_{d1}}{T} e^{-p_d \delta^2} + \frac{K_{d0}}{T} e^{-p_d \delta^2} \right) \\ g &= \left(-K_{p1} + K_{p1} e^{-p_p \delta^2} - K_{p0} e^{-p_p \delta^2} + \frac{TK_{i1}}{2} - \frac{TK_{i1} e^{-p_i \delta^2}}{2} + \frac{TK_{i0} e^{-p_i \delta^2}}{2} - \frac{2K_{d1}}{T} + \frac{2K_{d1}}{T} e^{-p_d \delta^2} - \frac{2K_{d0}}{T} e^{-p_d \delta^2} \right) \\ h &= \left(K_{p1} - K_{p1} e^{-p_p \delta^2} + K_{p0} e^{-p_p \delta^2} + \frac{TK_{i1}}{2} - \frac{TK_{i1} e^{-p_i \delta^2}}{2} + \frac{TK_{i0} e^{-p_i \delta^2}}{2} + \frac{K_{d1}}{T} - \frac{K_{d1}}{T} e^{-p_d \delta^2} + \frac{K_{d0}}{T} e^{-p_d \delta^2} \right) \end{aligned} \quad (3.23)$$

onde é possível observar que de forma idêntica ao controlador linear, a disposição dos ganhos é a mesma, mudando somente a sua não linearidade.

3.2.2 Projeto PID com Ganhos Adaptativos por Função Gaussiana

O projeto do controlador GANLPID é embasado no controle PID linear, onde os valores dos ganhos são definidos como

$$K_{p0} = K_p$$

$$K_{i0} = K_i$$

$$K_{d0} = K_d.$$

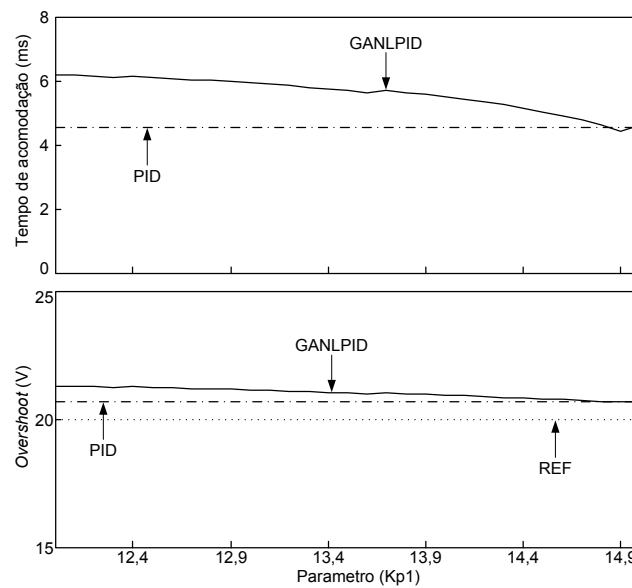


Figura 18 – Varredura ganho proporcional.

Fonte: Autoria própria.

Com esta atribuição, o controlador GANLPID tem exatamente o mesmo comportamento do PID tradicional quando o valor do erro é nulo, pois os ganhos variam em função do erro. O valor dos ganhos foram definidos através de varreduras paramétricas, sendo considerados o tempo de estabilização pelo critério dos 2% e o valor da máxima ultrapassagem. O valor dos ganhos K_{p1} , K_{i1} e K_{d1} são múltiplos dos ganhos do controlador linear. A figura 18 apresenta o trecho de melhor resposta para a variação do coeficiente que multiplica K_{p1} , fixado em 14,9. Observa-se também o curto trecho de análise, que após ultrapassar 15 ocorre um erro de convergência no simulador e, desta forma, esses resultados foram desconsiderados.

A determinação do valor ideal se dá através do menor tempo de resposta juntamente com o menor valor de máxima ultrapassagem. Procura-se o menor tempo sem extrapolar o limite de *overshoot* do controlador linear. Analisando a figura 19 é possível notar a convergência do fator multiplicativo para um único ponto, porém neste instante a máxima ultrapassagem tende a aumentar e por este motivo foi escolhido o valor 2,4, que se localiza pouco antes de aumentar o *overshoot*.

Para a determinação do fator multiplicativo de K_{d1} a varredura apresenta duas tendências, como apresenta a figura 20, entretanto na segunda concavidade a máxima ultrapassagem tende

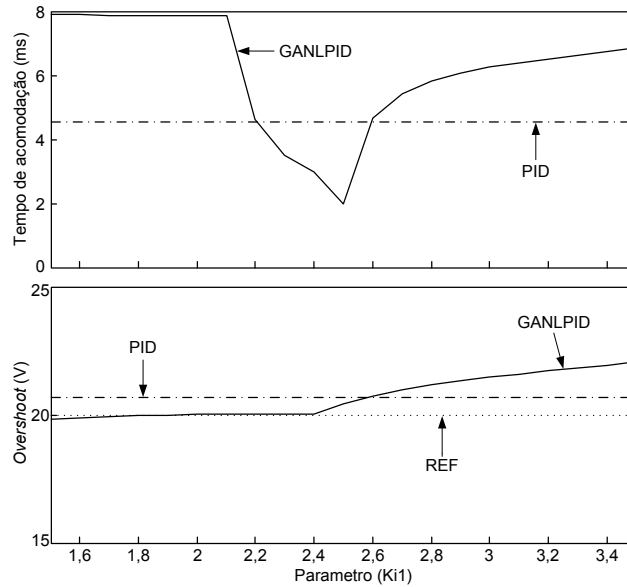


Figura 19 – Varredura ganho integral.

Fonte: Autoria própria.

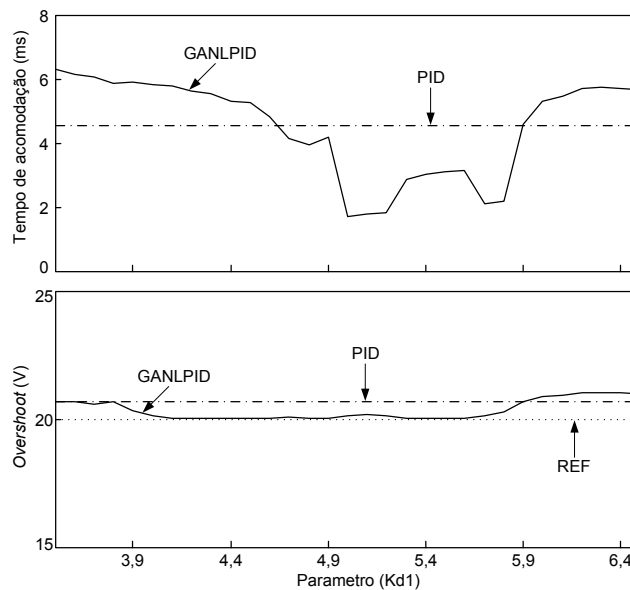


Figura 20 – Varredura ganho derivativo.

Fonte: Autoria própria.

a aumentar, fazendo com que esta seja descartada. Adotou-se, portanto, o coeficiente com o valor 5,2.

Para este trabalho, a varredura dos parâmetros foi realizada de maneira individual, possivelmente não sendo a mais adequada para o projeto ideal do controlador, porém esta técnica mais simples não demanda o uso de *hardwares* tão potentes para a verificação de todas as possíveis soluções ou, até mesmo, o uso de processamento paralelo em vários equipamentos (*cluster*).

3.3 ALOCAÇÃO DE POLOS (AP)

A técnica de alocação de polos é uma das mais úteis e populares técnicas de controle usado para resolver uma grande variedade de problemas de controle em diferentes áreas da engenharia (XU et al., 2014).

Segundo Ogata (2010) se o sistema for considerado completamente controlável, é possível alocar os polos em qualquer ponto desejado, sendo este ponto desejado dado pelas características da forma temporal e/ou resposta em frequência, como velocidade, coeficiente de amortecimento e outras especificações de regime permanente. Existem diversas configurações possíveis de realimentação, como mostrado por Chen (1999), sendo possível realimentar somente uma variável ou mais. Outra opção é a estimação, quando possível, de um estado.

A representação em espaço de estados é dada por:

$$\begin{aligned} \dot{x} &= Ax + Bu \\ y &= Cx + Du \end{aligned} \quad (3.24)$$

e a função de controle por

$$u(t) = -Kx. \quad (3.25)$$

Para o projeto por alocação de polos é necessário verificar se o sistema é controlável. Para isso, é preciso que o posto da matriz M seja pleno.

$$M = \begin{bmatrix} B & AB & \dots & A^{n-1}B \end{bmatrix} \quad (3.26)$$

Com a verificação de que a matriz é totalmente controlável em qualquer ponto, inicia-se o cálculo tendo em vista que existem três diferentes formas para isso. O primeiro método usa a equação

$$K = \begin{bmatrix} \alpha_n - a_n & \alpha_{n-1} - a_{n-1} & \dots & \alpha_2 - a_2 & \alpha_1 a_1 \end{bmatrix} T^{-1} \quad (3.27)$$

sendo os valores de a_n determinados a partir da igualdade

$$|sI - A| = s^n + a_1 s^{n-1} + a_2 s^{n-2} \dots + a_n. \quad (3.28)$$

Os valores de α são encontrados a partir dos polos desejados:

$$(s + p_1)(s + p_2)(s + p_n) = s^n + \alpha_1 s^{n-1} + \alpha_2 s^{n-2} \dots + \alpha_n \quad (3.29)$$

com os valores de a e α definidos, aplica-se na equação (3.27) e obtêm-se o valor dos ganhos para que os polos fiquem alocados nos lugares desejados.

Outro método de cálculo consiste em igualar $|sI - A + BK|$ à equação característica desejada.

O terceiro método utiliza a equação de Ackermann, onde

$$K = \begin{bmatrix} 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} B & AB & A^2B \end{bmatrix}^{-1} \phi(A).$$

Com os ganhos definidos, a função de controle é representada por $u(t) = -Kx(t)$, podendo realimentar um ou mais estados, dependendo do método de controle a ser implementado. Sabendo que o controle não faz cálculos de integrais e derivadas (obviamente sem o uso de estimadores de estados), o desenvolvimento de forma digital acaba sendo exatamente o mesmo que para a forma analógica, tornando-se um controle de baixa complexidade de implementação.

3.3.1 Projeto por Alocação de Polos

Novamente, o ponto de partida é controle PID, pois como citado anteriormente é o mais utilizado. Para o projeto por alocação de polos, definimos que estes devem estar no mesmo ponto do controlador PID linear, sendo localizados em $-1410 \pm 2515i$. Colocando a função de transferência do controlador na forma do espaço de estados encontramos as seguintes matrizes:

$$A = \begin{bmatrix} 0 & \frac{-1}{L} \\ \frac{1}{C} & \frac{-1}{RC} \end{bmatrix}$$

$$B = \begin{bmatrix} \frac{1}{L} \\ 0 \end{bmatrix}.$$

substituindo os valores dos componentes presentes do conversor, obtêm-se

$$A = \begin{bmatrix} 0 & -405 \\ 10000 & -1000 \end{bmatrix}$$

$$B = \begin{bmatrix} 404,86 \\ 0 \end{bmatrix}.$$

Estas matrizes representam o comportamento do conversor em espaços de estados. Seguindo um dos três métodos de cálculo descritos em 3.3, obtêm-se a matriz $K = \begin{bmatrix} 4,5448 & 0,6125 \end{bmatrix}$, que aparece na aplicação da técnica de controle na forma $u = -Kx$.

3.3.2 Projeto por Alocação de Polos com Termo Integral (APTl)

O uso de ganhos altos, em alguns casos, inviabiliza a implementação prática do controlador, pois esta técnica atua diretamente sobre os estados da planta (neste caso tensão e corrente). Por possuir um comportamento semelhante ao controlador PD, a presença do termo derivativo nestas técnicas tende a deixar o compensador muito suscetível à influência de ruídos presentes no circuito prático. Além disso, a não existência do termo integral implica na existência de um erro de regime permanente.

Uma possível solução para a diminuição do erro em regime permanente é justamente a inserção de um termo integral, mantendo-se os mesmos ganhos determinados anteriormente. Este termo é colocado na malha de tensão (variável controlada). Técnicas semelhantes são desenvolvidas por Hu et al. (2014), Karanjkar, Chatterji e Kumar (2014), onde o termo integral atua de forma a eliminar o erro em regime permanente. A figura 21 mostra o diagrama de blocos do controlador APTI, onde é possível notar que o termo integral atua somente no estado

da tensão e também que a corrente é aproximada através de uma estimação. A matriz de ganhos K é a mesma do controle por alocação de polos.

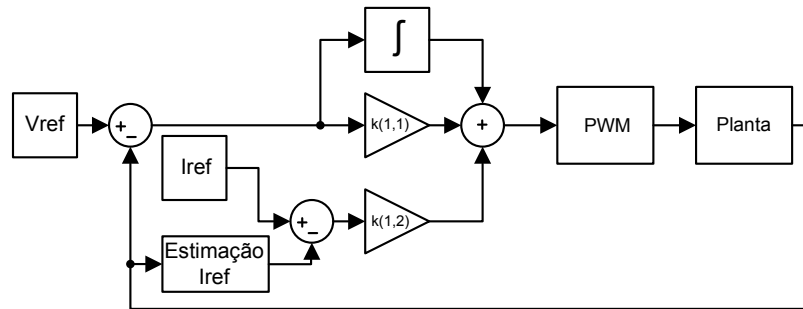


Figura 21 – Estrutura do controlador APTI.

Fonte: Autoria própria.

Neste capítulo foi apresentada a fundamentação de cálculo e projeto dos controladores PID, GANLPID, AP e APTI. No próximo capítulo é apresentado o *hardware* de processamento digital escolhido (FPGA), mostrando suas principais características e vantagens quando comparado com microcontroladores e DSPs. Também será abordado o método de desenvolvimento das estruturas de controle embarcado que utilizam os projetos elaborados neste capítulo.

4 DISPOSITIVOS DE LÓGICA RECONFIGURÁVEL E FERRAMENTAS DE DESENVOLVIMENTO

4.1 DISPOSITIVOS DE LÓGICA RECONFIGURÁVEL

Em 1985 a empresa Xilinx Inc, apresentou um novo chip para desenvolvimento, que possuía a capacidade de reprogramação. Sua composição básica era de elementos lógicos multifuncionais, módulos de entrada, saída e trilhas para a conexão entre os elementos lógicos. Era possível programar essas conexões e, com isso, modificar a estrutura lógica resultante. Em aplicações que necessitem do uso de dispositivos reconfiguráveis existe a opção do uso do FPGA. Como o nome sugere, os FPGA são compostos por uma matriz de elementos lógicos que são interligados conforme a necessidade do programador. O custo individual de um único chip é relativamente elevado, mas como são chips genéricos cuja função final será dada por programação, facilitam o desenvolvimento de novos módulos e circuitos integrados digitais, diminuindo o custo de projeto.

Para processamento digital, existem muitos desenvolvimentos em diferentes ferramentas, como o caso dos microcontroladores, dos DSP's (Digital Signal Processor) e dos FPGA. Grandes diferenças são notadas entre essas ferramentas, tais como as apresentadas no quadro 1.

FPGA	Microcontrolador e DSP
Arquitetura aberta e configurável	Arquitetura fixa
Tarefas em paralelo	Tarefas sequenciais
Programação complexa	Desenvolvimento rápido para tarefas específicas (FFT, ponto flutuante)
Pouco material para estudos específicos	Ampla material de estudos
Desenvolvimento em VHDL, Verilog, HDL, schematic, DSP Builder	Desenvolvimento em Assembly, C++ Matlab/Simulink

Quadro 1 – Comparativo das características da FPGA e DSP.

Fonte: Fonte: Autoria própria.

A escolha da ferramenta para desenvolvimento é definida com a análise de diversos aspectos, como a complexidade, tempo de projeto, objetivo de criar um novo produto (chip personalizado), entre outras opções definidas como requisitos de projeto.

Neste projeto, escolheu-se o FPGA por ser uma ferramenta nova e possuir a vantagem de uma arquitetura aberta. Pode-se, portanto, criar as estruturas da melhor maneira a atender os propósitos do projeto, particularmente explorando as possibilidades de criação de estruturas de processamento em paralelo, que pode agilizar os cálculos das técnicas de controle desenvolvidas. Algumas funções complexas podem ser implementadas com o uso de memórias (*lookup*

table - LUT), que armazenam valores a fim de evitar a realização de cálculos (CHAN; MOALLEM; WANG, 2007).

Para a realização do projeto foi utilizado o kit de desenvolvimento DE0-nano da empresa Terasic, dotado de um FPGA da marca Altera®, modelo Cyclone IV EP4CE22F17C6N, que possui 22230 elementos lógicos. O kit também apresenta um conversor A/D de 12 bits de resolução com 8 canais multiplexados, com configuração de velocidade de 50 a 200 mil amostragens por segundo. O cristal responsável pelo *clock* possui uma frequência de 50 MHz, sendo possível manipular diferentes frequências de *clock* internamente com as quatro PLLs existentes no FPGA.

4.2 AMBIENTE DE DESENVOLVIMENTO MATLAB/SIMULINK/DSP BUILDER

O ambiente de desenvolvimento utilizado neste trabalho é o DSP Builder, disponibilizado pela empresa Altera®. Esta ferramenta funciona em conjunto com Matlab/Simulink possibilitando uma programação de forma gráfica, executando simulações e interligações com as demais bibliotecas presentes no Matlab/Simulink. A figura 22 apresenta a biblioteca com os principais blocos do DSP Builder.

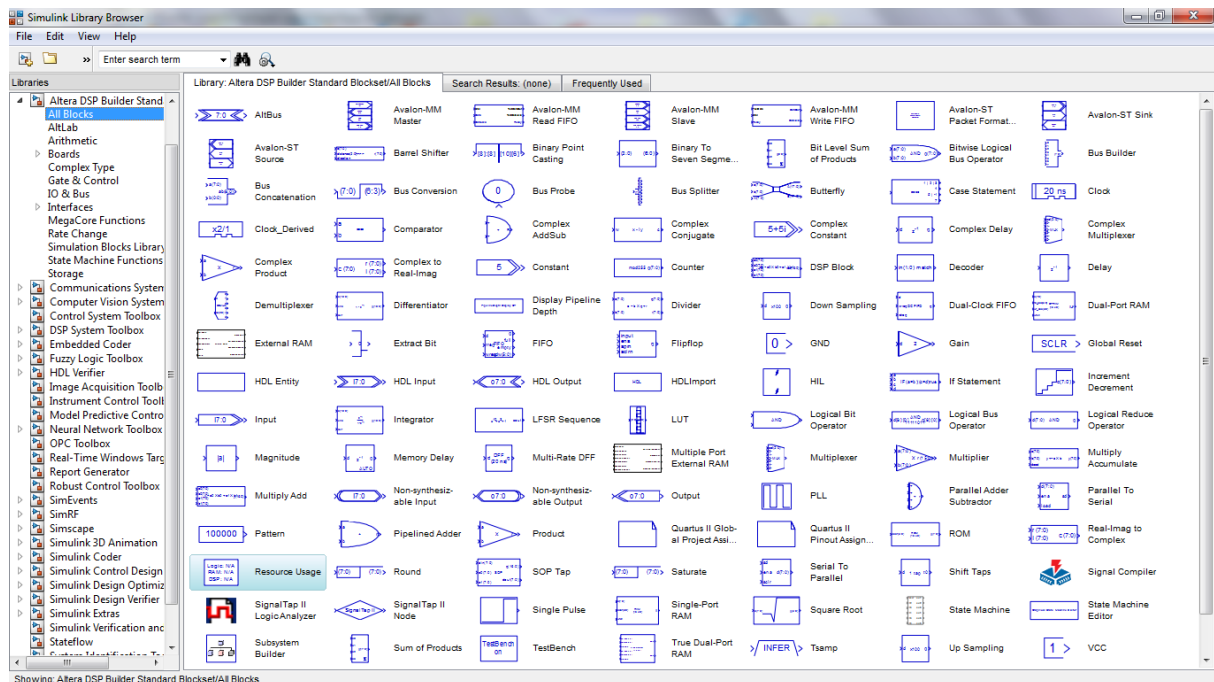


Figura 22 – Biblioteca DSP Builder.

Fonte: Autoria própria.

Além do ambiente de trabalho, também é necessária a instalação do software Quartus II que é a principal ferramenta usada em projetos VHDL e em blocos para o *hardware* FPGA da empresa Altera®. Este *software*, diferentemente do DSP Builder que é pago, possui a versão *WEB edition* que permite o uso sem licença, porém com algumas limitações.

Para a interligação do ambiente DSP Builder, com os demais blocos presentes nas bibliotecas tradicionais do Matlab/Simulink é necessário isolar o dispositivo FPGA. Para isso existem blocos de entradas e saídas que separam o algoritmo da FPGA do restante dos blocos usados na simulação. Existem também blocos para a inserção direta de programação VHDL, que são previamente compilados, gerando um bloco físico referente às funções determinadas no algoritmo.

Com o progresso do projeto é necessário incluir o bloco de compilação, responsável pela geração do HDL, e pela etapa de envio para o dispositivo FPGA. Este bloco interliga o DSP Builder ao Quartus II que faz a compilação, análise e síntese do algoritmo gerado. A figura 23 mostra o bloco de compilação dos modelos montados em simulação. Após este processo é possível descarregar diretamente para o dispositivo FPGA.



Figura 23 – Bloco de compilação DSP Builder.

Fonte: Autoria própria.

4.2.1 Estrutura do Controlador PID

O controle PID foi desenvolvido de duas formas diferentes, sendo a tradicional (onde ficam explícitos os ganhos K_p , K_i e K_d) e a realizada por equação das diferenças, onde os ganhos estão agrupados em uma única parcela, diminuindo o uso dos elementos lógicos do FPGA. Em ambas as formas foi usada a integral por aproximação na forma de trapézio, onde o valor da integral se torna mais confiável e próximo do real se comparado com as outras aproximações apresentadas. O método do trapézio usando o DSP Builder é mostrado na figura 24. Note-se que o trapézio é composto por um *delay*, uma adição e um ganho $\frac{T}{2}$, após a ação integral (acumulação dos sucessivos valores em função do tempo de amostragem) e por fim o ganho integral do compensador. Na ação de acumulação está presente um bloco de ajuste do número de bits, pois a cada operação entre vetores binários o tamanho do vetor de saída se altera, neste caso ocorre a adição de um bit mais significativo a cada acumulação.

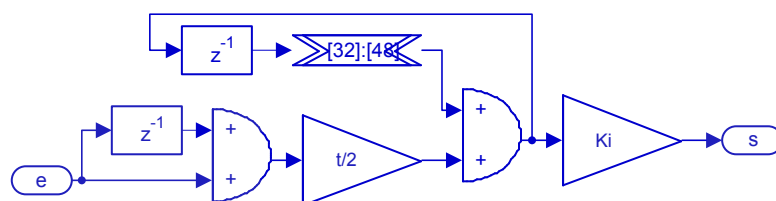


Figura 24 – Integral trapezoidal desenvolvida no Dsp Builder.

Fonte: Autoria própria.

A ação derivativa é desenvolvida pela aproximação de Euler, onde se usa somente a representação da equação da reta entre a amostra atual e a anterior. A figura 25 representa a aproximação da derivada, onde se pode notar que, assim como no termo integral, o ganho recebe a adição do período de amostragem, neste caso compactado em uma única variável juntamente com o ganho derivativo.

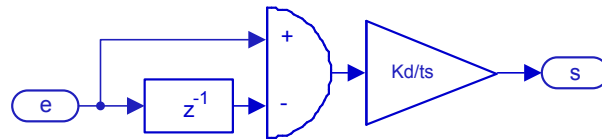


Figura 25 – Derivada desenvolvida no Dsp Builder.

Fonte: Autoria própria.

A limitação de velocidade do FPGA, em teoria, fica somente restrita ao tempo de propagação dos sinais elétricos pelas portas digitais. Estes atrasos podem em alguns sistemas críticos influenciarem o funcionamento da lógica, como é o caso da aproximação da derivada, em que o pequeno tempo de atraso gera erros consideráveis na saída, se o bit afetado for de um valor significativo. A figura 26 apresenta a operação da subtração presente na derivada para um bit, sendo o primeiro sinal o valor da amostra atual, o segundo a amostra anterior e o terceiro o valor resultante da subtração.

Ainda sobre a figura a 26, nota-se o erro presente na saída que multiplicado pelo ganho derivativo e dividido pelo período de amostragem torna-se um valor bem considerável, já que este ganho normalmente é alto (o ganho derivativo é de baixo valor, mas ele é dividido pelo tempo de amostragem que por estar entre zero e um deixa o ganho final em uma escala maior). O sincronismo dos pulsos de entrada é habilitado dentro do bloco de soma, mas na visão digital é um flip flop para cada bit a ser sincronizado que é disparado por um clock em comum, este processo se mostra eficaz, tendo como consequência a perda de um *clock* para a sincronia.

Similar ao controle analógico, após a estimação da contribuição de cada parcela elas são somadas e enviadas para a geração do PWM. O controlador PID é apresentado na figura 27, que após a soma das contribuições dos ganhos é realizado um ajuste do vetor binário para sinal, um bit de valor inteiro e doze bits fracionários, isso para que a geração do sinal PWM seja também em doze bits, aceitando valores de modulação de zero a um.

Para projetos práticos os sinais amostrados são perturbados por ruídos e limitações físicas e, para isso, faz-se o uso de filtros que retirem parte desses sinais indesejados deixando somente a informação necessária para o bom funcionamento do controle. Os ruídos tem maior influência no termo derivativo, onde apenas um valor de amostra incorreto faz com que a parcela atinja valores exorbitantes. Obviamente as demais parcelas serão afetadas, mas não com a mesma intensidade. Seguindo este raciocínio, de forma digital é possível aplicar a filtragem em qualquer parcela do controle e com filtros de diferentes ordens. O filtro usado de forma digital é a discretização direta do mostrado na figura 28.

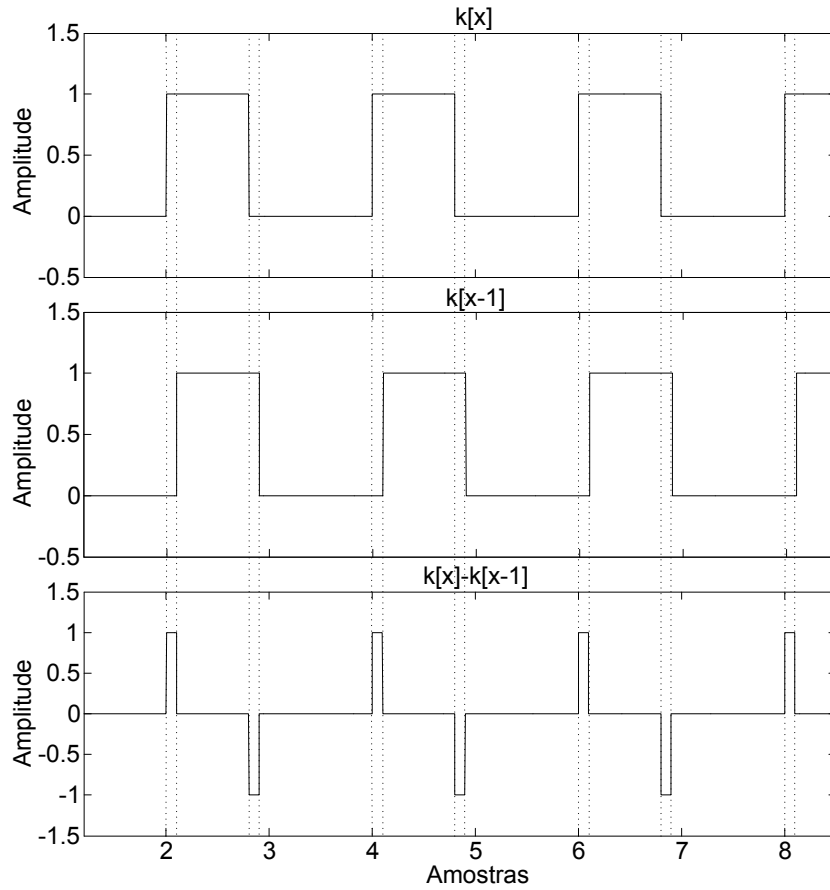


Figura 26 – Problema com sincronismo em sinais digitais.

Fonte: Autoria própria.

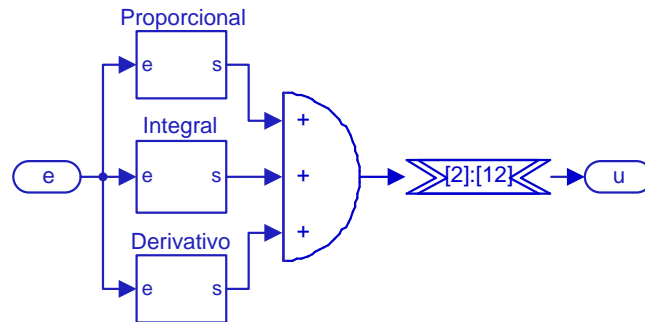


Figura 27 – PID desenvolvida no Dsp Builder.

Fonte: Autoria própria.

A função de transferência do filtro é apresentada na equação abaixo:

$$\frac{Y(s)}{R(s)} = \frac{1}{\frac{s}{\omega_c} + 1} \quad (4.1)$$

sendo ω_c a frequência de corte do filtro em rad/s. Trabalhando a equação obtemos

$$r(t) - y(t) = \frac{1}{\omega_c} \frac{dy(t)}{dt} \quad (4.2)$$

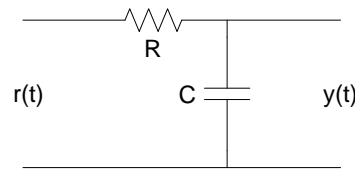


Figura 28 – Filtro passa baixas.
Fonte: Autoria própria.

$$r(n) - y(n) = \frac{y(n) - y(n-1)}{t\omega_c} \quad (4.3)$$

Por fim, encontra-se a equação do filtro discretizado

$$y(n) = y(n-1) \frac{1}{1 + t\omega_c} + r(n) \frac{1}{1 + \frac{1}{t\omega_c}} \quad (4.4)$$

Com a equação (4.4) é possível calcular os parâmetros $a = \frac{1}{1 + \frac{1}{T\omega_c}}$ e $b = \frac{1}{1 + T\omega_c}$ e implementar o filtro de maneira digital como na figura 29. O filtro equacionado é de primeira ordem com fácil manipulação da frequência de corte.

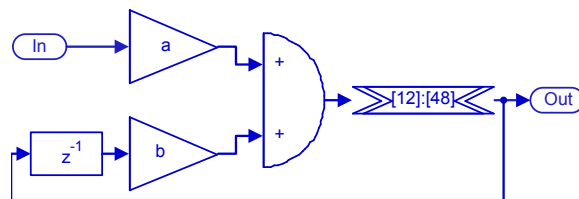


Figura 29 – Filtro passa baixas de primeira ordem desenvolvida no Dsp Builder.
Fonte: Autoria própria.

Por fim, com o sinal de controle foi gerado o sinal PWM, que atuará diretamente na chave do conversor. A implementação é feita comparando uma onda dente de serra (representado por um contador com módulo unitário e 12 bits de resolução) e o valor de controle. A figura 30 apresenta o gerador PWM, sendo o bloco “DFF” usado para mudar a frequência e trabalhar em dois domínios de frequências diferentes, tornando possível a criação do sinal em 50 kHz.

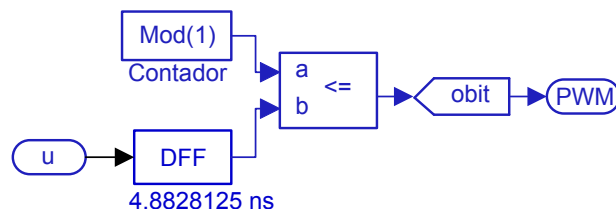


Figura 30 – PWM desenvolvida no Dsp Builder.
Fonte: Autoria própria.

O sinal do PWM sai do modelo no DSP Builder através do bloco “obit” sendo direcionado diretamente para o acionamento da chave. O modelo do conversor Buck foi elaborado com a biblioteca *Simulink/SimPowerSystems*, como mostra a figura31.

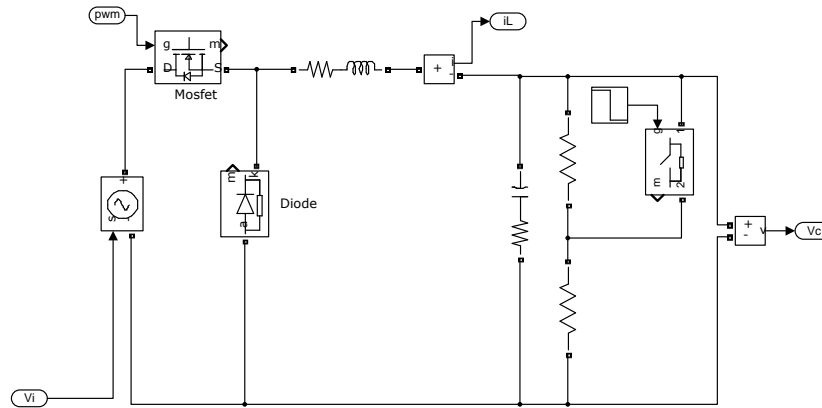


Figura 31 – Modelo do conversor Buck utilizando o software Matlab.

Fonte: Autoria própria.

O conversor A/D, que possui 8 canais, 12 bits de resolução e uma velocidade máxima de 200 ksp/s, transmite o valor lido de forma serial para o FPGA. As entradas são multiplexadas, o que acabou dividindo a velocidade de aquisição pelo número de canais A/D usados. A figura 32 mostra os sinais do conversor A/D, sendo CS o pulso de habilitação, SCLK o *clock* que sincroniza e dita a frequência de aquisição do conversor, DIN é responsável pela configuração do multiplexador que faz a seleção do canal e DOUT a porta responsável pela comunicação dos valores convertidos.

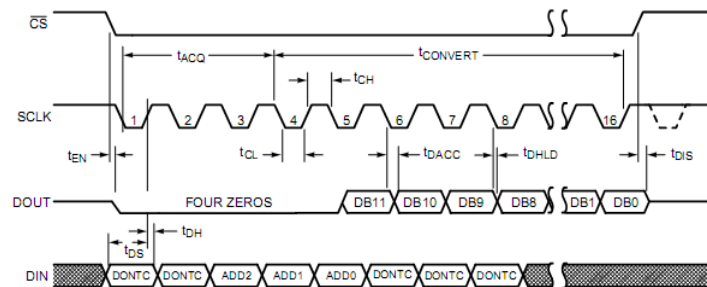


Figura 32 – Sinais conversor AD.

Fonte: (INSTRUMENTS, 2013).

Com as informações extraídas do manual do conversor A/D, montou-se o esquemático apresentado na figura 33. O pino CS é deixado para habilitação, enquanto que o sinal SCLK é alimentado com uma frequência de 3,2 MHz, onde para obter este valor fez-se o uso de um contador. Observando a figura 32 nota-se que o valor lido pelo pino DOUT vem com 4 bits em zero para depois vir o valor lido. Então é preciso converter o sinal serial para um vetor binário ignorando os primeiros dígitos que são para o funcionamento do componente usado. Para transformar de serial para paralelo usa-se o bloco "sd", que é seguido de um ajuste do barramento, onde ignora-se os bits menos significativos. A forma de garantir que o vetor seja transmitido somente ao fim da comunicação com o conversor é o uso de um contador de pulsos do sinal SCLK, que, ao fim da contagem de 16 valores, habilita um flip-flop terminando o processo de leitura do conversor.

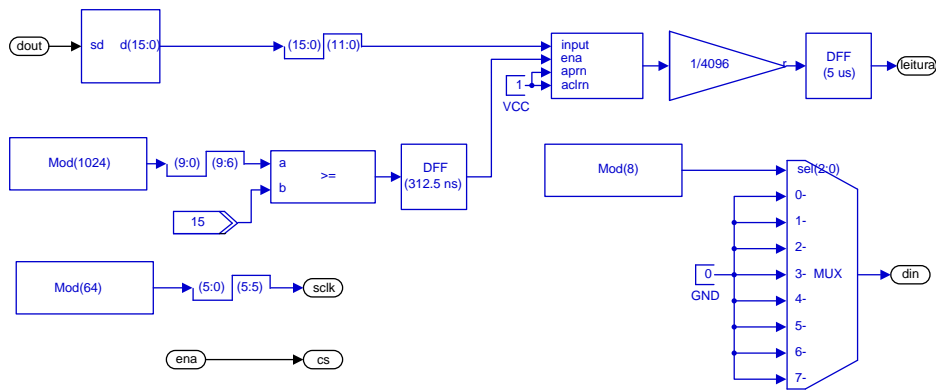


Figura 33 – Conversor analógico digital.

Fonte: Autoria própria.

Um multiplexador é usado para configurar a porta DIN. Como neste caso usa-se somente um conversor A/D, segundo a indicação do fabricante é preciso enviar zero para todos os bits de configuração. Com o valor lido em 12 bits de resolução, tem-se 4096 valores de quantização para a faixa de tensão de entrada que pode variar de 0 a 3,3 V. Esse valor é normalizado para valores de zero a um através de uma simples divisão. Ao fim, existe um segurador de ordem zero (ZOH - *zero order hold*), que assegura que a frequência de saída seja fixada em 200 kHz (tempo de amostragem).

Com a tensão de saída definida em 20 V, estipulou-se a margem de leitura do A/D de 0 a 22 V. Esta margem de 2 V (ou 10%), tem como função a atuação do controle de forma negativa (principalmente no ramo integral), deixando a resposta do compensador mais rápida para um degrau de carga onde o controle precise atuar de forma negativa (por exemplo, na variação da carga de 10 para 20 Ω , a tensão de saída da planta tende a subir). Analisando a figura 34, alterou-se a escala de tensão de forma linear através do ganho $3,3/22$, onde a realimentação é transferida para a escala de 0 a 3,3 V, que representa a escala de 0 a 22 V da tensão de saída do conversor. Os valores agora estão sendo representados em função da tensão máxima de leitura do conversor A/D. Então é realizada a mudança para valores de 0 a 1 V, pois padronizou-se que a geração do sinal PWM aceitaria valores da unidade de controle variando nesta mesma escala. Pode-se simplificar a estrutura agrupando os dois ganhos, resultando somente em $1/22$. Com a normalização da variável de realimentação é preciso compensar este ganho do sistema de controle. Neste caso, optou-se por mudar as constantes de ganho e a referência de tensão.

Após o processo de compilação do projeto através do *signal compiler* é possível verificar o recursos usados do dispositivo FPGA. A figura 35 apresenta o relatório completo dos elementos lógicos usados. Na figura, nota-se o uso de uma PLL (*phase locked loop*) que neste caso tem a função de elevar o *clock* principal para a geração do PWM na frequência desejada (50 kHz).

Outro método de implementação do PID é pela equação a diferenças, onde os ganhos são condensados em apenas três b_0 , b_1 e b_2 . Esta técnica se mostra mais compacta e com um simples saturador o filtro *anti-windup* é implementado. A figura 36 mostra a implementação desse controle.

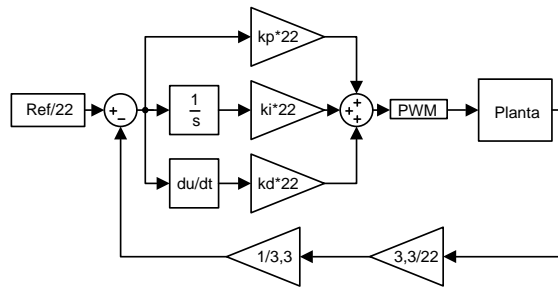


Figura 34 – Normalização PID.

Fonte: Autoria própria.

Resources		Timing
comparacao_pid		
ADC		
Gerador PWM		
Multiplexer		
PID		
PLL		
Logic Cells		6788
Dedicated Logic Registers		288
I/O Registers		0
Memory Bits		0
M9Ks		0
DSP Elements		132
DSP 9x9		0
DSP 18x18		66
Pins		8
Virtual Pins		0
LUT-Only LCs		6500
Register-Only LCs		54
LUT/Register LCs		234

Figura 35 – Estimativa do uso físico do FPGA para o controle PID.

Fonte: Autoria própria.

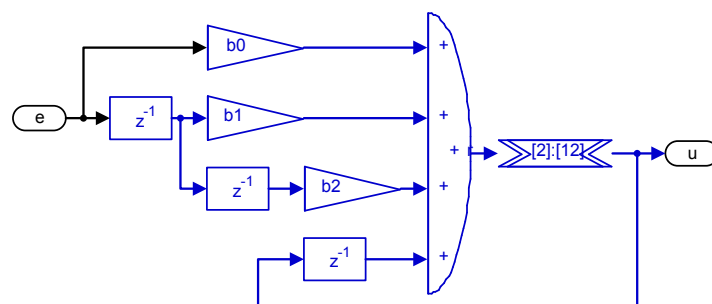


Figura 36 – PID equação das diferenças.

Fonte: Autoria própria.

Em comparação com o controle desenvolvido anteriormente, este mostra ser bem mais enxuto. Basicamente ele descreve a equação no plano Z através de três blocos de *delay*. Porém, a possível desvantagem é a difícil visualização de cada ramo do controlador PID, não deixando explícita a contribuição de cada parcela do controlador (algumas simulações e busca de melhorias e problemas dependem da análise individual das parcelas do controlador).

4.2.2 PID com Ganhos Adaptativos por Função Gaussiana

O controle PID não linear é baseado na função exponencial, como descrito anteriormente. Optou-se por usar uma memória (LUT - *lookup table*), onde ela tem armazenados os valores da exponencial em função do erro, usados no cálculo da função gaussiana dos ganhos como função de δ . Inicialmente é preciso adequar o erro para a consulta da memória, pois no PID linear os valores foram normalizados. A tabela é composta por uma linha e 512 posições, que recebem os valores pela função

$$e^{-pp\left(-1:\frac{1}{511}:1\right)^2}, \quad (4.5)$$

sendo os valores de erro variando de -1 a 1 com um passo de $\frac{1}{511}$. A figura 37 apresenta a estrutura de cálculo do ganho K_p não linear, sendo que o ganho K_i segue a mesma estrutura e se diferenciam somente pelos seus respectivos parâmetros.

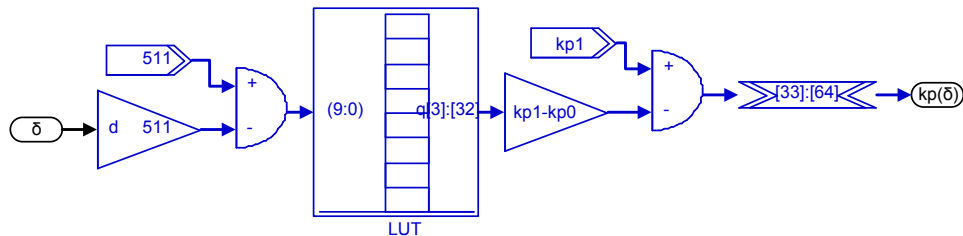


Figura 37 – Estrutura do ganho proporcional não linear.

Fonte: Autoria própria.

A geração do ganho não linear para a contribuição derivativa é similar à integral e proporcional, diferenciando somente pela inserção do período de amostragem. Este se faz necessário pois a aproximação da derivada usada se dá a partir da equação da reta (mesma técnica usada no PID linear). A vantagem do uso da memória é o uso de apenas um ciclo de *clock*, sendo que no método de cálculo tradicional iria ser necessário um tempo considerável de vários ciclos de *clock* para o processamento desta tarefa.

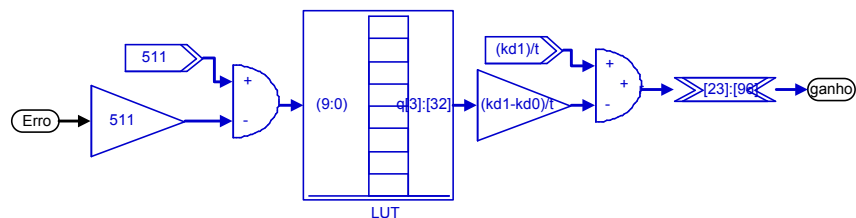


Figura 38 – Estrutura do ganho derivativo não linear.

Fonte: Autoria própria.

A ação proporcional consiste na razão do ganho não linear em relação ao erro, porém este recebe um atraso de um período de amostragem, para que os sinais de ganho e erro estejam sincronizados. A figura 39 mostra a ação proporcional.

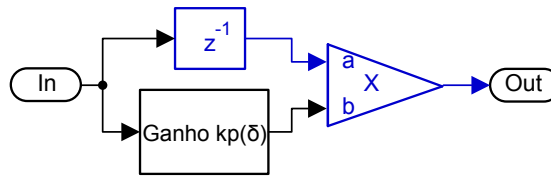


Figura 39 – Ação proporcional GANLPID.

Fonte: Autoria própria.

Assim como no controle PID linear, a aproximação integral é trapezoidal. É possível notar que o trapézio é estimado no início, passando pela etapa de acumulação e por fim a inserção do ganho $K_i(\delta)$. O ganho é aplicado ao fim, pois evita que o mesmo não fique intrínseco aos cálculos na etapa de soma dos pequenos trapézios. A figura 40 mostra a visão macro da parcela integral não linear.

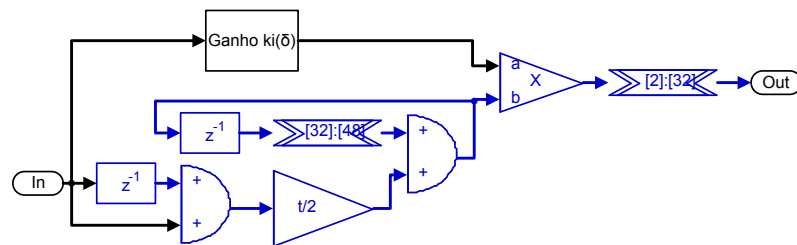


Figura 40 – Ação integral GANLPID.

Fonte: Autoria própria.

A contribuição derivativa é apresentada na figura 41, sendo feito o uso do filtro digital para retirar ruídos de alta frequência, o que auxilia o seu funcionamento. Como comentado anteriormente, a vantagem do filtro digital é poder ser manipulado em qualquer ramo interno do controlador e, neste caso, no ramo mais vulnerável a interferências. Obviamente existe um filtro prévio no erro, mas a inserção de filtros em cascata aumenta a ordem de filtragem.

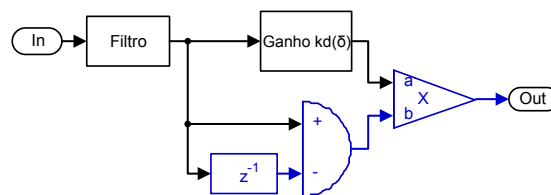


Figura 41 – Ação derivativa GANLPID.

Fonte: Autoria própria.

Assim como o PID linear, após a determinação da contribuição das parcelas proporcional, integral e derivativo, elas são somadas resultando no sinal de controle, usado na geração do PWM que é aplicado à planta.

Como esperado, o GANLPID acaba causando um maior uso dos elementos lógicos do FPGA, pois possui um grau de complexidade um pouco maior e também necessita do acúmulo de três tabelas referentes às exponências dos ganhos não lineares. Possivelmente estas tabelas podem ser reduzidas, já que estão trabalhando com 1024 pontos cada uma e esse valor é

referente somente à transição não linear dos ganhos. Para atender a necessidade e eficácia para comparativo, foi mantido este número de pontos. Mesmo sem esta otimização, o algoritmo todo usou 41% da capacidade do dispositivo, como mostra a figura 42.

Flow Status	Successful - Mon Oct 06 13:27:17 2014
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	PIDNL_pratico
Top-level Entity Name	PIDNL_pratico
Family	Cyclone IV E
Device	EP4CE22F17C6
Timing Models	Final
Total logic elements	9,074 / 22,320 (41 %)
Total combinational functions	9,036 / 22,320 (40 %)
Dedicated logic registers	255 / 22,320 (1 %)
Total registers	255
Total pins	8 / 154 (5 %)
Total virtual pins	0
Total memory bits	107,520 / 608,256 (18 %)
Embedded Multiplier 9-bit elements	132 / 132 (100 %)
Total PLLs	1 / 4 (25 %)

Figura 42 – Estimativa do uso físico do FPGA para o controle GANLPID.

Fonte: Autoria própria.

Em trabalhos mais específicos podem ser necessárias otimizações e melhorias, além de propostas de uso da tangente hiperbólica, equações da reta e outros possíveis tipos de transições dos ganhos de forma suave.

4.2.3 Alocação de Polos

Assim como nos controles apresentados anteriormente, o por alocação de polos também possui valores normalizados. Os polos escolhidos estão localizados na mesma posição do controle PID linear que também coincidem com a localização dos polos do PID não linear em regime permanente. Este método de controle consiste na atuação direta em cada estado da planta, neste caso a tensão do capacitor e corrente do indutor. Um técnica que pode ser usada é a estimação da corrente no indutor a partir da corrente do capacitor. Este método se mostra eficaz quando se deseja fazer o controle usando apenas um sensor físico na planta, ou seja, apenas um estado é medido diretamente, neste caso a tensão de saída. Como a aproximação da derivada tem função somente onde exista variação, o controle de corrente é desativado quando a tensão alcança a referência.

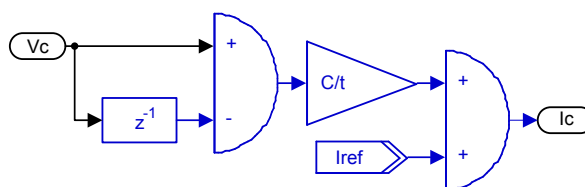


Figura 43 – Aproximação da corrente no indutor.

Fonte: Autoria própria.

A figura 43 apresenta a estimação da corrente no indutor, sendo calculada a corrente no capacitor e adicionado o valor da corrente da carga. Como o controlador tende a atuar nos dois estados, este método de aproximação acaba não sendo exato, principalmente para mudanças de carga.

Como a estimação de corrente possui uma derivada, fez-se o uso de um filtro para retirar os ruídos indesejados. Tendo os dois estados de controle, é gerado o erro de forma individual e posteriormente a aplicação de seus respectivos ganhos, como mostrado na figura 44. Nota-se a fácil implementação do controlador, sendo necessário somente o uso de dois ganhos e três somas, isso obviamente sem considerar a estimação da corrente.

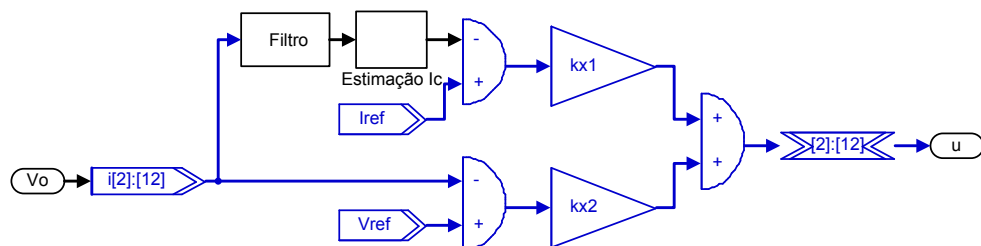


Figura 44 – Estrutura de controle por alocação de polos.

Fonte: Autoria própria.

Com o processo terminado, então é realizada a compilação para enviar ao dispositivo físico. Para a alocação de polos a sua simplicidade de desenvolvimento torna baixo o uso dos elementos lógicos do FPGA, como ilustra 45, onde é possível notar que, em relação ao PID linear, não consome nem a metade do número de elementos lógicos do *hardware*, porém, possui características de um controlador PD.

Resources	
Timing	
LQR_pratico	
+	ADC
+	Gerador PWM1
+	LQR
•	Multiplexer
•	PLL
Logic Cells	2231
Dedicated Logic Registers	221
I/O Registers	0
Memory Bits	0
M9Ks	0
DSP Elements	117
DSP 9x9	1
DSP 18x18	58
Pins	8
Virtual Pins	0
LUT-Only LCs	2010
Register-Only LCs	62
LUT/Register LCs	159

Figura 45 – Estimativa do uso físico do FPGA para o controle por alocação de polos

Fonte: Autoria própria.

4.2.4 Alocação de Polos com Termo Integral (APTI)

Para adição do termo integral, utiliza-se a mesma estrutura básica como mostra a figura 46. Os ganhos utilizados são os mesmo do PAP e o termo integral acumula somente o erro em tensão, pois se estivesse na corrente, a planta não aceitaria variações de carga.

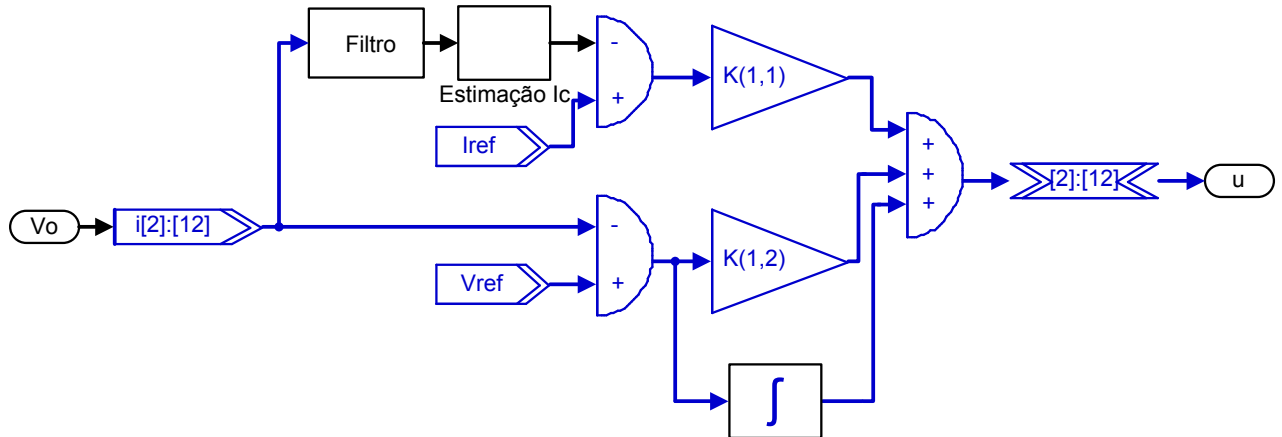


Figura 46 – Estrutura do controlador PAPTI.

Fonte: Autoria própria.

Com o projeto prático montado, incluindo conversão A/D e geração do sinal PWM, obtém-se o algoritmo completo que utiliza os elementos lógicos mostrados na figura 47.

Resources	
Timing	
LQR_pratico	
+	ADC
+	Gerador PWM
+	LQR
•	Multiplexer
•	PLL
Logic Cells	2325
Dedicated Logic Registers	480
I/O Registers	0
Memory Bits	0
M9Ks	0
DSP Elements	107
DSP 9x9	1
DSP 18x18	53
Pins	8
Virtual Pins	0
LUT-Only LCs	1845
Register-Only LCs	63
LUT/Register LCs	417

Figura 47 – Estimativa do uso físico do FPGA para o controle PAPTI.

Fonte: Autoria própria.

Neste capítulo foram abordadas as estruturas dos controladores em forma de blocos, juntamente com a estimativa do uso físico do dispositivo FPGA. O uso físico permite uma comparação do esforço computacional necessário para cada técnica desenvolvida. A grande vantagem

do uso da ferramenta DSP Builder é possibilidade de simulação das estruturas e principalmente que estas podem ser compiladas e enviadas diretamente para um dispositivo FPGA. No próximo capítulo, serão realizadas simulações com estas estruturas de modo a verificar o comportamento e as características de desempenho dos controladores.

5 RESULTADOS DE SIMULAÇÃO

As simulações foram realizadas usando o software *Matlab/Simulink*, com o auxílio da ferramenta *DSP Builder* da Altera®, que torna possível a simulação das estruturas lógicas desenvolvidas juntamente com as bibliotecas tradicionais disponíveis. Com o uso destes *softwares* é possível gerar a programação HDL (*Hardware Description Language*) necessária para a implementação prática, a partir de uma simples compilação usando o bloco *Signal Compiler*. São gerados os arquivos VHDL que também podem ser manipulados no *Quartus*, outro *software* da Altera® em que são geradas estruturas de programação, porém, em um nível mais baixo e sem o recurso da simulação de componentes analógicos (como os encontrados na biblioteca *Simulink/SimPowerSystems*). Em todos os casos não houve a limitação do pico da corrente, com o intuito de comparação do desempenho a maior variação de erro (transitório de partida).

5.1 CONTROLADOR PID

A resposta de tensão da malha de controle usando um controlador PID é mostrada na figura 48, onde utiliza-se uma carga nominal de $10\ \Omega$. É possível observar que o tempo para adentrar e permanecer na margem dos 5% de sobressinal é de 1,828 ms.

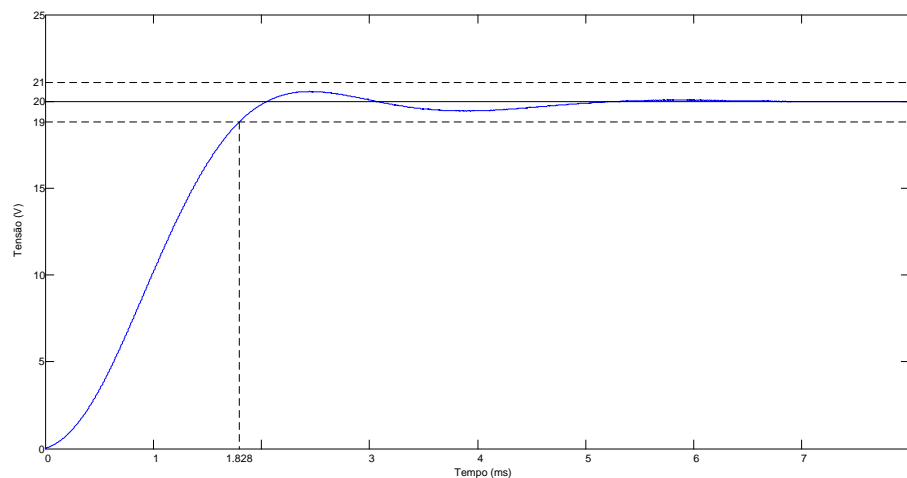


Figura 48 – Resposta de tensão ao transitório usando o controlador PID.

Fonte: Autoria própria.

A resposta da corrente para o transitório inicial do conversor é apresentado na figura 49, sendo que o pico máximo da corrente é de 2,72 A.

O controle PID no período de carga do conversor Buck, tende a atuar para eliminar as oscilações causadas pelos polos complexos presentes na planta, diferentemente da atuação em malha aberta, onde a razão cíclica estaria em 0,4 e causaria um sobressinal oscilatório de grande amplitude na tensão. Em malha fechada a razão cíclica dá um pequeno salto (pois o erro é máximo no instante zero) e então diminui para aproximadamente 0,13 onde inicia um processo de sucessivas acumulações integrativas combinado com a parcela derivativa que se aproxima

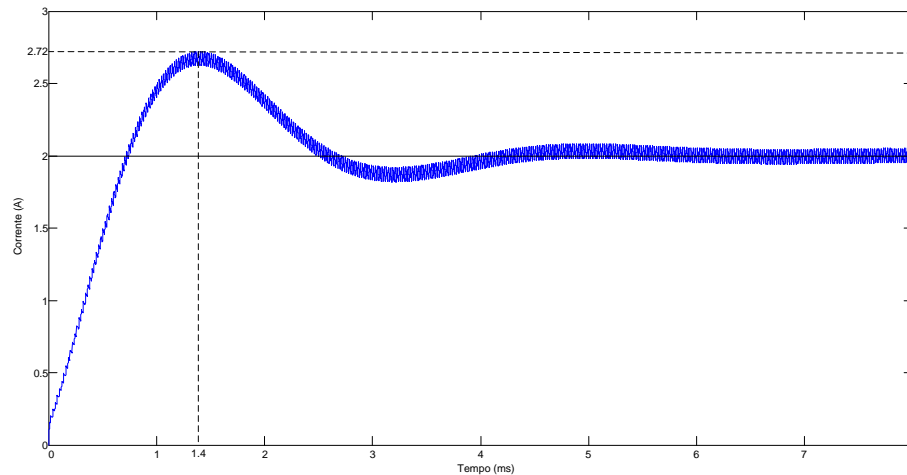


Figura 49 – Resposta de corrente ao transitório usando o controlador PID.

Fonte: Autoria própria.

do regime permanente de forma mais suave e sem oscilações. Outro fator de diferenciação é a correção da razão cíclica para que não exista erro em regime permanente. Todas as simulações consideram a planta não idealizada.

O esforço de controle é mostrado na figura 50, onde nota-se uma saturação inicial.

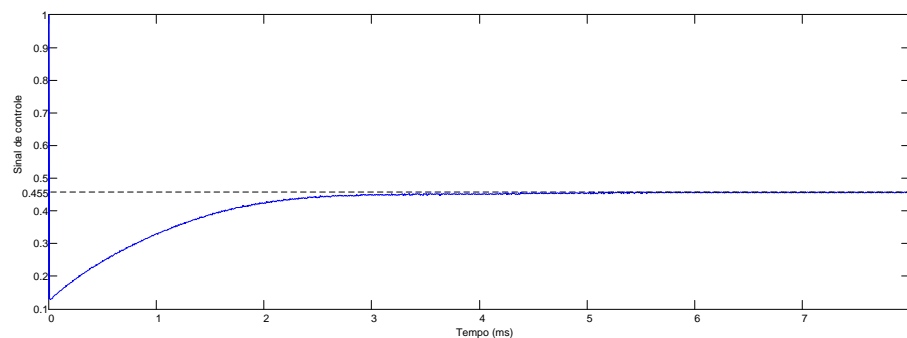


Figura 50 – Sinal de controle referente ao transitório usando o controlador PID.

Fonte: Autoria própria.

Ampliando a região inicial do transitório de partida da unidade de controle percebe-se, como mostra a figura 51, um pico de saturação em um pequeno instante de tempo, posteriormente com uma redução na razão cíclica e por fim com a suavização da subida de controle.

Para um degrau de carga de 100 %, variando do valor nominal de 10 para 20 Ω , a tensão se comporta como mostrado na figura 52. Nota-se a oscilação da tensão e que extrapola os valores de tolerância de 2 % durante o período de 2,8 ms.

A figura 53 mostra a corrente obtida com o degrau de carga. Assim como na tensão, a corrente possui a mesma oscilação, mas de forma inversa.

A velocidade e atuação do controle fica mais evidente no sinal de controle, representado na figura 54, onde é possível verificar a rápida resposta do controle PID, porém com uma queda pequena de amplitude do sinal de controle. Possivelmente se a amplitude diminuísse de uma forma mais abrupta em um curto instante de tempo, o sobressinal causado pela variação da

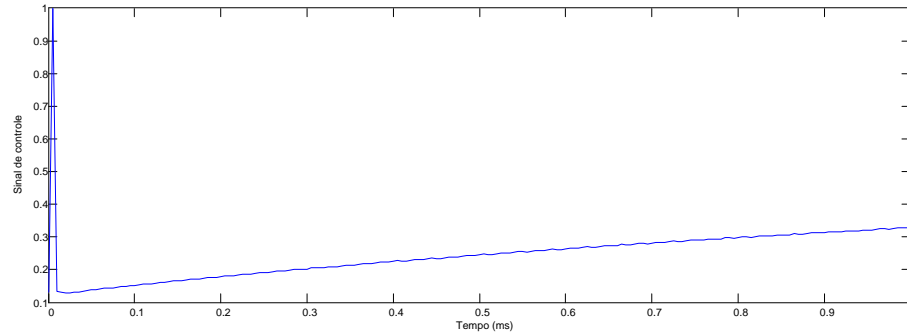


Figura 51 – Unidade de controle referente ao transitório usando o controlador PID ampliada.

Fonte: Autoria própria.

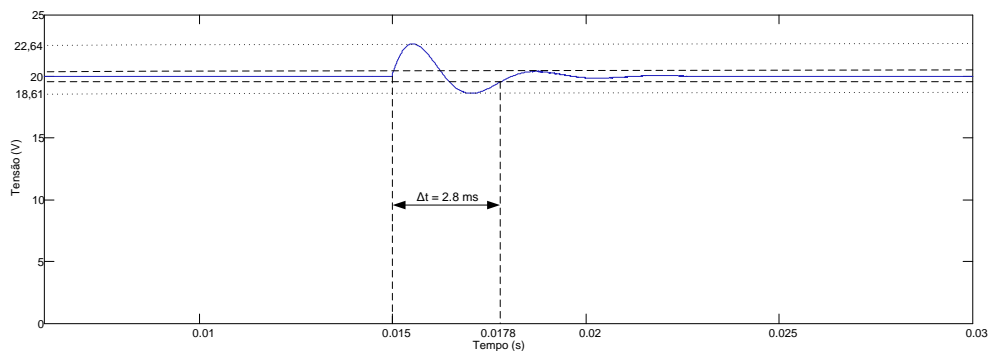


Figura 52 – Resposta da tensão a mudança de carga do controlador PID.

Fonte: Autoria própria.

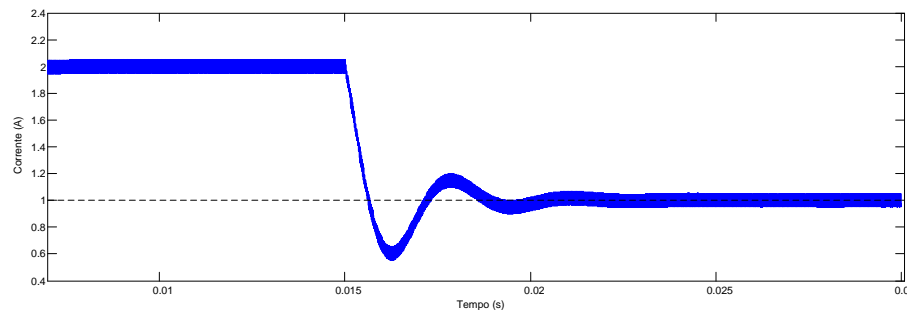


Figura 53 – Resposta da corrente a mudança de carga do controlador PID.

Fonte: Autoria própria.

carga seria menor. Nota-se também que com a variação da carga, a razão cíclica em regime é alterada para que a tensão permaneça constante, neste caso fica fixada em 0,434.

Outra forma de expressar os valores de tensão e corrente consiste em plotar o diagrama do espaço de estados do sistema, como é mostrado na figura 55. Observa-se que na partida do conversor (centro com corrente de 2 A) existe um sobressinal de corrente com uma breve oscilação, enquanto a tensão possui uma amplitude bem menor e com pouca oscilação (como mostrado na figura 48 esta variação se encontra na margem dos 5 %).

Após a entrada em regime, o controle se estabiliza e, posteriormente, com a aplicação do degrau de carga, ocorre a mudança do centro do destino da trajetória dos estados para a corrente de 1 A, nota-se uma sobretensão maior do que a anterior, causada pela inércia

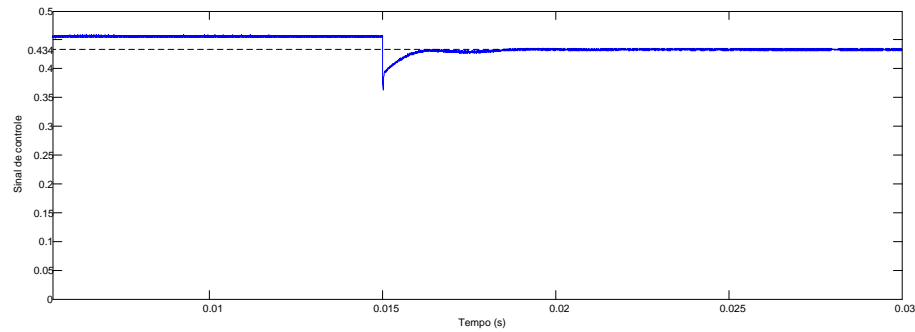


Figura 54 – Sinal de controle referente a mudança de carga para o controlador PID.

Fonte: Autoria própria.

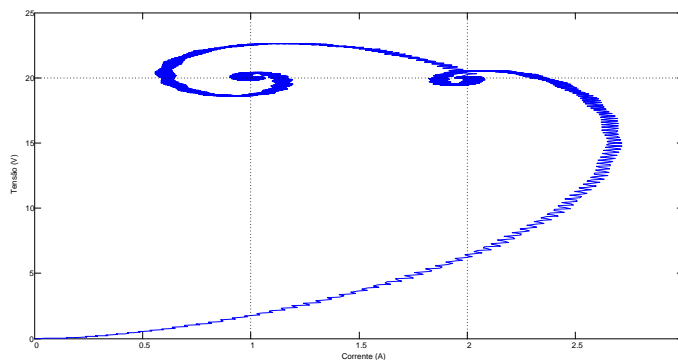


Figura 55 – Diagrama de fases PID.

Fonte: Autoria própria.

de tensão e corrente da planta escolhida e conseqüentemente uma corrente oscilatória até a estabilização.

5.2 PID COM GANHOS ADAPTATIVOS POR FUNÇÃO GAUSSIANA

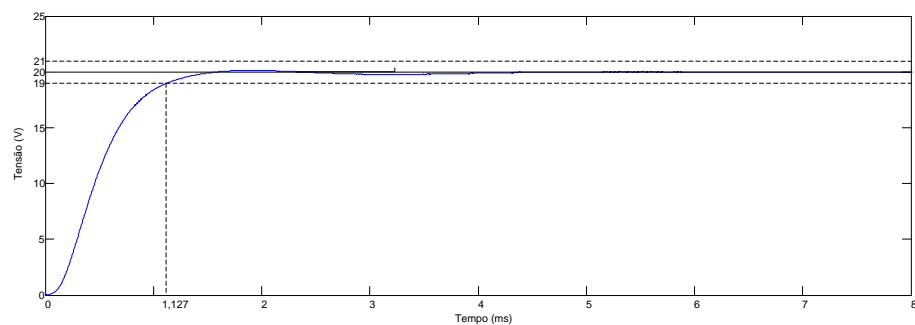


Figura 56 – Resposta de tensão ao transitório usando o controlador GANLPID.

Fonte: Autoria própria.

Com os mesmos critérios de determinação de rendimento do PID linear, a figura 56 apresenta a curva de carga do conversor utilizando o controle GANLPID, onde se nota que o tempo para atingir a margem de 5% ficou abaixo do controle linear. Obviamente, após a estabilização das oscilações, estas dentro da margem de tolerância, o erro em regime se torna nulo e o único ramo funcional acaba sendo o integral.

Conseqüentemente, com o menor tempo para a tensão atingir o valor de referência, a corrente tem um maior sobressinal, chegando a 4,2 A. A pequena oscilação na tensão também fica evidente na corrente, como é possível observar na figura 57.

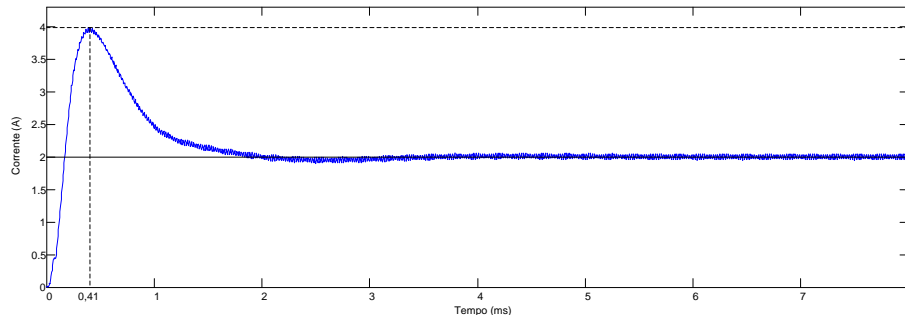


Figura 57 – Resposta de corrente ao transitório usando o controlador GANLPID.

Fonte: Autoria própria.

Para a entrada em regime da planta, a razão cíclica se comporta de maneira diferente ao PID linear, como pode ser observado na figura 58. Nos instantes iniciais, o sinal de controle permanece por um maior tempo saturado, fazendo com que ocorra um aumento significativo na velocidade da resposta e também que ocorra um maior pico de corrente no transitório inicial. Nota-se também a pequena diferença em regime da razão cíclica, onde esta se dá em função do controle não ser totalmente estável no PID linear, tendo um pequeno *ripple* na razão cíclica que também é reproduzido como pequenas oscilações na tensão e corrente de saída do conversor (para esta aplicação sendo desconsideradas estas variações).

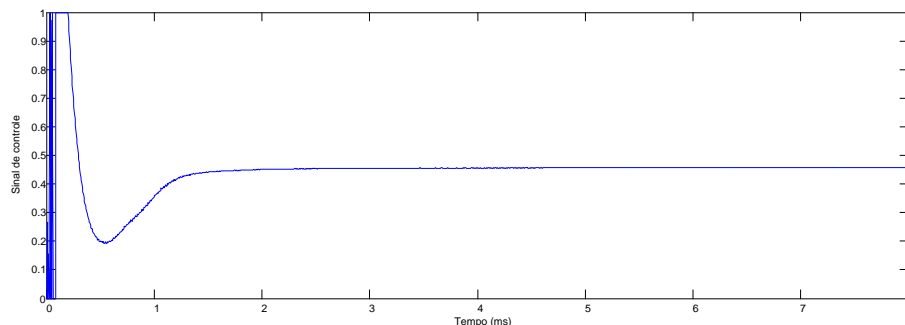


Figura 58 – Unidade de controle referente ao transitório usando o controlador GANLPID.

Fonte: Autoria própria.

Outros dados interessantes podem ser retirados das não linearidades dos ganhos, apresentadas na figura 59. Analisando esta imagem é possível notar que inicialmente, com o erro em grande escala, os ganhos correspondem ao valor K_1 que posteriormente transitam pela curva gaussiana até chegarem ao valor de K_0 . As oscilações presentes nos ganhos são o reflexo direto ao estado controlado, no caso, a tensão de saída do conversor. Outra informação é ausência de oscilações no ganho integral, pois nesse projeto em específico a concavidade da curva gaussiana está no início, ou seja, a transição ocorre quando os erros ainda possuem valores elevados.

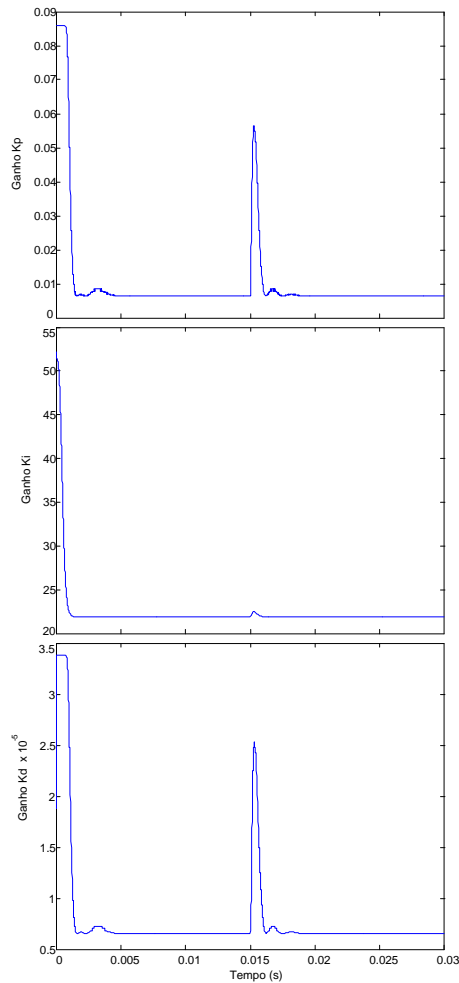


Figura 59 – Variação dos ganhos do controlador GANLPID

Fonte: Autoria própria.

Para a mudança de carga de 10 para 20 Ω o controle não linear também mostrou ser mais eficaz, diminuindo o tempo de retorno para a margem de 2% de tolerância de erro. A figura 60 apresenta a forma de onda da tensão para a resposta ao degrau, sendo que o tempo fora da margem de segurança fica em 1,1 ms.

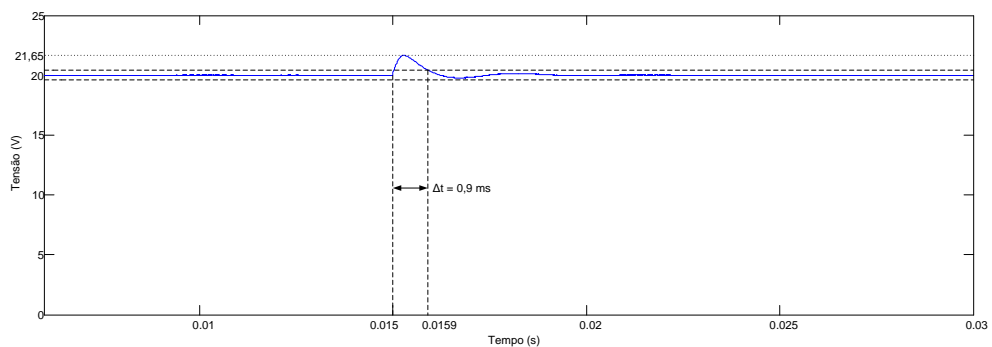


Figura 60 – Resposta da tensão a mudança de carga do controlador GANLPID.

Fonte: Autoria própria.

A corrente durante a mudança de carga é ilustrada pela figura 61, onde é possível observar

a rápida transição e com uma pequena oscilação no valor da corrente.

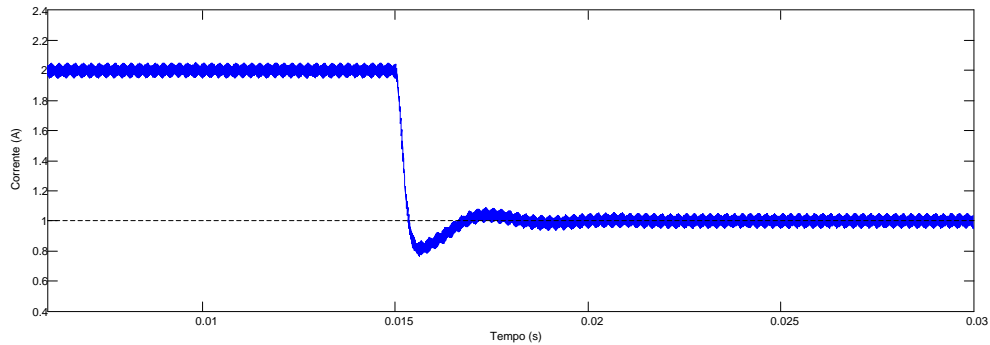


Figura 61 – Resposta da corrente a mudança de carga do controlador GANLPID.

Fonte: Autoria própria.

O sinal de controle durante a mudança de carga é apresentado na figura 62, onde é possível observar em detalhes a rápida resposta do controlador. Também nota-se a pequena oscilação, como a presente na corrente e tensão de saída, assim como a troca da razão cíclica em regime permanente para 0,4347. Assim como durante o transitório de partida, a pequena diferença da razão cíclica em relação ao controle linear se dá pelo *ripple* presente no controle PID clássico.

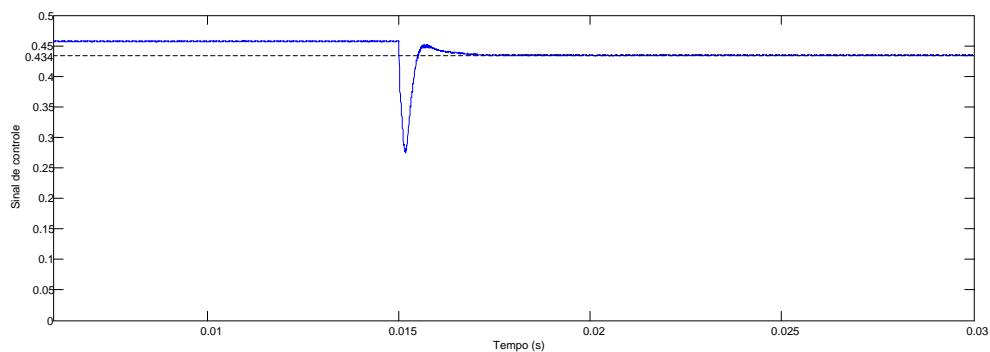


Figura 62 – Sinal de controle referente a mudança de carga para o controlador GANLPID.

Fonte: Autoria própria.

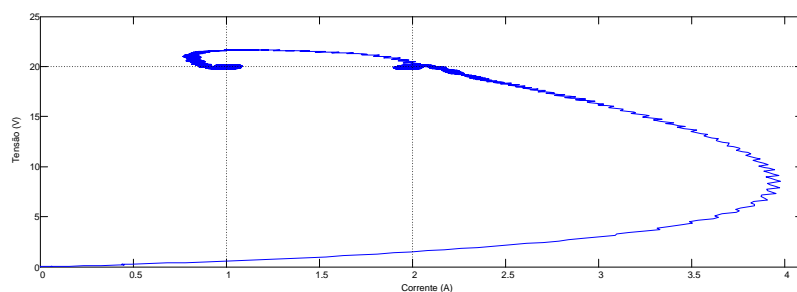


Figura 63 – Diagrama de fase GANLPID

Fonte: Autoria própria.

No diagrama de fase da resposta da planta é possível notar que no transitório inicial existe um sobressinal de corrente maior do que no controle PID clássico. Isso se dá devido à maior

velocidade da tensão para atingir o regime permanente (o conversor trabalha com dois estados; mudando um, o outro é diretamente afetado), já com a mudança de carga observa-se uma menor oscilação.

5.3 ALOCAÇÃO DE POLOS

O controle por alocação de polos é semelhante ao proporcional derivativo (PD), necessitando de ganhos elevados para atingir a referência e, mesmo considerando as não idealidades, possui erro em regime permanente. O controle foi projetado em função da alocação dos polos sobre os encontrados pelo lugar das raízes (projeto do PID linear), obtendo uma resposta de tensão segundo a figura 64.

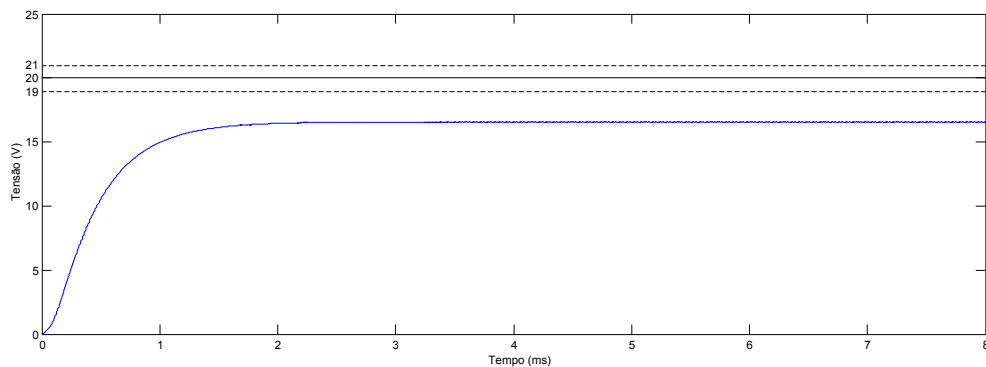


Figura 64 – Resposta de tensão ao transitório usando o controlador por alocação de polos.
Fonte: Autoria própria.

A resposta de tensão, como esperado com as não idealidades, possui erro em regime permanente. A velocidade do controle se mostrou mais lenta do que do PID, mesmo sendo projetados para possuírem os mesmos polos em malha fechada. A figura 65 apresenta a corrente do transitório de partida do conversor, sendo possível observar a variação brusca da corrente em um curto espaço de tempo, além de que, próximo regime permanente, é possível notar um pequeno *ripple*.

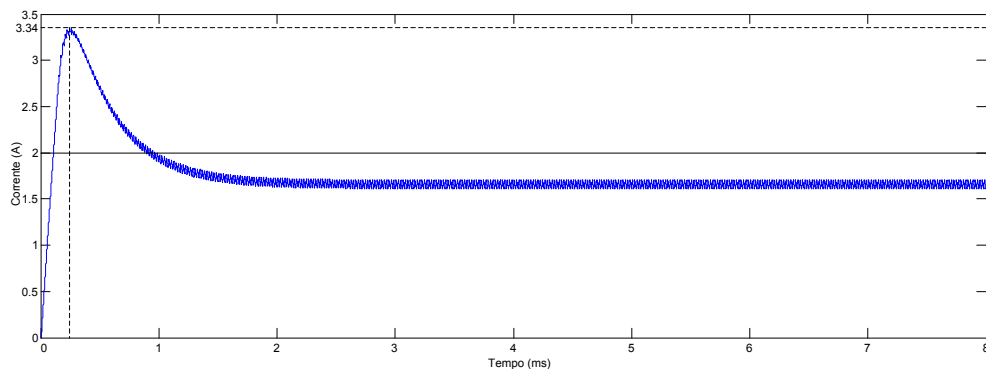


Figura 65 – Resposta de corrente ao transitório usando o controlador por alocação de polos.
Fonte: Autoria própria.

Sabendo da oscilação da corrente, por não ter fator integrativo, o esforço de controle tem o mesmo comportamento, sendo um controle rápido mas suscetível a ruídos por possuir ganhos altos. A figura 66 mostra a variação do esforço de controle.

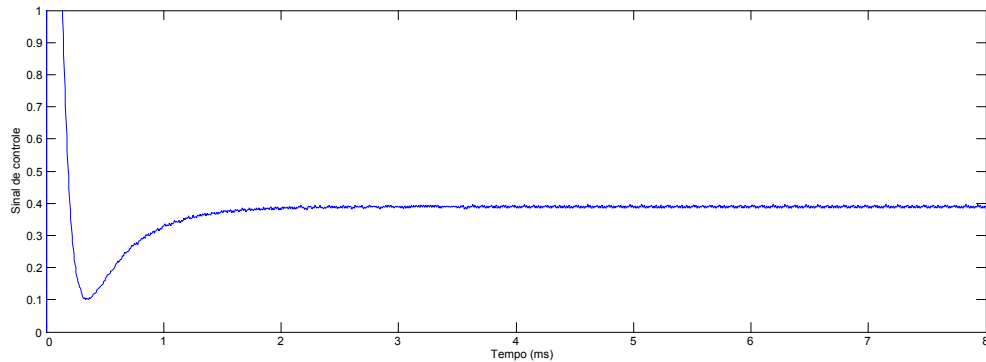


Figura 66 – Esforço de controle referente ao transitório usando o controlador por alocação de polos.

Fonte: Autoria própria.

A resposta a mudanças da carga de 10 para 20 Ω são muito rápidas, justificadas pelos altos valores de ganho usados. A figura 67 mostra a resposta a mudança de carga, onde se nota a grande velocidade do controlador, mesmo estando fora da referência.

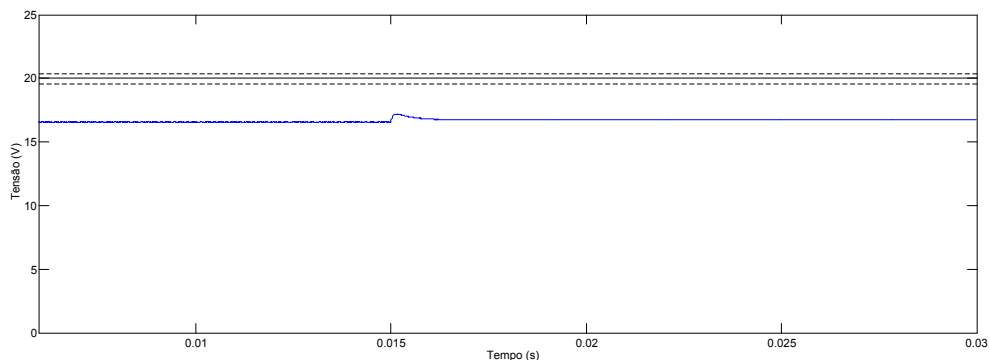


Figura 67 – Resposta da tensão a mudança de carga do controlador por alocação de polos.

Fonte: Autoria própria.

Exatamente como a tensão, a corrente também possui uma resposta rápida, praticamente instantânea, como se pode notar na figura 68.

Analisando o diagrama de fase do comportamento do controlador, fica ainda mais evidente o *ripple* de corrente presente, como mostra 69. Uma das possíveis soluções para o erro em regime é a inserção de um termo integral. Com esta técnica, busca-se diminuir ou até mesmo eliminar o erro em regime permanente.

Apesar do erro em regime, o controle por realimentação de estados mostrou ter uma grande velocidade, devido à semelhança com o controlador PD. Com a inserção do ramo integral espera-se corrigir o erro e manter as características obtidas na topologia tradicional.

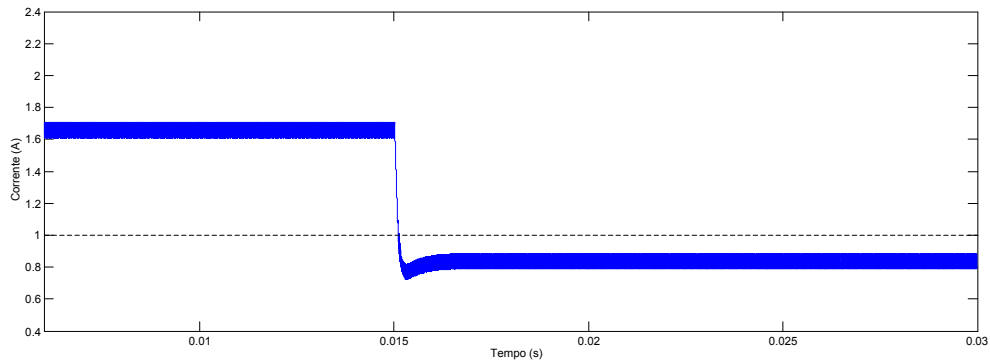


Figura 68 – Resposta da corrente a mudança de carga do controlador por alocação de polos.

Fonte: Autoria própria.

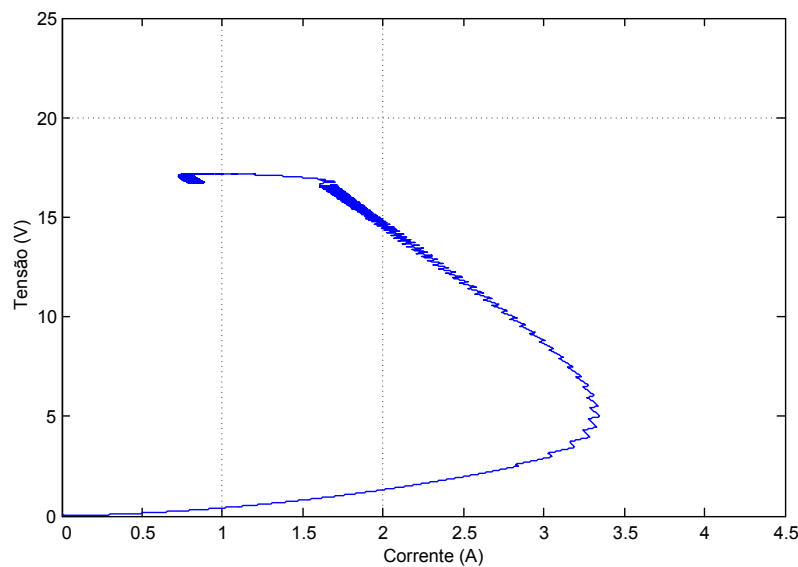


Figura 69 – Diagrama de fase alocação de polos

Fonte: Autoria própria.

5.4 ALOCAÇÃO DE POLOS COM TERMO INTEGRAL

Com o intuito da redução do erro em regime permanente adicionou-se ao controlador AP o termo integral no estado da tensão. A resposta do controle APTI para o transitório de partida do conversor é apresentado na figura 70. Nela observa-se que o erro em regime diminuiu enquanto manteve-se a velocidade de resposta do controlador.

A figura 70 apresenta a resposta de tensão do controlador APTI. Como esperado, o erro em regime permanente diminuiu, chegando a atingir a margem dos 5% em um curto espaço de tempo. Outro ponto a ser visto é que o sistema tem comportamento idêntico ao AP puro, somente com um deslocamento vertical da amplitude da tensão.

Com o transitório de partida, verificamos que a corrente para o transitório de partida, assim como no AP puro, possui o mesmo comportamento. A figura 71 mostra a resposta da corrente com os tempos do pico máximo, onde percebe-se também que não possui erro em regime.

Analisando o esforço de controle, ilustrado na figura 72, percebe-se uma pequena satura-

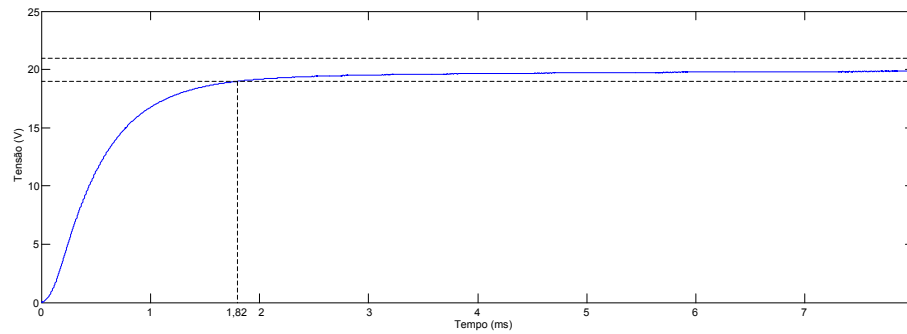


Figura 70 – Resposta de tensão ao transitório usando o controlador APTI.

Fonte: Autoria própria.

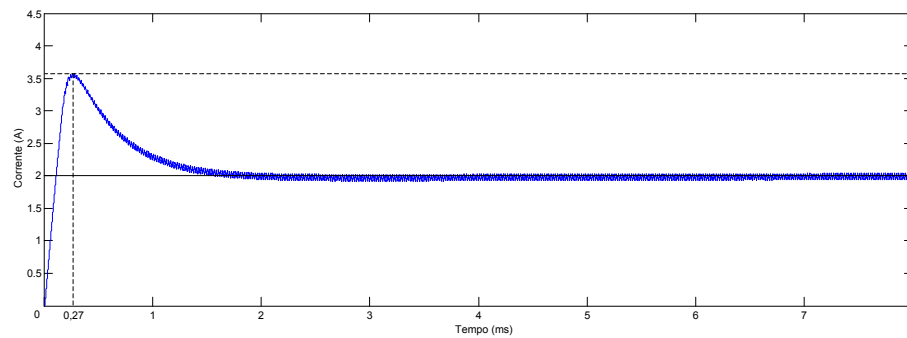


Figura 71 – Resposta de corrente ao transitório usando o controlador APTI.

Fonte: Autoria própria.

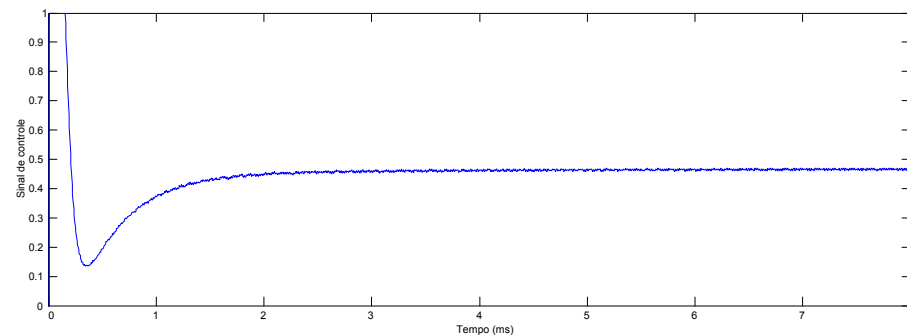


Figura 72 – Esforço de controle referente ao transitório usando o controlador APTI.

Fonte: Autoria própria.

ção nos instantes iniciais e posteriormente a estabilização.

Para a troca de carga, a resposta em tensão é mostrada pela figura 73. É possível observar um pequeno erro em regime. Esta característica é justificada pelo termo integral estar somente na realimentação de tensão, deixando que a corrente possa assumir valores diferentes dos fixados pelo *set point*.

A figura 74 apresenta a corrente para a mudança de carga, onde o pequeno erro em tensão acarreta uma variação quase imperceptível na corrente.

Mesmo com a inserção do termo integral na tensão, a agressividade do controlador AP puro é mantida, o que pode ser notado através da figura 75, que apresenta o sinal de controle para mudança de carga.

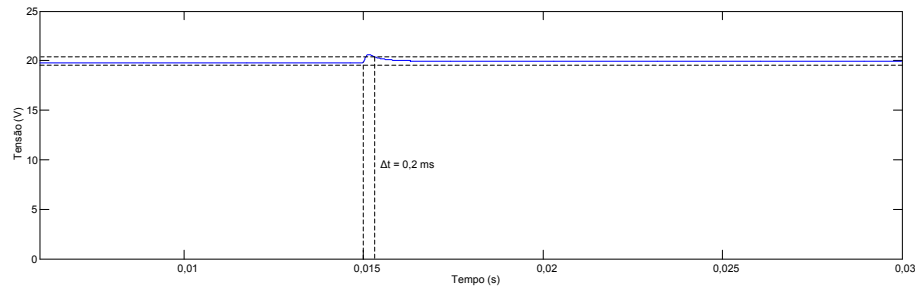


Figura 73 – Resposta da tensão a mudança de carga do controlador APTI.

Fonte: Autoria própria.

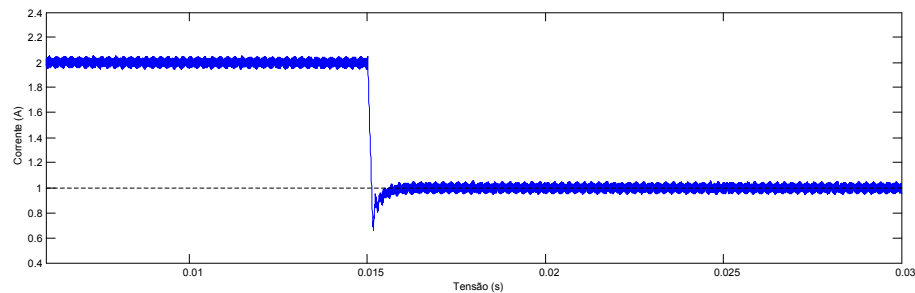


Figura 74 – Resposta da corrente à mudança de carga do controlador APTI.

Fonte: Autoria própria.

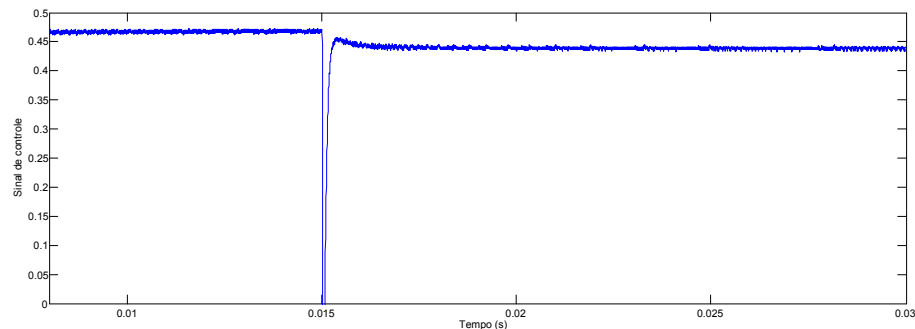


Figura 75 – Sinal de controle referente à mudança de carga para o controlador APTI.

Fonte: Autoria própria.

Para facilitar a visualização, foram plotadas em um mesmo gráfico tensão e corrente, como mostra a figura 76, onde percebe-se o erro praticamente nulo em regime.

Em termos da melhoria do controlador AP puro, o erro em regime foi diminuído, porém não eliminado. Outro ponto é que, aplicando a variação de cargas, ocorre uma pequena variação na tensão que, para esta planta, ficou na margem dos 2% abaixo e acima da referência.

Com o desenvolvimento das simulações de todos os controladores propostos, faz-se a união das tensões de saída a fim da comparação direta dos desempenhos no tempo de acomodação e com relação ao *overshoot*. A figura 77 apresenta as respostas para as tensões dos controladores desenvolvidos.

É possível perceber que, com exceção do AP (onde ocorre um erro em regime muito grande), todos os demais apresentam bom desempenho de velocidade e máxima ultrapassagem, prevalecendo o GANLPID e o APTI. Com o desenvolvimento experimental, serão com-

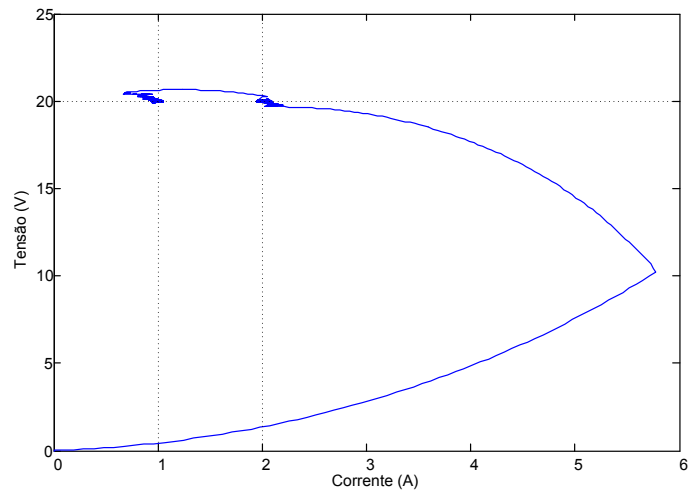


Figura 76 – Diagrama de fases APTI.

Fonte: Autoria própria.

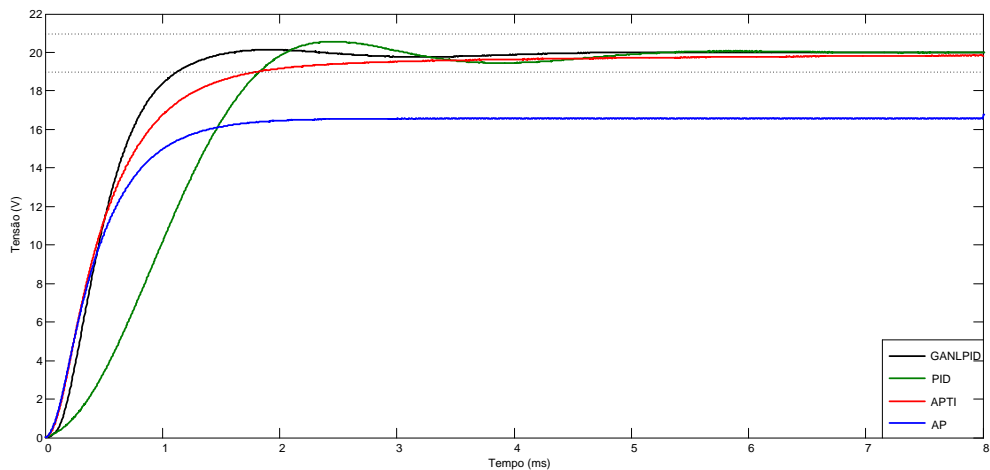


Figura 77 – Comparativo do transitório de partida dos controladores desenvolvidos.

Fonte: Autoria própria.

parados alguns critérios de estabilidade adotados, que podem sinalizar a melhor a escolha do controlador para esta planta.

Com alteração da carga do conversor, o comportamento da tensão se apresenta mais agressivo nos controladores por realimentação de estados, possuindo uma maior velocidade de resposta e consequentemente um menor tempo fora do critério de 2 % adotado. A figura 78 mostra a resposta em tensão para todos os controladores desenvolvidos. Nela nota-se o pequeno erro em regime para APTI.

A decisão sobre a escolha do tipo do controlador a ser usado é definida pelo tempo de acomodação e reação a mudanças de carga, além da maior robustez em termos das plantas práticas. No caso do controlador AP é possível diminuir, e praticamente extinguir, o erro em regime, porém necessita de ganhos elevados que acarretam na amplificação de ruídos indesejados, tais como a pequena oscilação presente na abertura e fechamento da chave utilizada.

Neste capítulo foram realizadas as simulações para análise de desempenho para cada

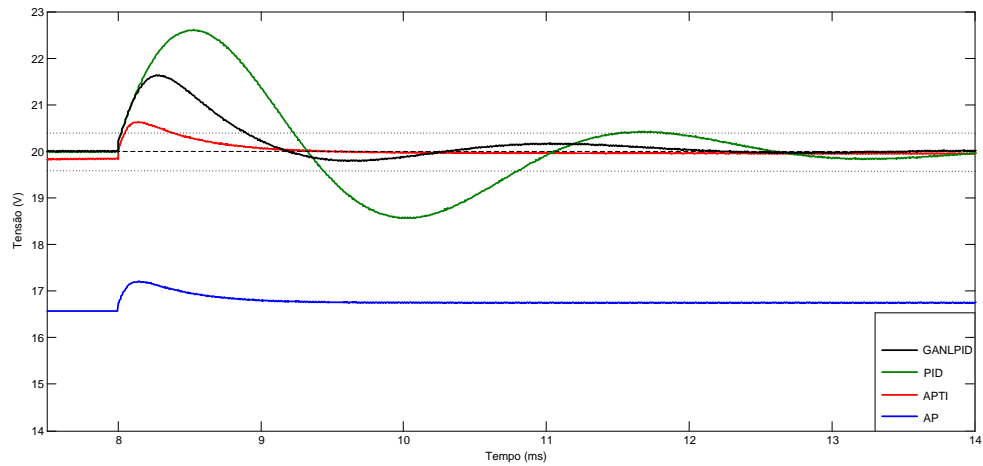


Figura 78 – Comparativo para mudança de carga dos controladores desenvolvidos.

Fonte: Autoria própria.

controlador. Ao fim foram unidos, em uma única imagem, os comportamentos das tensões para o transitório de partida e também para a mudança de carga. O próximo capítulo apresenta o protótipo desenvolvido, assim como os resultados obtidos de forma experimental.

6 RESULTADOS EXPERIMENTAIS

A planta usada foi um conversor Buck, como descrito anteriormente, sendo a foto do protótipo apresentada na figura 79. O desenvolvimento do protótipo foi feito em três módulos: acionamento, condicionamento de sinal e potência. O dispositivo FPGA está eletricamente isolado da etapa de potência e transmite os sinais de acionamento através de acopladores óticos, evitando possíveis danos ao kit de desenvolvimento utilizado.

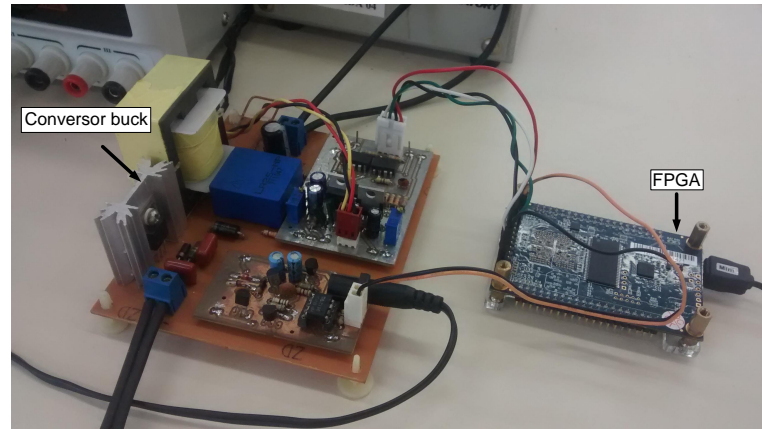


Figura 79 – Protótipo do conversor Buck desenvolvido.
Fonte: Autoria própria.

Com o protótipo foram realizados experimentos em malha aberta a fim de validar as não idealidades presentes nos componentes usados, sendo inseridas nas simulações a queda de tensão no diodo e as resistências intrínsecas da chave, indutor e capacitor.

6.1 CONTROLE PROPORCIONAL INTEGRAL DERIVATIVO (PID)

Os resultados experimentais seguiram os padrões das simulações, sendo tomado as principais medidas a tensão de saída, corrente no indutor e alguns tempos adotados como critério de desempenho do controlador, a figura 80 apresenta a tensão de saída do conversor durante o transitório de partida.

A corrente no transitório de partida obtida em laboratório é apresentada na figura 81, onde pode-se notar a curvatura do sinal mantendo a suavidade, mostrando que não ocorreu a saturação no indutor.

A critério de comparação e validação da planta, foram sobrepostas as curvas da simulação com os resultados experimentais do transitório de partida do conversor. Essa comparação é mostrada na figura 82.

Como esperado, os resultados experimentais tendem a seguir a simulação. Para mudanças de carga a resposta de tensão segue o padrão mostrado pela figura 83.

Observa-se também a rápida resposta do controle, porém, a dinâmica da planta faz com que ocorra um sobressinal e ultrapasse a margem de 5 %. A corrente para a mudança de carga

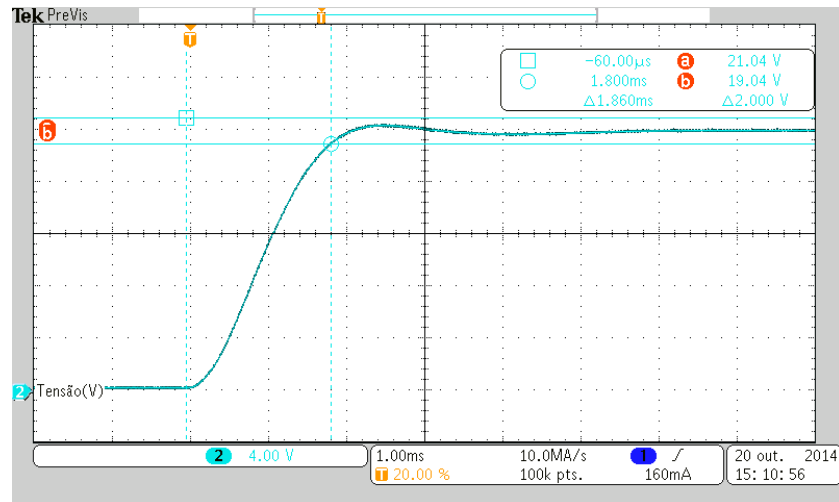


Figura 80 – Tensão no transitório de partida.

Fonte: Autoria própria.

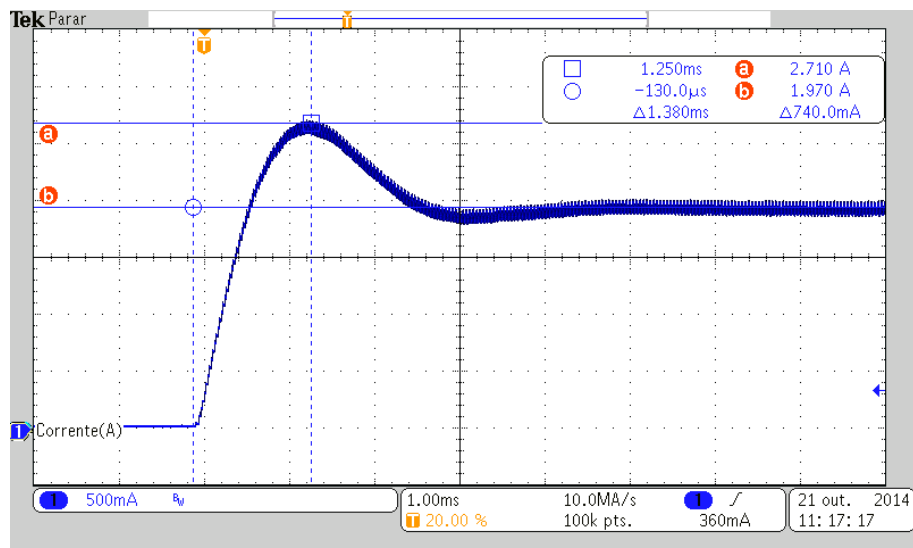


Figura 81 – Corrente no transitório de partida

Fonte: Autoria própria.

é mostrada na figura 84 onde percebe-se a pequena oscilação refletida na tensão de saída e também o tempo de resposta.

A critério de análise, pode-se plotar tensão pela corrente onde percebe-se o grande sobressinal de corrente, isso justificado pelo controle não levar em consideração a malha de corrente, tendo enfoque principal na velocidade da tensão de saída. A figura 85 ilustra o diagrama de fase da planta, estabilizando em um primeiro ponto e, para a troca de carga, ocorre uma mudança de corrente, transitando com uma pequena oscilação para o novo ponto de convergência.

6.2 PID COM GANHOS NÃO LINEARES POR FUNÇÃO GAUSSIANA

Assim como no controlador PID linear, alguns tempos foram usados a critério de comparação. A figura 86 apresenta o resultado experimental para o transitório de partida do conversor.

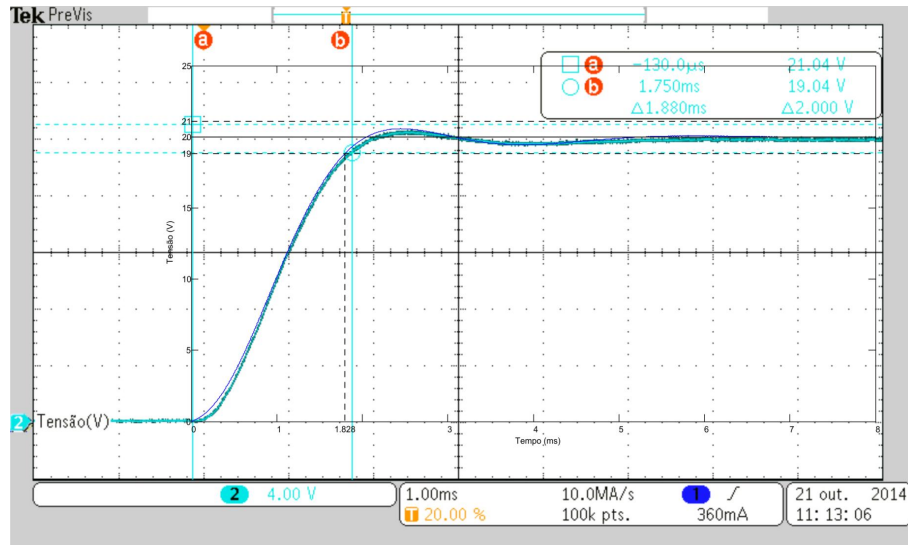


Figura 82 – Comparativo entre os resultados experimentais e simulados PID.
Fonte: Autoria própria.

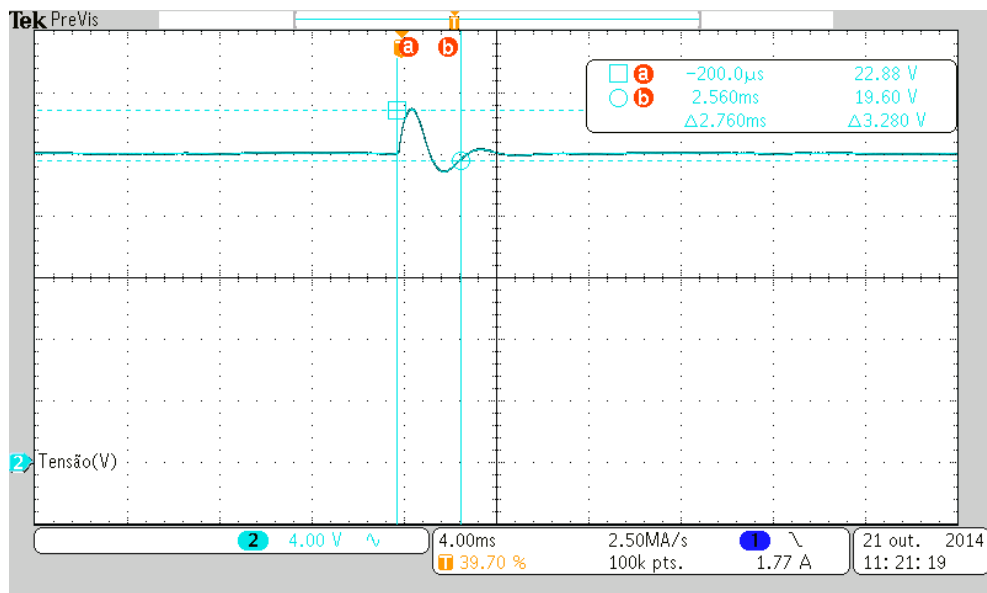


Figura 83 – Tensão na mudança de carga de 10 para 20 Ω.
Fonte: Autoria própria.

Para o transitório de partida verifica-se que a corrente possui um sobressinal, como esperado, pois o controle é focado na velocidade da tensão atingir o valor de referência. A figura 87 apresenta a forma de onda da corrente obtida experimentalmente.

Assim como no controle PID tradicional, os resultados experimentais tenderam a seguir os simulados, sendo sobrepostos e mostrados pela figura 88. Nota-se pela figura a confiabilidade da simulação realizada.

Como esperado, o controlador GANLPID teve um melhor desempenho de velocidade também para mudanças de carga, onde teve um tempo de resposta muito melhor, se comparado com o controlador PID linear. A figura 89 traz a forma de onda da tensão para a mudança de

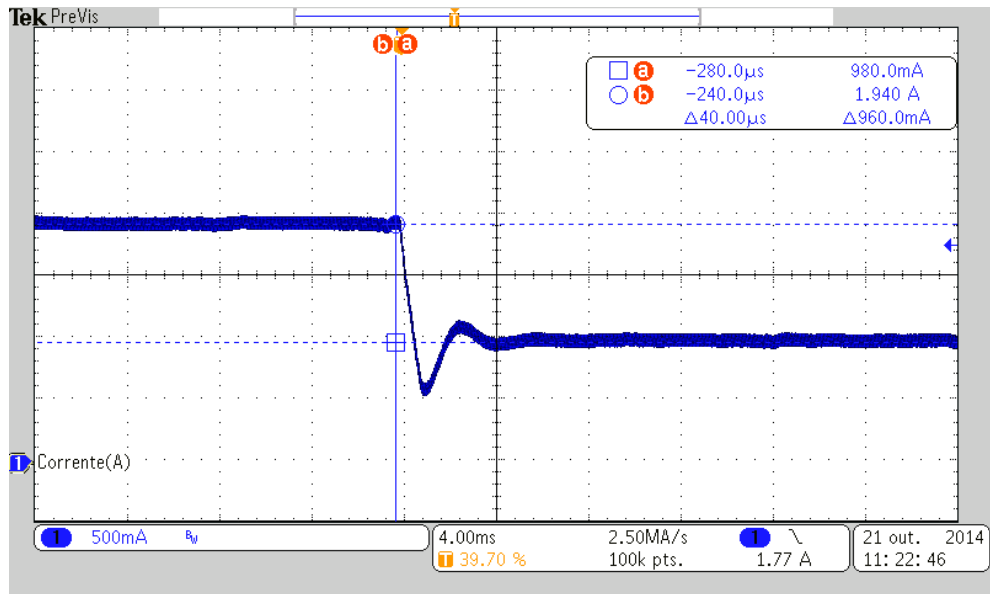


Figura 84 – Corrente na mudança de carga de 10 para 20 Ω .

Fonte: Autoria própria.

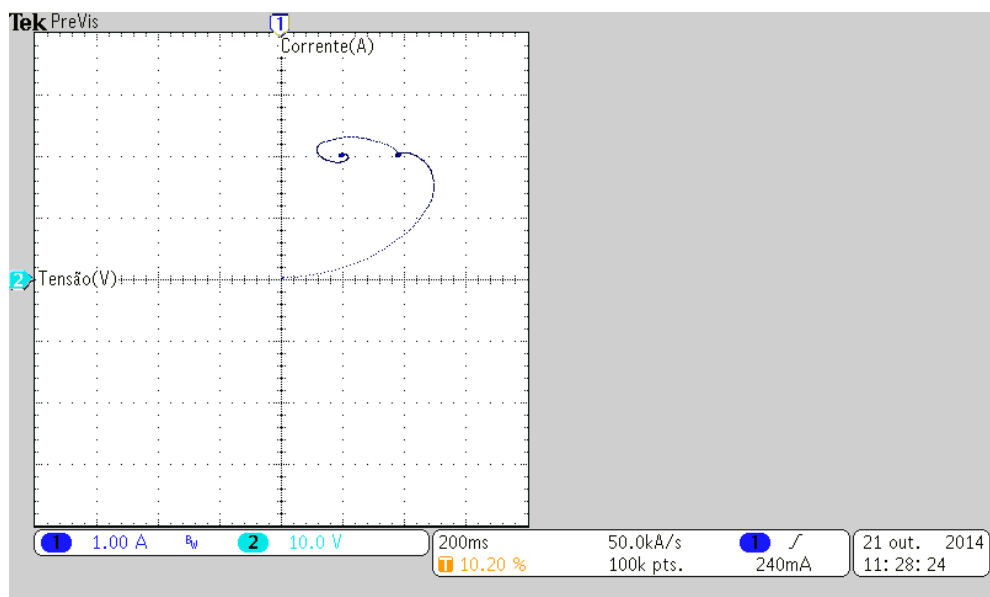


Figura 85 – Diagrama de fase do transitório de partida e mudança de carga.

Fonte: Autoria própria.

carga de 10 para 20 Ω utilizando o controlador GANLPID. Nota-se que, como verificado em simulação, ocorre somente o *overshoot* ultrapassando a linha superior det_s (2%).

Analisando a forma de onda da corrente, mostrada na figura 90, também é possível notar a maior velocidade da resposta, porém com uma menor oscilação do que no controlador PID.

Com a plotagem da tensão pela corrente, como mostrado na figura 91, é possível notar o grande sobressinal de corrente tanto na partida do conversor, quanto na mudança de carga, porém a tensão apresenta um *overshoot* menor.

A critério de comparação, fez-se uma sobreposição dos resultados experimentais dos con-

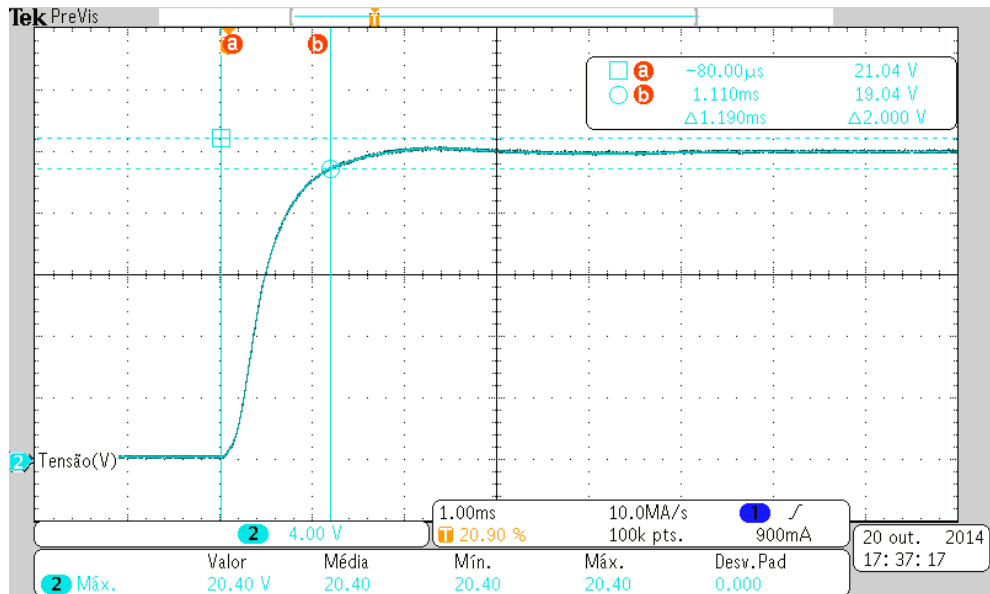


Figura 86 – Tensão no transitório de partida.

Fonte: Autoria própria.

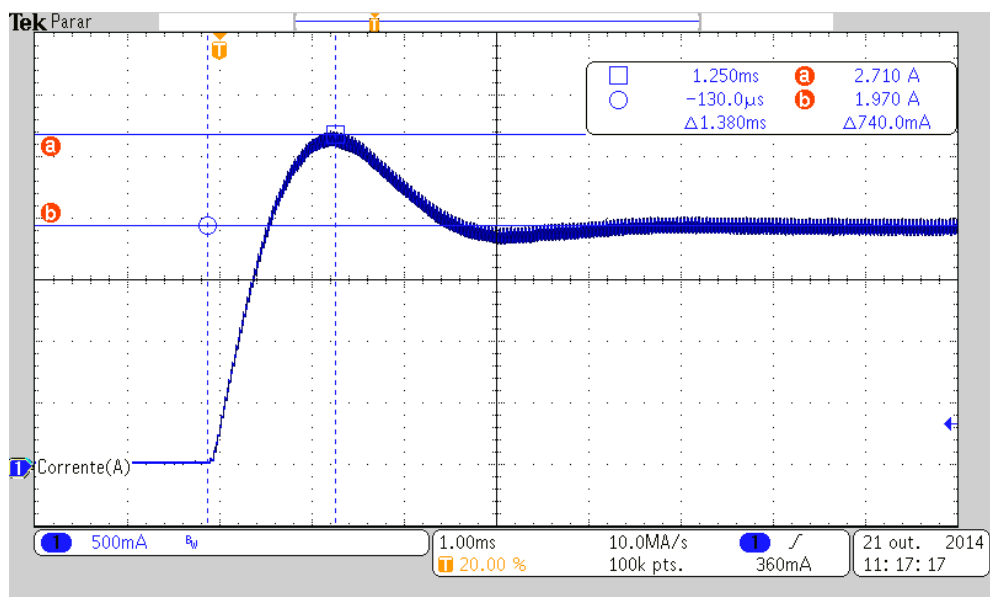


Figura 87 – Corrente no transitório de partida.

Fonte: Autoria própria.

troladores PID e GANLPID para o transitório de partida do conversor (figura 92), sendo possível observar o desempenho superior do controle não linear e com um menor sobressinal.

6.3 ALOCAÇÃO POLOS

Para o controlador AP, como verificado nas simulações, ocorre um erro em regime de escala muito grande de tal forma a não tocar a margem de 5%. A figura 93 apresenta a tensão de partida utilizando o controlador AP, onde se pode notar que em nenhum momento ele alcança a margem estimada, sendo descartado para aplicações práticas.

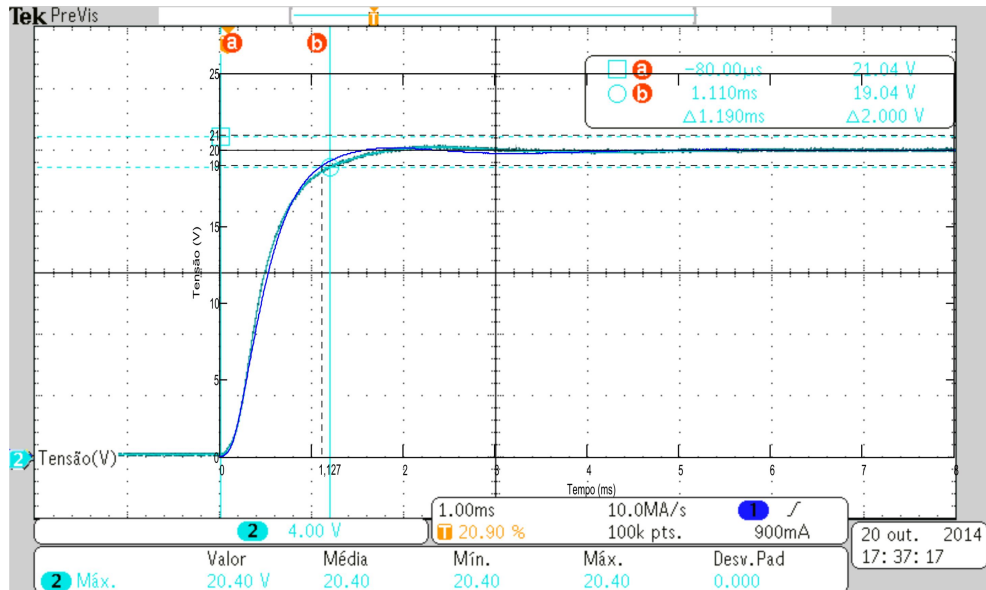


Figura 88 – Comparativo entre os resultados experimentais e simulados GANLPID.

Fonte: Autoria própria.

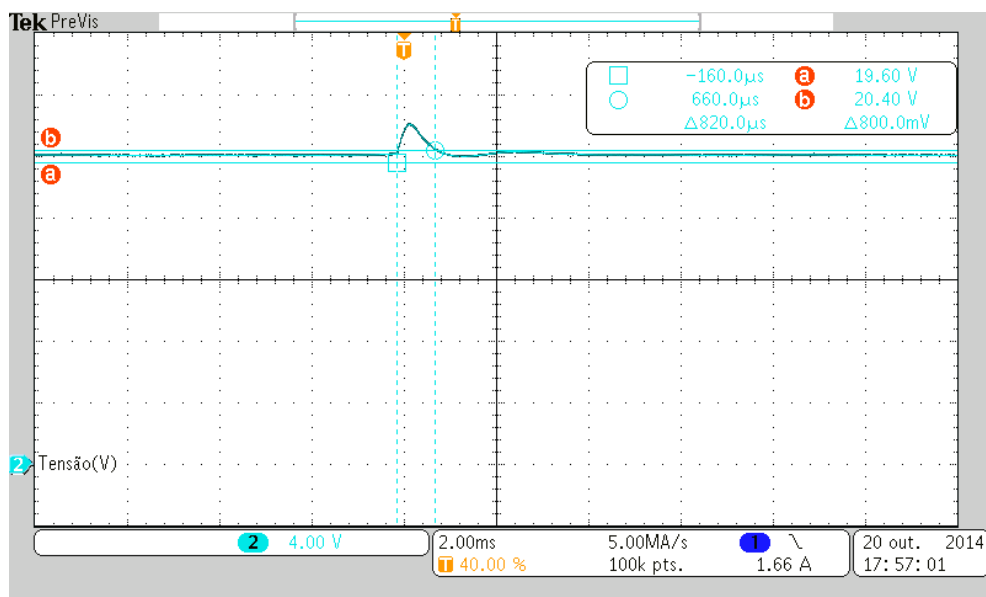


Figura 89 – Tensão na mudança de carga de 10 para 20 Ω .

Fonte: Autoria própria.

Analisando a corrente, ilustrada pela figura 94, nota-se que o pico ocorre em um curto espaço de tempo, mostrando assim a agressividade do controlador. Outro ponto a verificar é que, diferentemente da tensão, na corrente fica explícita a influência dos ruídos de comutação do AP, sendo pequenas as variações presentes no experimento prático (resultado não encontrado nas simulações, pois os ruídos não foram adicionados pela dificuldade em prever como o controlador irá mudar a razão cíclica).

As respostas para mudança de carga foram descartadas, pois o controlador não chegou a atingir a tensão mínima exigida tornando-se inviável para a aplicação desenvolvida.

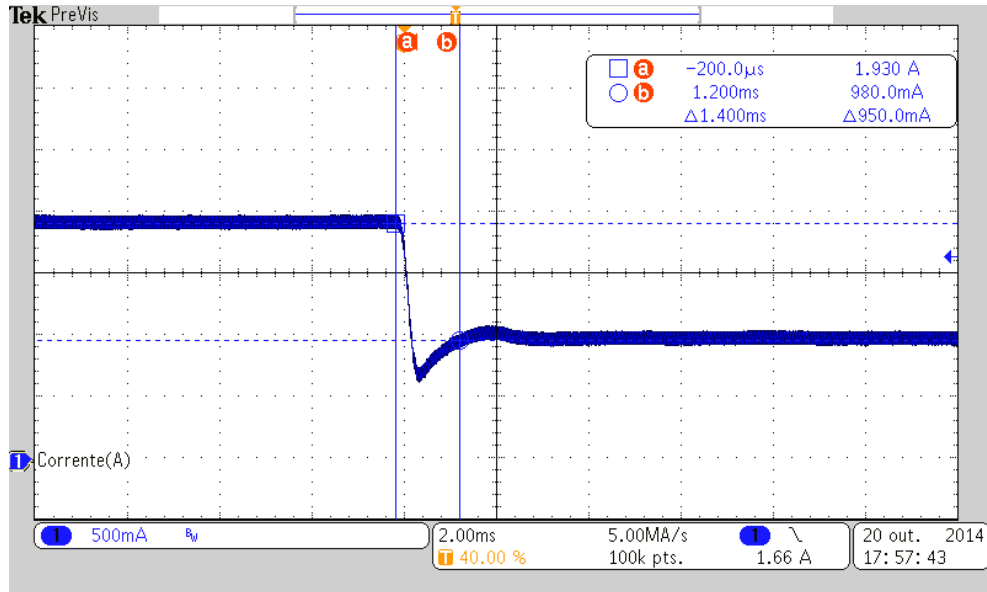


Figura 90 – Corrente na mudança de carga de 10 para 20 Ω .

Fonte: Autoria própria.

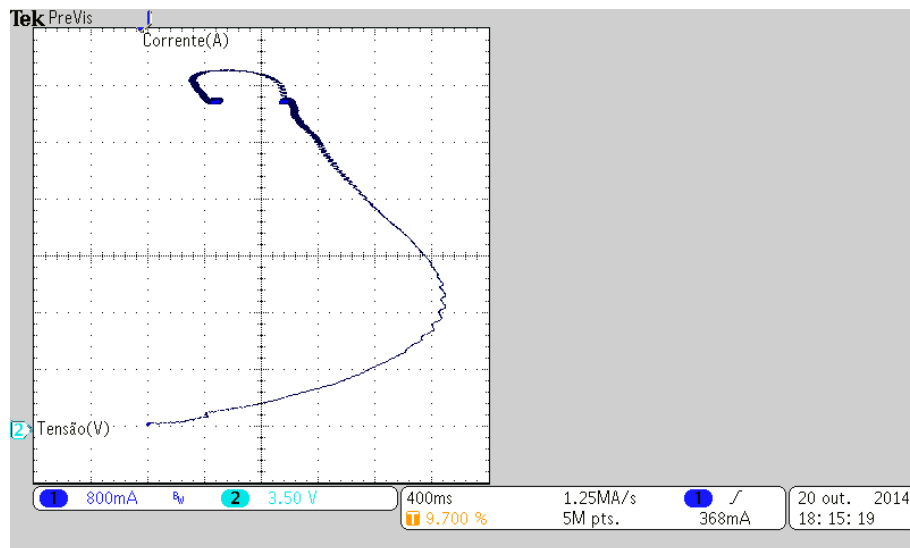


Figura 91 – Diagrama de fase do transitório de partida e mudança de carga do controlador GANLPID.

Fonte: Autoria própria.

6.4 ALOCAÇÃO DE POLOS COM TERMO INTEGRAL

Com o intuito de melhorar o erro em regime, o controlador APTI teve um desempenho muito superior ao AP. A figura 95 apresenta a resposta experimental para este controlador, sendo possível notar a presença de um pequeno ruído que deixa a tensão de saída do conversor com pequenas oscilações.

A corrente para o APTI é representada na figura 96. Assim como no AP, o ruído de comutação influencia de forma sutil a corrente, porém, agora o erro é minimizado, atendendo os critérios de projeto.

Como verificado nas simulações, a resposta do controlador APTI é agressiva. Para mu-

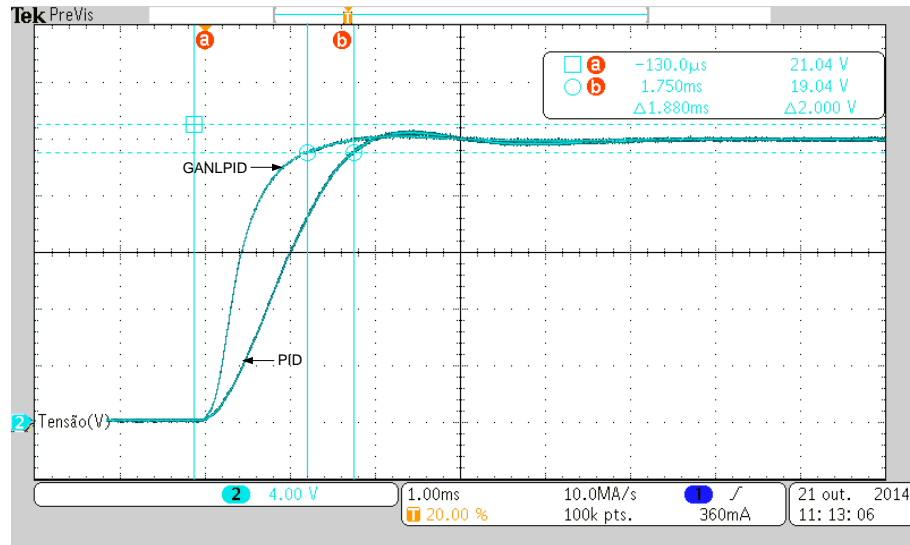


Figura 92 – Comparativo prático dos controles PID e GANLPID.

Fonte: Autoria própria.

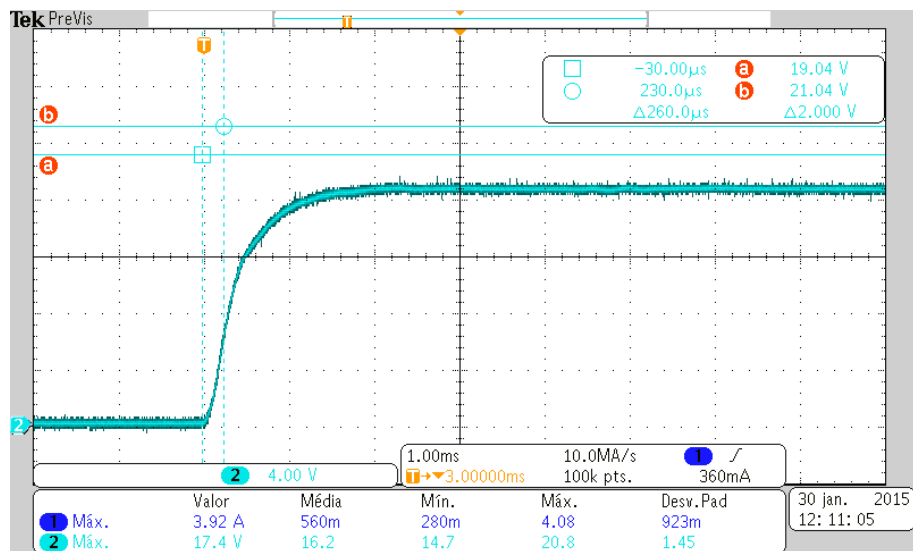


Figura 93 – Tensão no transitório de partida para o controlador AP.

Fonte: Autoria própria.

danças de carga de 10 para 20 Ω a tensão segue segundo mostra a figura 97, onde se pode notar a velocidade da resposta ao degrau e também à variação do pequeno erro em regime permanente, porém dentro das margens estabelecidas de 2%.

Para verificar a influência dos ruídos na velocidade do controlador, analisa-se a corrente na mudança de carga, representada na figura 98, onde percebe-se pequenas oscilações com o passar do tempo e também a rápida queda da amplitude da corrente.

A adição do termo integral diminuiu o erro em regime, porém não o eliminou totalmente, pois neste tipo de controlador existe a observação de dois estados, onde um deles é totalmente dependente da carga (corrente no indutor).

Os resultados experimentais mostraram ser idênticos aos simulados, validando o modelo

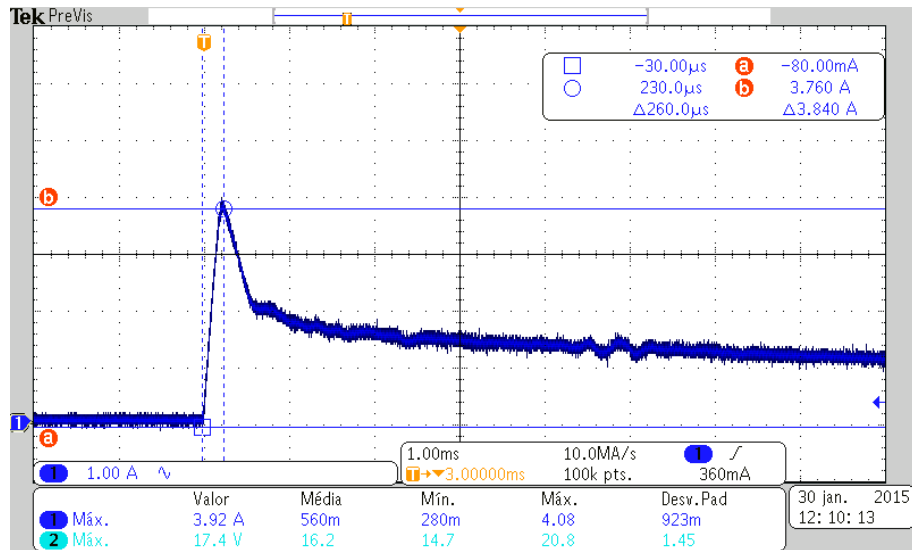


Figura 94 – Corrente no transitório de partida para o controlador AP.

Fonte: Autoria própria.

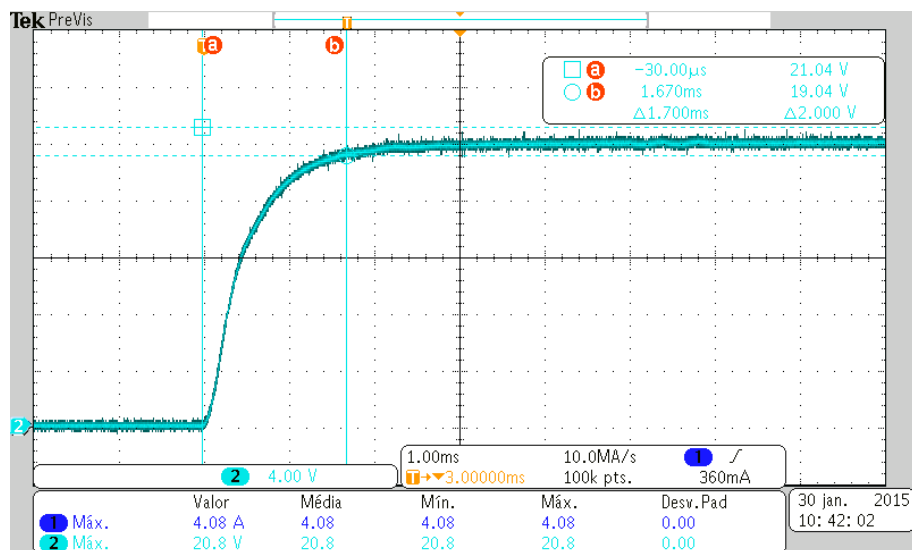


Figura 95 – Tensão no transitório de partida para o controlador APTI.

Fonte: Autoria própria.

da planta. Algumas características podem ser notadas, como a rápida ação do GANLPID para o transitório de partida, porém, fica evidente uma deficiência para mudanças de carga se comparado com o controles por realimentação de estados. A explicação se dá devido aos elevados ganhos e à agressividade dos controles por realimentação de estados, diferentemente do GANLPID, que possui ganhos altos apenas quando o erro também é elevado, fazendo com que se torne mais agressivo com grande valor do erro. Porém, a diminuição dos ganhos quando o sinal de saída se encontra próximo ao valor do *setpoint* faz com que o controlador GANLPID se torne bem menos suscetível a ruído.

Alguns dados foram coletados experimentalmente para análise da robustez dos controladores, como a partida do conversor com três valores de carga diferentes e a mudança de carga.

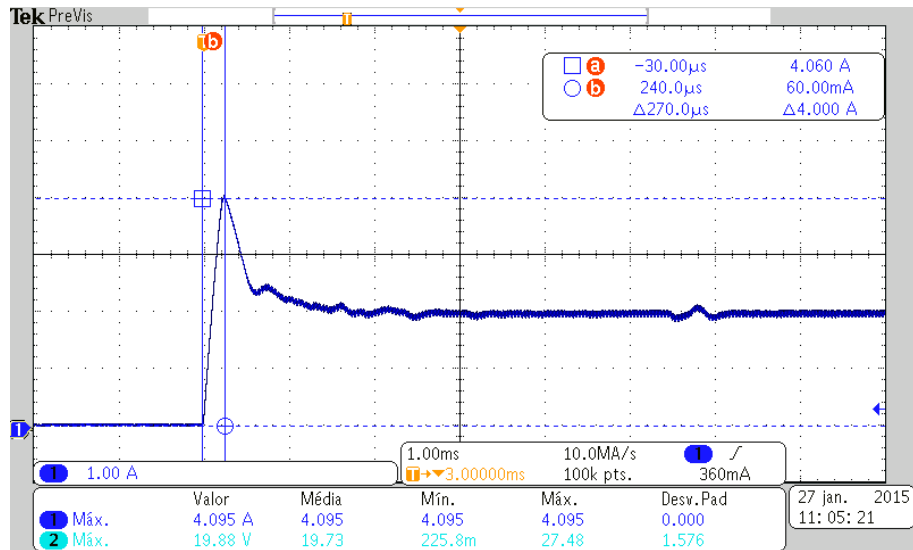


Figura 96 – Corrente no transitório de partida para o controlador APTI.

Fonte: Autoria própria.

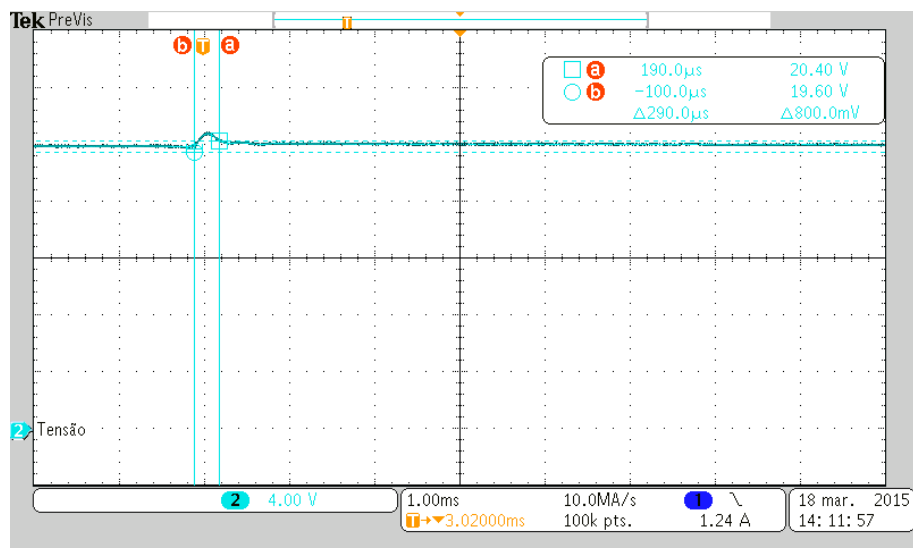


Figura 97 – Tensão na mudança de carga de 10 para 20 Ω para o controlador APTI.

Fonte: Autoria própria.

Para a partida do conversor utilizando a carga de 10 Ω os resultados obtidos são exibidos na tabela 1. Analisando os dados, nota-se que o melhor desempenho para o transitório de carga é do controlador GANLPID seguido do APTI, lembrando que este valor de carga foi o usado para cálculo de todos os controladores.

Tabela 1 – Desempenho dos controladores para transitório de partida com carga de 10 Ω .

Tempo de acomodação	PID	GANLPID	APTI
t_s (5%)	1,88 ms	1,19 ms	1,7 ms
t_s (2%)	1,94 ms	1,328 ms	2,3 ms

O critério de análise de robustez foi dado pelo uso de cargas que não foram utilizadas

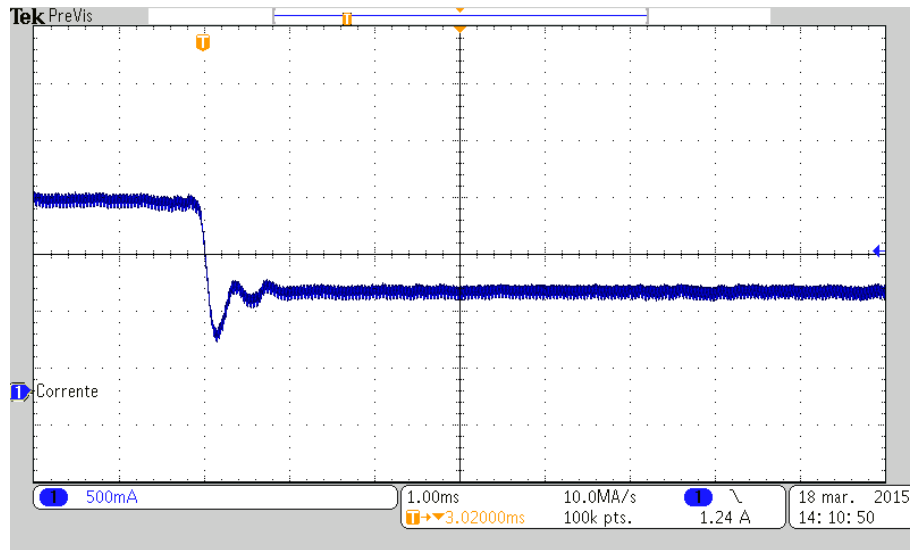


Figura 98 – Corrente na mudança de carga de 10 para 20 Ω para o controlador APTI.
Fonte: Autoria própria.

nos cálculos do controlador. A tabela 2 apresenta os resultados obtidos no transitório de carga do conversor para a carga de 20 Ω , onde nota-se que, para este valor de carga, o controlador PID clássico teve o desempenho bastante afetado, enquanto os demais obtiveram melhoras significativas.

Tabela 2 – Desempenho dos controladores para transitório de partida com carga de 20 Ω .

Tempo de acomodação	PID	GANLPID	APTI
t_s (5%)	1,61 ms	1,05 ms	1,53 ms
t_s (2%)	4,17 ms	1,28 ms	2,33 ms

Utilizando a carga de 30 Ω o controlador GANLPID, como mostra a tabela 3, apresenta o melhor desempenho. As respostas do controle PID possuem o maior tempo de acomodação para ambos os critérios, tornando-se o controlador com menor robustez dentre os desenvolvidos. O controle GANLPID tende a seguir um padrão com todas as cargas, com pequenas variações. Nesta aplicação, diminuiu o tempo de acomodação com o aumento do valor da resistência de carga.

Tabela 3 – Desempenho dos controladores para transitório de partida com carga de 30 Ω .

Tempo de acomodação	PID	GANLPID	APTI
t_s (5%)	3,58 ms	0,99 ms	1,45 ms
t_s (2%)	4,22 ms	1,28 ms	2,33 ms

Outra análise desenvolvida foi o tempo de acomodação com critério de 2% para a mudança de carga de 10 para 20 Ω , como mostrado pela tabela 4, nota-se a maior velocidade do controlador APTI, como mostrado em simulações no capítulo 5.

Tabela 4 – Desempenho dos controladores para mudança de carga 10 para 20 Ω .

Tempo de acomodação	PID	GANLPID	APTI
t_s (2%)	2,61 ms	0,87 ms	0,29 ms

Para o degrau de carga inverso, ou seja, de 20 para 10 Ω as resposta dos controles seguem os dados da tabela 5, onde percebe-se que também o controlador APTI possui o melhor desempenho.

Tabela 5 – Desempenho dos controladores para mudança de carga 20 para 10 Ω .

Tempo de acomodação	PID	GANLPID	APTI
t_s (2%)	2,82 ms	0,75 ms	0,28 ms

Neste capítulo foram apresentados os resultados experimentais obtidos de um conversor Buck testado em laboratório. A adequação aos modelos foi bastante criteriosa e, por conta disso, conseguiu-se uma excelente aproximação dos resultados simulados em relação aos experimentais. O próximo capítulo apresenta as conclusões e considerações finais sobre o trabalho.

7 CONCLUSÕES

Neste trabalho foram desenvolvidas a modelagem do conversor Buck, a descrição teórica das estratégias de controle PID, Alocação de Polos (AP), Alocação de Polos com inclusão de termo Integral (APTI) e o controle PID adaptativo por funções gaussianas (GANLPID), a apresentação da implementação das estruturas de controle usando blocos *DSP Builder*, utilizados tanto para simulação quanto para programação do FPGA e realizados os testes experimentais usando um protótipo de conversor Buck controlado pelo kit DE-0 nano.

Com os dados apresentados, foram feitas análises para escolher o controlador adequado para a planta, porém, os ruídos não foram considerados nas simulações e estes resultados podem ser um pouco diferentes devido à sua influência.

O controle APTI possui grande agressividade, melhor desempenho para mudanças de carga e uma boa velocidade no transitório de carga, entretanto é o mais influenciado por ruídos que, em alguns casos, podem causar a instabilidade e oscilação na tensão de saída. Analisando as correntes experimentais apresentadas no capítulo 6, nota-se uma pequena oscilação na corrente (diferentemente do *ripple* tradicional da comutação), esta oscilação é causada pelo ruído da comutação e muitas vezes é somente notada na corrente do indutor e não na tensão de saída. Quando esta oscilação tende a aumentar, são geradas pequenas oscilações na tensão, que prejudica a qualidade do sinal na saída do conversor.

Para projetos em eletrônica de potência, o pico máximo de corrente deve ser limitado, afim de conservar a integridade dos componentes utilizados. Neste trabalho procurou-se explorar o desempenho do controle sem rigor nas condições impostas por limitações físicas, mesmo porque sabe-se de antemão que a natureza do conversor e os parâmetros usados na confecção do protótipo não exigem a aplicação de restrições de sobressinal de tensão e corrente. Os controladores podem ser aplicados para as mais variadas tarefas, dependendo obviamente de atenderem os requisitos definidos pelo projetista. No projeto de um conversor com limitação de corrente, foram apresentados os desempenhos dos controladores frente a mudanças de carga, tendo controlador APTI o melhor desempenho, porém, mais sensível a ruídos. O controlador GANLPID também apresentou um ótimo desempenho e possui a vantagem de ser menos sensível a ruídos nas proximidades do regime permanente. Entretanto, todos podem ser aplicados, desde que não fiquem instáveis devido aos ruídos presentes na planta.

O controle GANLPID foi projetado por varreduras paramétricas para a resposta ao transitório de carga do conversor, possivelmente com varreduras e adequação dos ganhos para mudanças de cargas podem ser feitas, deixando o controle mais agressivo para troca de cargas e mantendo as características do controle não linear.

7.1 CONTINUIDADE DO TRABALHO

Como continuidade do trabalho podem ser aprofundadas as análises, melhorar as implementações e realizar novas comparações. Dentre os objetivos adicionais, podem ser destacados:

- Otimizar os algoritmos desenvolvidos;
- Desenvolver o controle não linear SDRE;
- Melhorar as respostas frente aos ruídos gerados no protótipo;
- Realizar simulações que incluam imperfeições geradas pelo ruído;
- Montar um algoritmo de aquisição sincronizada com o sinal PWM, evitando a captura nos instantes subsequentes ao chaveamento;
- Aplicar as técnicas em outras plantas;
- Melhorar os projetos dos controladores;
- Realizar varreduras paramétricas de todos os parâmetros do GANLPID (usando uma *cluster*);
- Montar um controle adaptativo com os controladores que apresentam as características almeçadas.

7.2 TRABALHO ACEITO PARA PUBLICAÇÃO

Os resultados obtidos neste trabalho geraram um artigo aceito em um congresso internacional:

- LUCAS, Ricardo; OLIVEIRA, Robson M.; NASCIMENTO, Claudinor B.; KASTER, Mauricio S. “*Performance Analysis of an Adaptive Gaussian Nonlinear PID Control Applied to a Step-down DC-DC Converter*”. IEEE International Symposium on Industrial Electronics (ISIE 2015). Buzios, RJ, Brazil, 2015.

Também foram aceitos trabalhos em seminários regionais:

- VENDRICHOSKI, Julio; ARAUJO, Helmut; LUCAS, Ricardo; KASTER, Mauricio S. *Estruturas de Controle Digital Usando DSP Builder*. Seminário de Eletrônica e Automação, 2014.
- ARAUJO, Helmut; VENDRICHOSKI, Julio; LUCAS, Ricardo; KASTER, Mauricio S. *Controle Digital PID Adaptativo Gaussiano Usando DSP Builder Aplicado a um Conversor Buck*. Seminário de Eletrônica e Automação, 2014.

- ARAUJO, Helmut; VENDRICHOSKI, Julio; LUCAS, Ricardo; KASTER, Mauricio S. *Estudo e Implementação de Estruturas de Controle Não Linear em Dispositivos FPGA Utilizando a Ferramenta DSP Builder*. XIX Seminário de Iniciação Científica (SICITE 2014), 2014.
- VENDRICHOSKI, Julio; ARAUJO, Helmut; LUCAS, Ricardo; KASTER, Mauricio S. *Implementação de Estruturas Matemáticas de Controle PID em Dispositivos FPGA Utilizando a Ferramenta DSP Builder*. XIX Seminário de Iniciação Científica (SICITE 2014), 2014.

7.3 AGRADECIMENTOS

O autor agradece à Fundação Araucária pelo suporte financeiro na forma de bolsa de estudos para o desenvolvimento dessa dissertação.

REFERÊNCIAS

- AGNOLETTI, L.; KASTER, M. dos S.; SILVA, S. A. O. da. Applying a nonlinear pid in a single-phase pll control. **IEEE International Conference on Power Electronics, Drives and Energy Systems**, p. 4, 2012.
- ASTRÖM, K. J.; HÄGGLUND, T. **PID Controllers**. 2^a. ed. [S.l.]: Instrument Society of America, 1995.
- BARBI, I. **Eletrônica de potência**. [S.l.: s.n.], 2006.
- CALDO, R. B.; YAP, R. Y. Design, development and implementation of a fuzzy logic controller for dc-dc buck and boost converter in an fpga. p. 73–78, 2013.
- CASTRUCCI, P. B. de L.; SALES, R. M. **Controle Digital**. [S.l.]: E. Blücher, 1990.
- CHAN, Y. F.; MOALLEM, M.; WANG, W. Design and implementation of modular fpga-based pid controllers. **Industrial Electronics, IEEE Transactions on**, IEEE, v. 54, n. 4, p. 1898–1906, 2007.
- CHEN, C.-T. **Linear System Theory and Design**. 3^a. ed. [S.l.]: The Oxford series in electrical and computer engineering, 1999.
- CORPORATION, L. S. **Interfacing Analog to Digital Converters to FPGAs**. Hillsboro, Oregon 97124 USA, 2007. Disponível em: <http://www.latticesemi.com/~media/Documents/WhitePapers/HM/InterfacingAnalogtoDigitalConverterstoFPGAs.PDF?document_id=26686>.
- DAGBAGI, M. et al. Fpga implementation of power electronic converter real-time model. In: IEEE. **Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM), 2012 International Symposium on**. [S.l.], 2012. p. 658–663.
- DORF, R. C. **Sistemas de controle modernos**. 11^a. ed. [S.l.]: LTC - Livros Técnicos e Científicos Editira Ltda, 2009.
- ESHTEHARDIHA, S. et al. Optimizing lqr and pole placement to control buck converter by genetic algorithm. In: IEEE. **Control, Automation and Systems, 2007. ICCAS'07. International Conference on**. [S.l.], 2007. p. 2195–2200.
- HASSAN, M. A.; YOUSSEF, A.; KADAH, Y. M. Modular fpga-based digital ultrasound beamforming. In: IEEE. **Biomedical Engineering (MECBME), 2011 1st Middle East Conference on**. [S.l.], 2011. p. 134–137.
- HU, S. et al. A new half-bridge winding compensation-based power conditioning system for electric railway with lqri. **Power Electronics, IEEE Transactions on**, IEEE, v. 29, n. 10, p. 5242–5256, 2014.
- INSTRUMENTS, T. Adc128s022 8-channel, 50 ksps to 200 ksps, 12-bit a/d converter. **SNAS334E datasheet, March**, 2013. Disponível em: <<http://www.ti.com/lit/ds/symlink/adc128s022.pdf>>.
- ISMAIL, R. R.; AHMAD, M.; RAMLI, M. Speed control of buck-converter driven dc motor using lqr and pi: A comparative assessment. In: IEEE. **Information Management and Engineering, 2009. ICIME'09. International Conference on**. [S.l.], 2009. p. 651–655.

KARANJKAR, D.; CHATTERJI, S.; KUMAR, A. Development of linear quadratic regular based pi controller for maximum power point tracking in solar photo-voltaic system. **IEEE RAECs UIET**, p. 6, 2014.

KASTER, M. S. **Controle de oscilações em sistemas comutados com aplicações em eletrônica de potência**. Tese (Doutorado) — Universidade Federal de Santa Catarina (UFSC) - Programa de Pós-graduação em Engenharia Elétrica (PPGEEL), Florianópolis, Brazil, September 2006.

KASTER, M. S. et al. Análise do uso de controle pid não linear aplicado a conversor buck. **Conferência brasileira de dinâmica, controle e aplicações**, v. 10^a, p. 4, 2011.

KEDJAR, B.; AL-HADDAD, K. Optimal control of a grid connected variable speed wind energy conversion system based on squirrel cage induction generator. In: IEEE. **IECON 2012-38th Annual Conference on IEEE Industrial Electronics Society**. [S.l.], 2012. p. 3560–3565.

KREIN, P. T. Digital control generations—digital controls for power electronics through the third generation. In: IEEE. **Power Electronics and Drive Systems, 2007. PEDS'07. 7th International Conference on**. [S.l.], 2007. p. P–1.

MA, J.; GAO, Z. Pole-placement for a class of singular system simultaneous stabilization. In: IEEE. **Control and Decision Conference (CCDC), 2011 Chinese**. [S.l.], 2011. p. 1656–1660.

MILANOVIC, M.; TRUNTIC, M.; SLIBAR, P. Fpga implementation of digital controller for dc-dc buck converter. In: IEEE. **System-on-Chip for Real-Time Applications, 2005. Proceedings. Fifth International Workshop on**. [S.l.], 2005. p. 439–443.

MIN, Y. Design of portable hearing aid based on fpga. In: IEEE. **Industrial Electronics and Applications, 2009. ICIEA 2009. 4th IEEE Conference on**. [S.l.], 2009. p. 1895–1898.

MOLAZADEH, V. et al. Design of the lqr controller and observer with fuzzy logic ga and ga-pso algorithm for triple an inverted pendulum and cart system. In: IEEE. **Advanced Mechatronic Systems (ICAMEchS), 2014 International Conference on**. [S.l.], 2014. p. 295–300.

MOREIRA, C. O. et al. Digital lqr control with kalman estimator for dc-dc buck converter. In: IEEE. **EUROCON-International Conference on Computer as a Tool (EUROCON), 2011 IEEE**. [S.l.], 2011. p. 1–4.

OGATA, K. **Engenharia de controle moderno**. 5^a. ed. [S.l.]: Pearson Education do Brasil, 2010.

PATELLA, B. J. et al. High-frequency digital pwm controller ic for dc-dc converters. **Power Electronics, IEEE Transactions on**, IEEE, v. 18, n. 1, p. 438–446, 2003.

PEDROSO, M. D. et al. Performance comparison between nonlinear and linear controllers with weighted adaptive control applied to a buck converter using poles placement design. **IEEE INTERNATIONAL SYMPOSIUM ON INDUSTRIAL ELECTRONICS**, v. 22, 2013.

POMILIO, J. A. **Fontes Chaveadas**. <http://www.dsce.fee.unicamp.br/antenor/fontchav.html>: FEEC, 2007. 95 p.

SAJEESH, K. Digital controller implementation for non-inverting buck-boost converter using run-time partial reconfiguration of fpga. **Proc. IEEE-IICPE**, p. 1–6, 2012.

SANIIE, J.; ORUKLU, E. Introduction to the special issue on novel embedded systems for ultrasonic imaging and signal processing. **Ultrasonics, Ferroelectrics, and Frequency Control, IEEE Transactions on**, IEEE, v. 59, n. 7, p. 1329–1331, 2012.

SILVA, C. P. da. Otimização de controlador lqr para conversor buck usando algoritmos genéticos. **Inteligência Computacional Aplicada**, 2010.

THANGAVELU, A. et al. Novel fpga based controller design platform for dc-dc buck converter using hdl co-simulator and xilinx system generator. In: IEEE. **Industrial Electronics and Applications (ISIEA), 2012 IEEE Symposium on**. [S.l.], 2012. p. 270–274.

VIDAL-IDIARTE, E. et al. Sliding and fuzzy control of a boost converter using an 8-bit microcontroller. **IEE Proceedings-Electric Power Applications**, IET, v. 151, n. 1, p. 5–11, 2004.

XU, F. xia et al. Design of u-model based pole placement pid controller for smooth nonlinear plants. **IEEE Chinese Control Conference**, p. 1905–1910, 2014.

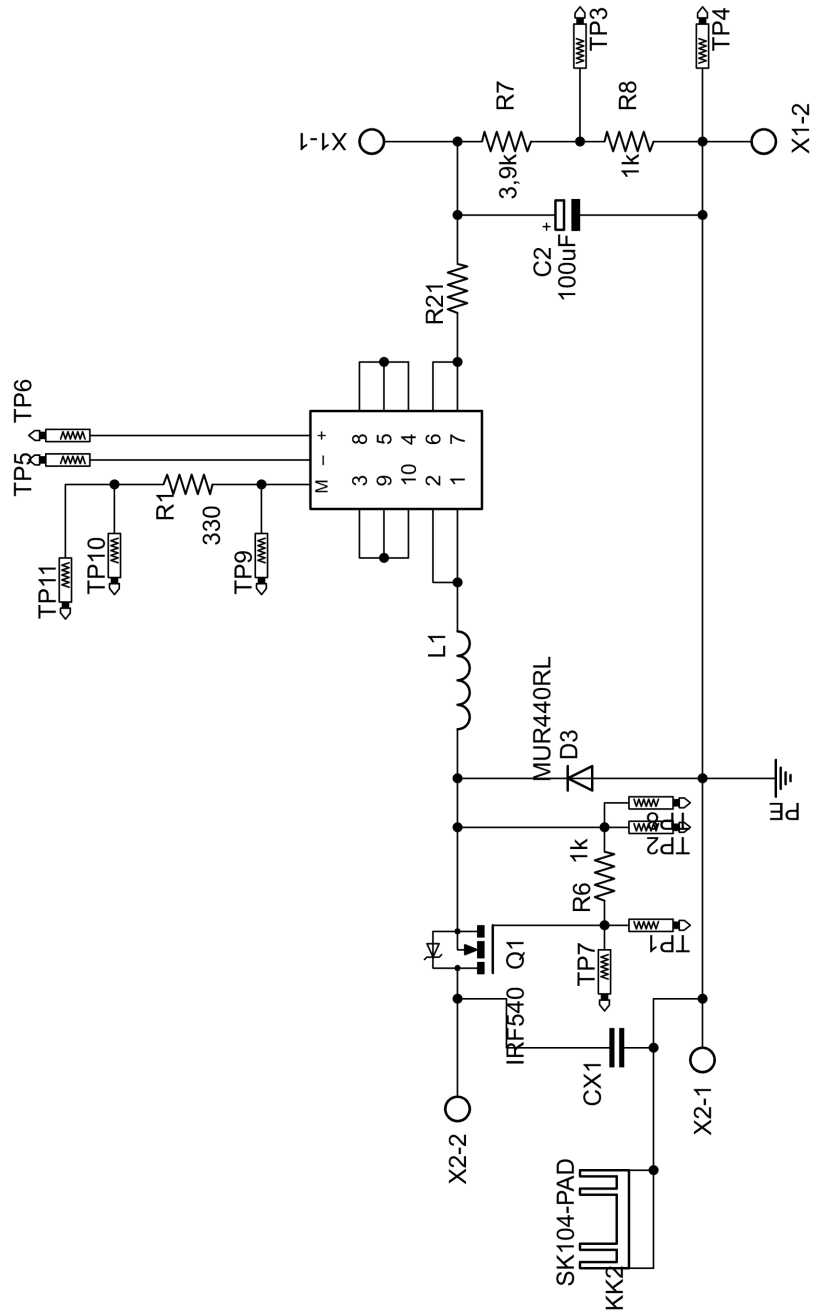
XU, J.-p.; QIN, M. Multi-pulse train control technique for buck converter in discontinuous conduction mode. **Power Electronics, IET**, IET, v. 3, n. 3, p. 391–399, 2010.

YANG, L.; PARK, J.; HUANG, A. Q. An adaptive external ramp control of the peak current controlled buck converters for high control bandwidth and wide operation range. In: IEEE. **Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE**. [S.l.], 2010. p. 2181–2188.

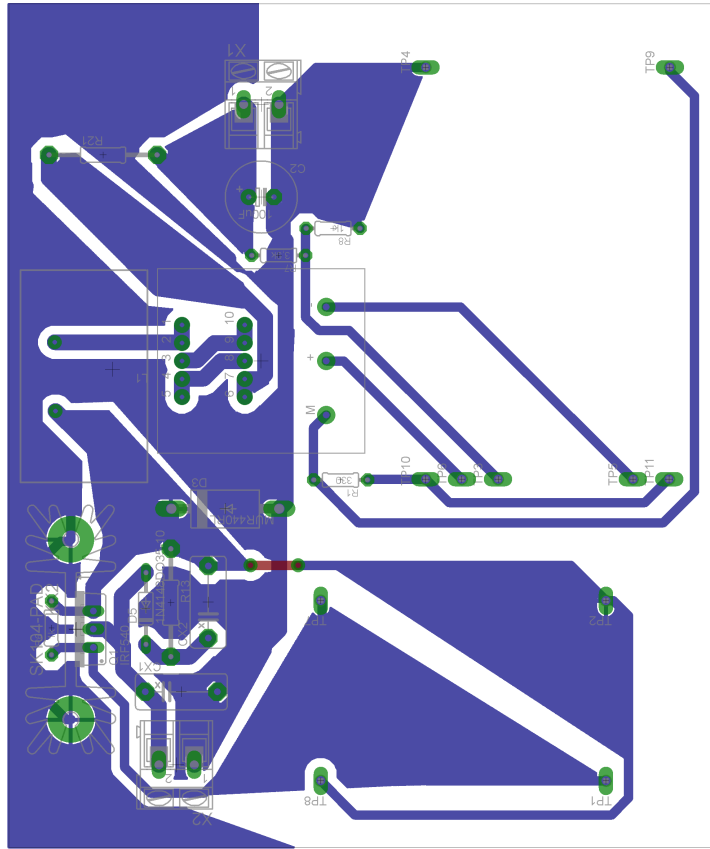
APÊNDICE A – DIAGRAMAS ESQUEMÁTICOS

CONVERSOR BUCK

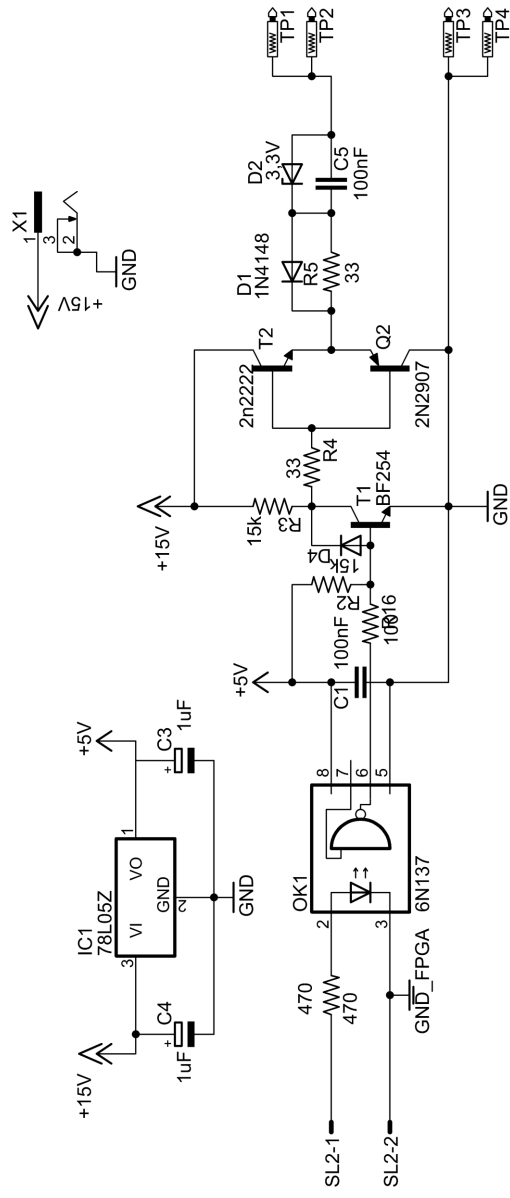
Esquemático da Etapa De Potência



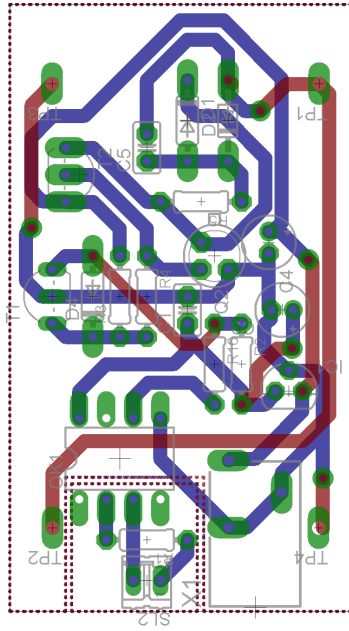
Layout da Etapa De Potência



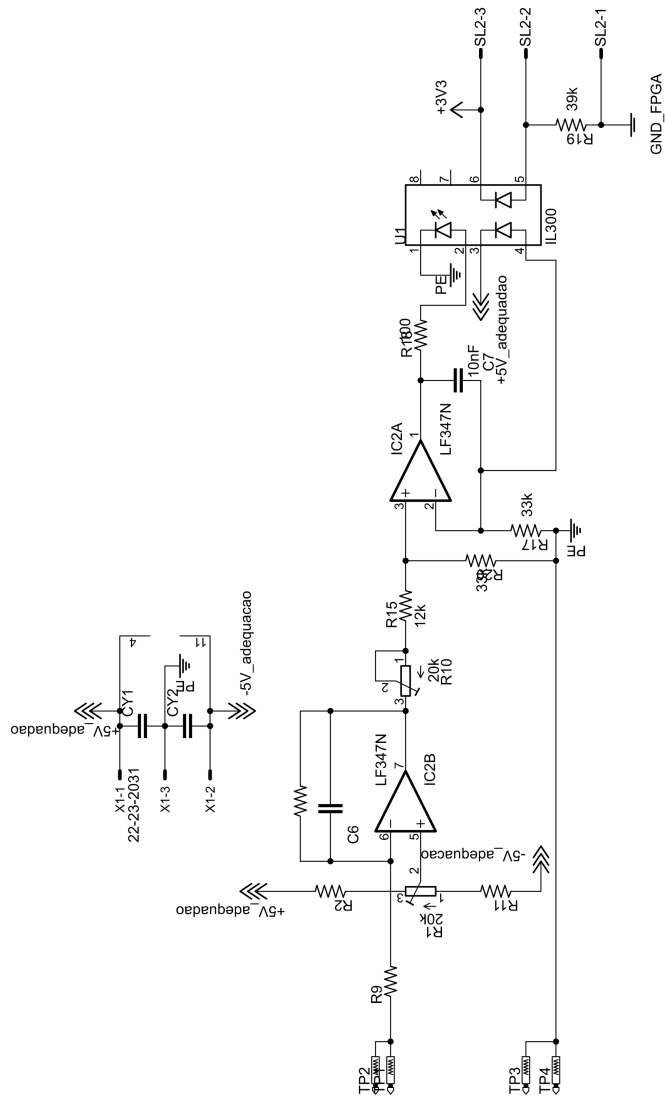
Esquemático Circuito de Acionamento



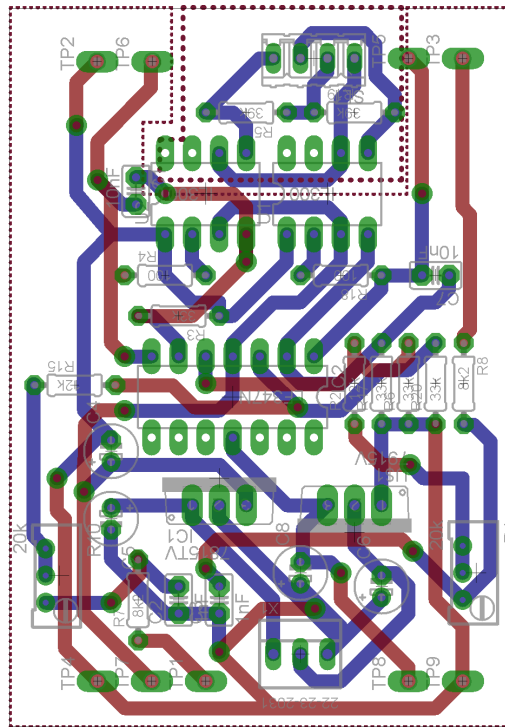
Layout Circuito de Acionamento



Esquemático Circuito de Condicionamento



Layout Circuito de Condicionamento



Dados do Conversor

Grandeza	Símbolo	Valor
Capacitor	C	100 μF
Varição tensão no capacitor	$\Delta V_c\%$	10%
Resistência do capacitor	R_c	0,2 Ω
Indutor	L	2,54 mH
Varição corrente no indutor	$\Delta I_L\%$	10%
Resistência do indutor	R_L	0,81 Ω
Resistência série da chave	R_{on}	0,55 Ω
Queda de tensão diodo	V_d	1 V
Frequência de comutação	f	50 kHz
Tensão de alimentação	V_i	50 V
Tensão de saída	V_o	20 V

Quadro 2 – Parâmetros de projeto do conversor Buck.

Fonte: Fonte: Autoria própria.