

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ

**HELDER MARIANO RODYCZ
STEFANY HUENDY TEODORO**

**ANÁLISE E PROJETO DE PLLS MONOFÁSICOS PARA INTERLIGAÇÃO DE
INVERSORES À REDE ELÉTRICA**

PONTA GROSSA

2022

**HELDER MARIANO RODYCZ
STEFANY HUENDY TEODORO**

**ANÁLISE E PROJETO DE PLLS MONOFÁSICOS PARA INTERLIGAÇÃO DE
INVERSORES À REDE ELÉTRICA**

Analysis and design of single-phase PLLs for grid-tie inverters

Trabalho de conclusão de curso de graduação apresentado como requisito para obtenção do título de Bacharel em Engenharia Elétrica da Universidade Tecnológica Federal do Paraná (UTFPR).

Orientador: Prof. Dr. Eloi Agostini Junior

PONTA GROSSA

2022



[4.0 Internacional](https://creativecommons.org/licenses/by-nc-nd/4.0/)

Esta licença permite download e compartilhamento do trabalho desde que sejam atribuídos créditos ao(s) autor(es), sem a possibilidade de alterá-lo ou utilizá-lo para fins comerciais. Conteúdos elaborados por terceiros, citados e referenciados nesta obra não são cobertos pela licença.

**HELDER MARIANO RODYCZ
STEFANY HUENDY TEODORO**

**ANÁLISE E PROJETO DE PLLS MONOFÁSICOS PARA INTERLIGAÇÃO DE
INVERSORES À REDE ELÉTRICA**

Trabalho de conclusão de curso de graduação
apresentado como requisito para obtenção do título
de Bacharel em Engenharia Elétrica da Universidade
Tecnológica Federal do Paraná (UTFPR).

Data de aprovação: 10/maio/2022

Eloi Agostini junior
Doutorado
Universidade Tecnológica Federal do Paraná

Clauditor Bitencourt Nascimento
Doutorado
Universidade Tecnológica Federal do Paraná

Fernanda Cristina Correa
Doutorado
Universidade Tecnológica Federal do Paraná

**PONTA GROSSA
2022**

RESUMO

Esse trabalho trata da análise de cinco PLLs monofásicos tendo em comum um Bloco Básico de construção. O Bloco Básico, o PLL com Filtro Passa Baixa, o PLL com Filtro Notch, o PLL com Filtro de Média Móvel e o PLL com Detector de Fase Modificado são estudados com detalhes de funcionamento, análise matemática e metodologia de projeto simplificada que visa embasar estudos relacionados aos blocos com funções principais de um inversor de tensão, mas que precisam da função auxiliar de um PLL para adquirir uma referência sem distorções da rede elétrica. Também são apresentadas simulações numéricas que comprovam a eficiência da metodologia apresentada.

Palavras-chave: PLL; bloco básico; filtro passa baixa; filtro Notch; filtro de média móvel; detector de fase modificado.

ABSTRACT

This work deals with the analysis of five single-phase PLLs that have a Basic Building Block in common. The Basic Block, PLL with Low Pass Filter, PLL with Notch Filter, PLL with Moving Average Filter and PLL with Modified Mixer Phase Detection are studied with details of operation, mathematical analysis and simplified design methodology that aims to support studies related to blocks with main functions of a voltage inverter, but they need the auxiliary function of a PLL to acquire a reference without distortions from the electrical network. Numerical simulations are also presented that prove the efficiency of the presented methodology.

Keywords: PLL; basic block; low pass filter; Notch filter; moving average filter; modified mixer phase detection.

LISTA DE ILUSTRAÇÕES

Figura 001 - Circuito conceitual de um PLL	12
Figura 002 - Ilustração das faixas de operação de um PLL	16
Figura 003 - Limites de variação de frequência para períodos transitórios, pós-transitórios e regime permanente no sistema elétrico brasileiro	18
Figura 004 - Bloco básico que constituirá a base de estudo deste trabalho	20
Figura 005 - Modelo Médio Linearizado para o Bloco Básico	23
Figura 006 - Modelo Médio Linearizado Simplificado	23
Figura 007 - Arquitetura padrão fornecida pelo SISO Tool	24
Figura 008 - Resposta ao degrau para controlador unitário	25
Figura 009 - Resposta ao degrau para controlador com ação puramente integral	26
Figura 010 - Resposta ao degrau para controlador proporcional-integral	26
Figura 011 - Gráfico do Lugar das Raízes para controlador proporcional-integral	27
Figura 012 - Gráfico de Bode para controlador proporcional-integral	28
Figura 013 - Representação da saída do controlador PI com a perturbação do Detector de Fase	29
Figura 014 - Gráfico do lugar das raízes para o projeto 01	30
Figura 015 - Resposta ao degrau para o projeto 01	30
Figura 016 - Gráfico de Bode para o projeto 01	31
Figura 017 - Gráfico do lugar das raízes para o projeto 02	32
Figura 018 - Gráfico de Bode para o projeto 02	32
Figura 019 - Resposta ao degrau para o projeto 02	33
Figura 020 - gráfico do lugar das raízes para o projeto 03	34
Figura 021 - Diagrama de Bode para o projeto 03	34
Figura 022 - Resposta ao degrau para o projeto 03	35
Figura 023 - gráfico do lugar das raízes para o projeto 04	36
Figura 024 - Diagrama de Bode para o projeto 04	36
Figura 025 - Resposta ao degrau para o projeto 04	37
Figura 026 - Circuito do Bloco Básico do PLL no PSIM®	38
Figura 027 - Simulação numérica para o projeto 01 sem utilizar o bloco limitador	39
Figura 028 - Simulação numérica para o projeto 01 utilizando o circuito completo	40
Figura 029 - Simulação numérica para a saída do controlador sem utilizar o limitador	41
Figura 030- Simulação numérica para a saída do controlador utilizando o circuito completo	41
Figura 031- Resultados da simulação numérica para o projeto 02	42
Figura 032- Resultados da simulação numérica para o projeto 03	43

Figura 033- Resultados da simulação numérica para o projeto 04	44
Figura 034- Sinal de entrada com TDH de 40%	46
Figura 035- Resultados da simulação numérica para o projeto 01	46
Figura 036- Resultados da simulação numérica para o projeto 02	47
Figura 037- Resultados da simulação numérica para o projeto 03	47
Figura 038- Resultados da simulação numérica para o projeto 04	48
Figura 039 - PLL com Filtro Passa Baixa (FPB) que será estudado na sequência	50
Figura 040 - Modelo Médio Linearizado para o PLL com Filtro Passa Baixa	51
Figura 041 - Modelo Médio Linearizado simplificado para o PLL com Filtro Passa Baixa	51
Figura 042 - gráfico do lugar das raízes para o PLL	53
Figura 043 - Destaque do gráfico do lugar das raízes da figura 42	53
Figura 044 - gráfico do lugar das raízes para o projeto 05	55
Figura 045 - Resposta ao degrau para o projeto 05	55
Figura 046 - Diagrama de Bode para o projeto 05	56
Figura 047 - gráfico do lugar das raízes para o projeto 06	57
Figura 048 - Diagrama de Bode para o projeto 06	57
Figura 049 - Resposta ao degrau para o projeto 06	58
Figura 050 - gráfico do lugar das raízes para o projeto 13	60
Figura 051 - gráfico do lugar das raízes para o projeto 14	61
Figura 052 - Resposta ao degrau para o projeto 13	61
Figura 053 - Diagrama de Bode para o projeto 13	62
Figura 054 - Diagrama de Bode para o projeto 14	63
Figura 055 - Resposta ao degrau para o projeto 14	63
Figura 056 - Circuito do PLL com Filtro Passa Baixa no PSIM®	64
Figura 057 - Diferença entre a saída do Filtro Passa Baixa (FPB) e o sinal de erro do Detector de Fase (PD) para o projeto 06	65
Figura 058 - Diferença entre a saída do Filtro Passa Baixa (FPB) e o sinal de erro do Detector de Fase (PD) para o projeto 10	65
Figura 059 - Diferença entre a saída do Filtro Passa Baixa (FPB) e o sinal de erro do Detector de Fase (PD) para o projeto 14	66
Figura 060 - Resultados da simulação numérica para o projeto 05	67
Figura 061 - Resultados da simulação numérica para o projeto 06	68
Figura 062 - Resultados da simulação numérica para o projeto 07	69
Figura 063 - Resultados da simulação numérica para o projeto 08	70
Figura 064 - Resultados da simulação numérica para o projeto 09	71
Figura 065 - Resultados da simulação numérica para o projeto 10	72
Figura 066 - Resultados da simulação numérica para o projeto 11	73
Figura 067 - Resultados da simulação numérica para o projeto 12	74
Figura 068 - Resultados da simulação numérica para o projeto 13	75
Figura 069 - Resultados da simulação numérica para o projeto 14	76

Figura 070 - Resultados da simulação numérica para o projeto 15	77
Figura 071 - Resultados da simulação numérica para o projeto 16	78
Figura 072- Resultados da simulação numérica para o projeto 05	80
Figura 073- Resultados da simulação numérica para o projeto 10	80
Figura 074- Resultados da simulação numérica para o projeto 15	81
Figura 075 - PLL com Filtro Notch	87
Figura 076- Modelo Médio Linearizado para Filtro Notch	88
Figura 077 - Modelo Médio Linearizado Simplificado para PLL com Filtro Notch	88
Figura 078 - Diagrama de Bode	90
Figura 079- Mapa do local das raízes	91
Figura 080 - Resposta ao degrau na NF1	91
Figura 081 - Resposta a Amplitude e Frequência com estabilidade em 4s	92
Figura 082 - Diagrama de Bode	93
Figura 083 - Mapa do local das raízes	94
Figura 084 - Resposta ao degrau na NF2	94
Figura 085- Resposta a Amplitude e Frequência com estabilidade em 3s	95
Figura 086 - Diagrama de Bode	96
Figura 087 - Mapa do local das raízes	96
Figura 088 - Resposta ao degrau de NF3	97
Figura 089 - Resposta a Amplitude e Frequência com estabilidade em 3s	97
Figura 090 - Circuito do PLL com Filtro Notch no PSIM	98
Figura 091 - Simulação do rastreamento do projeto 18	99
Figura 092 - Simulação do rastreamento do projeto 22	100
Figura 093 - Simulação do rastreamento do projeto 26	100
Figura 094 - Resultado da simulação numérica para o projeto 18	101
Figura 095 - Resultado da simulação numérica para o projeto 22	102
Figura 096 - Resultado da simulação numérica para o projeto 24	103
Figura 097 - PLL com Filtro de Média Móvel que será estudado na sequência 106	106
Figura 098 - Comandos utilizados para efetuar a aproximação de Padé	107
Figura 099 - Modelo Médio Linearizado simplificado para o PLL com Filtro de Média Móvel	107
Figura 100 - Gráfico do lugar das raízes para o PLL	109
Figura 101 - Destaque do gráfico do lugar das raízes da figura 100	109
Figura 102 - Circuito do PLL com filtro de média móvel no PSIM®	111
Figura 103 - Resultados da simulação numérica para o projeto 27	112
Figura 104 - Resultados da simulação numérica para o projeto 28	113
Figura 105 - Resultados da simulação numérica para o projeto 29	114
Figura 106 - Resultados da simulação numérica para o projeto 30	115
Figura 107 - Diferença entre a saída do Filtro de Média Móvel e o sinal de erro do Detector de Fase (PD) para o projeto 30	116

Figura 108- Resultados da simulação numérica para o projeto 27	117
Figura 109 - Resultados da simulação numérica para o projeto 28	117
Figura 110 - Resultados da simulação numérica para o projeto 29	118
Figura 111 - Resultados da simulação numérica para o projeto 30	118
Figura 112 - Modified mixer phase detection - PLL	120
Figura 113 - Modelo Médio Linearizado para o MMPD	122
Figura 114 - Modelo Médio Linearizado simplificado do MMPD	122
Figura 115 - Circuito do PLL com detector de fase modificado no PSIM®	124
Figura 116 - Resultados da simulação numérica para o projeto 31	125
Figura 117 - Resultados da simulação numérica para o projeto 32	126
Figura 118 - Resultados da simulação numérica para o projeto 33	127
Figura 119 - Resultados da simulação numérica para o projeto 34	128
Figura 120 - Resultados da simulação numérica para o projeto 31	129
Figura 121 - Resultados da simulação numérica para o projeto 32	130
Figura 122 - Resultados da simulação numérica para o projeto 33	130
Figura 123 - Resultados da simulação numérica para o projeto 34	131
Quadro 01 – Limites das distorções harmônicas totais (em % da tensão fundamental).	19
Quadro 02 – Parâmetros de entrada do Control System Designer	24
Quadro 03 - Síntese dos projetos efetuados com suas características	37
Quadro 04 - Resultados encontrados na simulação numérica para os projetos	45
Quadro 05 - Comparação de desempenho de projetos	49
Quadro 06 – Parâmetros de entrada do SISO tool	52
Quadro 07 – Atenuações geradas pelos Filtros Passa Baixa	54
Quadro 08 - Síntese dos projetos efetuados com suas respectivas características	59
Quadro 09 – Atenuações geradas pelos Filtros Passa Baixa	66
Quadro 10 - Resultados encontrados na simulação numérica para os PLLs	79
Quadro 11 - Comparação de projetos com frequência de corte igual a 120 Hz	82
Quadro 12 - Comparação de projetos com frequência de corte igual a 75 Hz	82
Quadro 13 - Comparação de projetos com frequência de corte igual a 25 Hz	83
Quadro 14 - Comparação de projetos com diretriz de tempo de estabilização igual a 0,100 s	84
Quadro 15 - Comparação de projetos com diretriz de perturbação máxima igual a 3,5 Hz	84
Quadro 16 - Comparação de projetos com diretriz de perturbação máxima igual a 0,5 Hz	84

Quadro 17 - Comparação de projetos com diretriz de perturbação máxima igual a 0,1 Hz	85
Quadro 18 - Comparação de projetos com e sem injeção de harmônicos no sinal de entrada	86
Quadro 19 - Parâmetros de entrada do SISO Tool	89
Quadro 20 - Parâmetros de entrada	89
Quadro 21 - Síntese dos projetos efetuados com suas respectivas características	93
Quadro 22 - Síntese dos projetos efetuados com suas respectivas características	95
Quadro 23 - Síntese dos projetos efetuados com suas respectivas características	98
Quadro 24 - Atenuação gerada pelo Filtro Notch	99
Quadro 25 - Comparação de projetos com igual a 0,707	104
Quadro 26 - Comparação de projetos com igual a 1	104
Quadro 27 - Comparação de projetos com igual a 1,707	104
Quadro 28 - Parâmetros de entrada do SISO tool	108
Quadro 29 - Síntese dos projetos efetuados com suas respectivas características	110
Quadro 30 - Resultados encontrados na simulação numérica para os PLLs	116
Quadro 31 - Comparação de desempenho de projetos	119
Quadro 32 - Parâmetros de entrada do Control System Designer para o MMPD	122
Quadro 33 - Síntese dos projetos efetuados com suas respectivas características	123
Quadro 34 - Resultados encontrados na simulação numérica para os PLLs	129
Quadro 35 - Comparação de desempenho de projetos	132
Quadro 36 - Comparação de desempenho de projetos	133

SUMÁRIO

1. INTRODUÇÃO	11
2. FUNCIONAMENTO DO PLL	15
3. BLOCO BÁSICO	20
3.1 Descrição	20
3.2 Funcionamento	21
3.3 Análise Matemática	22
3.4 Metodologia de projeto	24
3.5 Simulação numérica	38
3.6 Análise de resultados	48
4. PLL COM FILTRO PASSA BAIXA	50
4.1 Funcionamento	50
4.2 Análise matemática	50
4.3 Metodologia de projeto	52
4.4 Simulação numérica	63
4.5 Análise de resultados	81
5. FILTRO NOTCH (NF-PLLs)	87
5.1 Funcionamento	87
5.2 Análise matemática	88
5.3 Metodologia de projeto	89
5.4 Simulação numérica	98
5.5 Análise de resultados	103
6. PLL COM FILTRO DE MÉDIA MÓVEL	106
6.1 Funcionamento	106
6.2 Análise matemática	107
6.3 Metodologia de projeto	108
6.4 Simulação numérica	110
6.5 Análise de resultados	118
7. PLL COM DETECTOR DE FASE MODIFICADO	120
7.1 Funcionamento	120
7.2 Análise matemática	121
7.3 Metodologia de projeto	123
7.4 Simulação numérica	124
7.5 Análise de resultados	131
8 ANÁLISE DE RESULTADOS	133
9 CONCLUSÃO	135
REFERÊNCIAS BIBLIOGRÁFICAS	138

1 INTRODUÇÃO

A pesquisa em Eletrônica de Potência no Brasil vem crescendo exponencialmente desde sua chegada. Muitos trabalhos são publicados e apresentados em revistas e congressos internacionais, tornando o país uma referência de potencial de desenvolvimento nessa área tão importante no processamento de energia. Com a maior pesquisa na área, cresceu também a complexidade dos circuitos estudados e com isso surgiu a necessidade de trabalhar os conversores em formato de blocos, sendo que alguns blocos, principalmente de processamento de energia, ganham mais ênfase de pesquisa, com uma metodologia e escopos bem definidos; e os demais blocos, com funções auxiliares, acabam por ter sua pesquisa pulverizada, com muita informação dispersa.

Um dos blocos auxiliares que não possui uma estrutura de implementação definida é chamado Malha de Sincronismo de Fase, popularmente conhecido pela sua sigla na língua inglesa “PLL”, que significa *Phase Locked Loop*. Sendo o responsável por fornecer a referência de um sinal senoidal sem distorções. Quando se processa energia com a intenção de injetá-la na rede, o inversor de tensão e a rede elétrica devem trabalhar em sincronia, já que a defasagem entre a tensão da rede e a corrente do inversor pode injetar energia reativa no sistema. Tendo a referência do comportamento da frequência e fase da tensão da rede elétrica, a injeção de corrente elétrica no sistema torna-se objeto de controle, sendo possível trabalhar em paralelismo ou até confeccionar filtros ativos de correção de fator de potência.

A pesquisa inicial de PLLs surgiu com o estudo da Eletrônica Analógica, utilizado principalmente na modulação e demodulação de frequências e em sintonizadores de rádio. Como a pesquisa da Eletrônica de Potência se serviu desses estudos iniciais para montar seu bloco auxiliar, muitos dos conceitos e nomenclaturas migraram da Eletrônica Clássica, mesmo sendo processados atualmente em meio digital.

Segundo Gardner (1979, p. 2-4), os primeiros PLLs começaram a ser estudados em 1932, mas desde a década de 1920 já existia a necessidade de encontrar técnicas mais simples para o processamento de frequências. Seu estudo, porém, ganhou maior intensidade com a corrida espacial da metade do século XX, já

que uma de suas aplicações mais importantes é na recepção de sinais muito fracos de espaçonaves distantes. Sendo impulsionado pelas telecomunicações, os PLLs foram usados em aparelhos de TV, rádio e na recuperação de sinais distorcidos pelo efeito Doppler, ganhando cada vez mais qualidade e diminuindo ruídos no processamento analógico de sinais.

O conceito básico de um PLL funciona através de três blocos¹. O primeiro é o Detector de Fase, *Phase Detector* (PD) em inglês, responsável por adquirir a amostra do sinal de entrada, comparar sua fase com o sinal de saída e fornecer um sinal de erro. Controlador é o segundo bloco, citado como *Loop Filter* (LF) na literatura clássica, ele trará a correção necessária à saída do PLL baseado no sinal de erro gerado pelo primeiro bloco. E o terceiro bloco é conhecido como VCO, *Voltage-Controlled Oscillator*, que tem como tradução livre “Oscilador Controlado por Tensão”, o que traz a memória dos termos clássicos da eletrônica analógica que utilizavam uma tensão elétrica como referência para o oscilador. Esse bloco será chamado apenas de Oscilador no decorrer do trabalho e terá a função de gerar uma onda senoidal baseado na informação de velocidade angular fornecido pelo Controlador, originando o sinal de saída. A figura 001 apresenta o circuito conceitual representado pelos três blocos.

Figura 001 - Circuito conceitual de um PLL



Fonte: Autoria própria (2022)

Outros conceitos importantes que têm sua origem na eletrônica clássica são o Rastreamento e o Travamento², encontrados na literatura como *Tracking e Lockup*, respectivamente.

Valendo-se das informações apresentadas, esse trabalho tem por objetivos: concentrar informações sobre Malhas de Sincronismo de Fase (PLL) que se encontram pulverizadas na literatura, principalmente àquelas relativas à Eletrônica

¹ Gardner (1979, p. 1-2)

² Gardner (1979, p. 43)

de Potência; apresentar uma metodologia simplificada para o projeto de PLLs implementados em meio digital; e criar um conteúdo de referência para que pesquisadores mantenham seu foco de estudos em blocos de controle e processamento de energia, evitando esforços no desenvolvimento de um bloco de função auxiliar.

Para que esse resultado seja alcançado, os pontos que nortearão o estudo são:

- Demonstrar a capacidade de um PLL sincronizar seu sinal de saída com a frequência fundamental do sinal de entrada mesmo que este apresente distorções harmônicas;
- Apresentar o funcionamento de circuitos PLLs, desde o básico até alternativas que visam minimizar o efeito do termo alternado do Detector de Fase (PD), modelando seus blocos fundamentais;
 - Efetuar a análise matemática dos mesmos;
 - Apresentar uma metodologia de projeto simplificada;
 - Medir seu desempenho através de simulações numéricas, tendo as métricas de tempo de rastreamento e taxa de distorção harmônica total;
- Discutir quais são os benefícios que os circuitos alternativos podem trazer, para auxiliar na tomada de decisões no momento da escolha do diagrama em blocos.

Julga-se necessário contribuir no estudo de blocos auxiliares para que os esforços de novos pesquisadores na área de processamento de energia possam convergir para o ponto central de seu objeto de estudo, estimulando assim a busca por novas soluções e impulsionando a ação de pesquisa, principalmente dentro das universidades brasileiras.

O presente trabalho está dividido em cinco partes, onde cada uma delas traz o funcionamento, a análise matemática, a metodologia de projeto simplificada, as simulações numéricas e a análise de resultados para cada configuração de PLL, a saber: Bloco Básico, PLL com Filtro Passa Baixa, PLL com Filtro Notch, PLL com Filtro de Média Móvel e PLL com Detector de Fase Modificado³. Para o projeto dos PLLs utilizou-se o *software* MATLAB®, da MathWorks e para a simulação numérica utilizou-se o PSIM®, da Powersim.

³ (Golestan, Guerrero e Vasquez, p. 9014-9015)

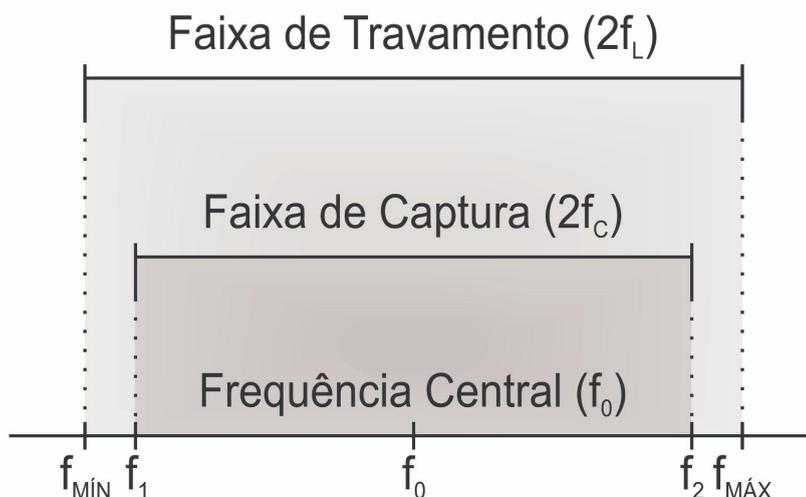
Como se busca um método simplificado de projeto, foi utilizado também o *Control System Designer* do MATLAB®, na definição dos parâmetros de controle e o escopo do trabalho foi limitado ao Bloco Básico, acrescidos de novos componentes, para a confecção do PLL.

2. FUNCIONAMENTO DO PLL

Dado que o PLL é utilizado para acompanhar um sinal de referência, é natural imaginar haver limites para sua atuação. Quando se inicia um circuito, existe a necessidade do Detector de Fase (PD) rastrear o sinal de entrada, identificando sua frequência e levando a saída a buscar um emparelhamento de sinais. Quando o sinal de saída entra em sincronismo com o sinal de entrada, diz-se que ocorreu o travamento entre os sinais. Logo, encontram-se duas faixas de operação no PLL: uma Faixa de Rastreamento, também conhecida como Faixa de Captura, onde o detector de fase consegue acompanhar o sinal de entrada e atualizar a saída antes de um novo ciclo; e uma Faixa de Travamento, maior ou igual que a anterior, onde já ocorreu o sincronismo entre fases.

Portanto, o limite de operação de um PLL é inicialmente a Faixa de Captura e após ocorrer o emparelhamento o novo limite se torna a Faixa de Travamento. Esse bloco deixará de executar sua função sempre que a frequência do sinal de entrada: i) não corresponder à Faixa de Captura; ii) exceder a Faixa de Captura antes que ocorra o Travamento; ou iii) exceder a Faixa de Travamento. Sendo que a frequência natural é a frequência de vibração livre e possui forma, composição e tamanho particular e serve como de frequência de base guia. Na figura 002 são ilustradas as Faixas de Captura e de Travamento de um PLL que podem ser encontradas na literatura e catálogos de circuitos integrados como Frequency Capture Range ($2f_c$) e Frequency Lock Range ($2f_l$), respectivamente. Para evitar que o PLL perca o travamento, opera-se com uma frequência de entrada próxima à frequência central do PLL, obedecendo uma estreita faixa de travamento.

Figura 002 - Ilustração das faixas de operação de um PLL



Fonte: Autoria própria (2022)

O princípio matemático que norteia o funcionamento do Detector de Fase (PD) é a multiplicação entre dois senos. O resultado dessa multiplicação resulta em dois termos: um proporcional à diferença entre as fases e outro alternado com o dobro da frequência fundamental. A equação (01) traz a identidade trigonométrica que embasa esse raciocínio.

$$\text{sen}(\omega t + \theta_1) \times \text{sen}(\omega t + \theta_2) = \frac{1}{2} [\cos(\theta_1 - \theta_2) - \cos(2\omega t + \theta_1 + \theta_2)] \quad (01)$$

Como se busca um sinal de saída em fase com o sinal de entrada, é interessante se valer da igualdade $\cos(x) = \text{sen}(x + 90^\circ)$. Desse modo, chega-se à equação (02).

$$\text{sen}(\omega t + \theta_1) \times \text{sen}(\omega t + \theta_2) = \frac{1}{2} [\text{sen}(\theta_1 - \theta_2 + 90^\circ) - \text{sen}(2\omega t + \theta_1 + \theta_2 + 90^\circ)] \quad (02)$$

Como pode-se observar, a equação resultante apresenta os dois termos citados anteriormente, um termo proporcional e outro alternado. A defasagem de 90° pode ser facilmente retirada da equação ao inserir um sinal em quadratura como referência para o Detector de Fase (PD). Como consequência, o Oscilador (VCO) deverá apresentar duas saídas: uma em fase com o sinal de entrada, que fornecerá o sinal de saída; e outra em quadratura com a mesma, que realimentará o Detector

de Fase (PD), ou seja, uma função senoidal e outra cossenoidal, já que $\text{sen}(x) = \text{cos}(x - 90^\circ)$.

Sendo assim, tem-se que a identidade trigonométrica mais apropriada para representar o Detector de Fase (PD) é a multiplicação entre seno e cosseno, apresentada na equação (03).

$$\text{sen}(\omega t + \theta_1) \times \text{cos}(\omega t + \theta_2) = \frac{1}{2} [\text{sen}(2\omega t + \theta_1 + \theta_2) + \text{sen}(\theta_1 - \theta_2)] \quad (03)$$

Valendo-se dessa identidade e utilizando θ_{REF} como a fase do sinal de entrada e θ_{PLL} como a fase do sinal de saída para os parâmetros do PLL chega-se à equação (04).

$$\text{sen}(\omega t + \theta_{REF}) \times \text{cos}(\omega t + \theta_{PLL}) = \frac{1}{2} [\text{sen}(2\omega t + \theta_{REF} + \theta_{PLL}) + \text{sen}(\theta_{REF} - \theta_{PLL})] \quad (04)$$

Um dos desafios em se projetar um PLL é utilizar o termo proporcional como sinal de erro, amplificando-o e processando-o no Controlador (LF), enquanto se rejeita o termo alternado, uma vez visto que quando é injetado causa perturbações no Controlador (LF) resultando em distorções no sinal de saída.

Muitas normas e diretrizes orientam boas práticas e regras para projetos, execução e operação de circuitos elétricos e determinadas instituições atuam como referência. Em um âmbito mundial, pode-se citar o *Institute of Electrical and Electronics Engineers*, IEEE, Instituto de Engenheiros Eletricistas e em Eletrônica (tradução livre). Já no âmbito nacional, tem-se a Agência Nacional de Energia Elétrica, ANEEL.

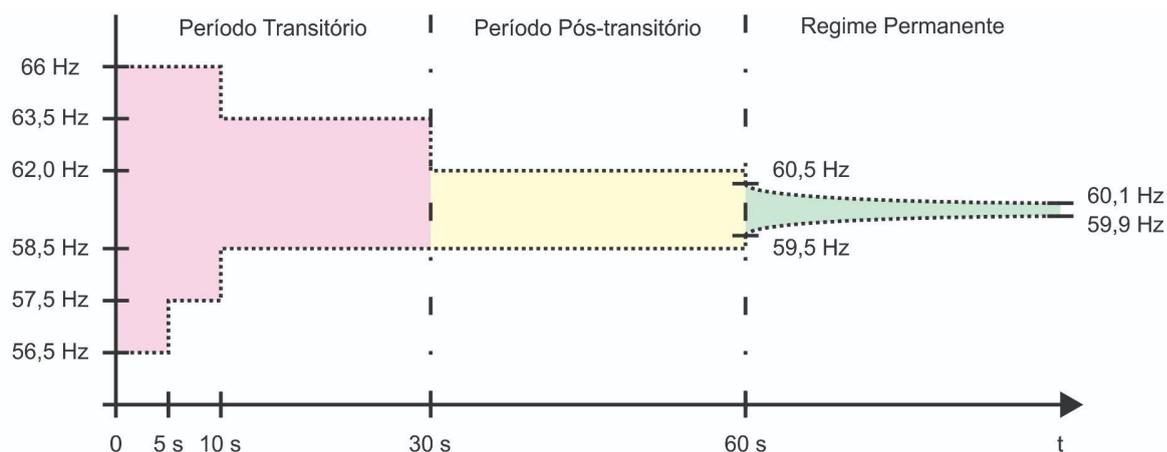
Como o objetivo principal do PLL na Eletrônica de Potência é operar como uma referência da rede elétrica, deve-se observar os procedimentos relativos à qualidade da energia elétrica. A ANEEL publicou os Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional – PRODIST, que em seu Módulo 8⁴ destacam-se diretrizes para a variação de frequência e as distorções harmônicas.

Os limites de frequência obedecem a três situações distintas: períodos transitórios, quando há corte de geração ou de carga para permitir a recuperação do equilíbrio carga-geração; períodos pós-transitórios, no intervalo de tempo de 30

⁴ (Agência Nacional de Energia Elétrica, p. 8-13)

segundos após a transgressão; e em regime permanente, onde ocorrem as condições normais de operação. Para cada situação existem faixas de frequência e intervalos de tempo máximo de permanência nas mesmas. A figura 003 ilustra essas faixas em cada situação apresentada.

Figura 003 - Limites de variação de frequência para períodos transitórios, pós-transitórios e regime permanente no sistema elétrico brasileiro



Fonte: Autoria própria (2022)

Vale destacar a faixa de 56,5 Hz a 66 Hz que não pode ser ultrapassada e a faixa de 59,9 Hz a 60,1 Hz que equivale ao regime permanente. Pode-se observar que a faixa de operação do sistema elétrico brasileiro é estreita o suficiente para ser rastreada e travada com o circuito PLL.

Os limites de distorção harmônica impostas pela ANEEL são classificados por faixas de tensão. Para tensão nominal menor que 1 kV, tem-se o limite da distorção harmônica total de tensão ($DTT\%$) de 10,0%, da distorção harmônica total de tensão para as componentes pares não múltiplas de 3 ($DTT_p\%$) de 2,5%, da distorção harmônica total de tensão para as componentes ímpares não múltiplas de 3 ($DTT_i\%$) de 7,5% e para a distorção harmônica total de tensão para as componentes múltiplas de 3 ($DTT_3\%$) de 6,5% em relação à tensão fundamental, como podem ser observados no quadro 01.

Quadro 01 – Limites das distorções harmônicas totais (em % da tensão fundamental).

Indicador	% da Tensão Nominal
$DTT\%$	10,0%
$DTT_p\%$	2,5%
$DTT_I\%$	7,5%
$DTT_3\%$	6,5%

Fonte: Módulo 8 - PRODIST - ANEEL [2]

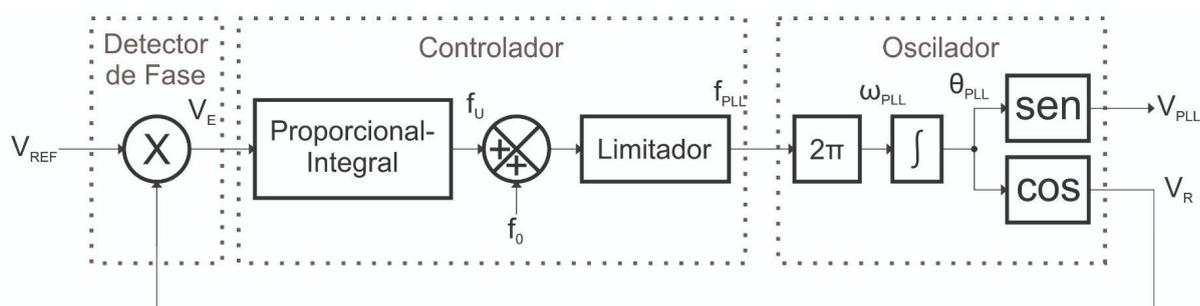
Já a IEEE, padroniza a qualidade da energia que deve ser fornecida em pontos de acoplamento através da *IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems - IEEE 519*⁵ (Práticas Recomendadas para Controle de Harmônicos em Sistemas de Energia Elétrica) [3]. Nela são estabelecidos os limites para tensão nominal menor que 1 kV para a distorção harmônica total de tensão de 8% e para a distorção harmônica individual de tensão de 5% em relação à tensão fundamental. Para informações mais detalhadas recomenda-se consultar o anexo A da IEEE 514, onde são apresentados os limites inter-harmônicos de tensão.

⁵ (Institute of Electrical And Electronics Engineers, p. 5-6)

3. BLOCO BÁSICO

Escolheu-se representar o PLL conceitual, apresentado na figura 001, através do diagrama apresentado na figura 004, onde: o detector de fase (PD) é representado por um multiplicador, cujas entradas são o sinal de entrada e o sinal em quadratura gerado pelo PLL; o controlador (LF) é representado por um controlador do tipo proporcional-integral, um somador com a frequência central de operação e um limitador e o oscilador (VCO) é representado por um bloco de conversão de frequência para velocidade angular, um integrador e dois blocos matemáticos, um bloco senoidal para o sinal de saída e um bloco cossenoidal para o sinal em quadratura para a realimentação. Esta categoria de circuito constitui o Bloco Básico que será utilizado nos diagramas em blocos seguintes.

Figura 004 - Bloco básico que constituirá a base de estudo deste trabalho



Fonte: Autoria própria (2022)

3.1. Descrição

A entrada do PLL será uma amostra de sinal da rede elétrica (V_{REF}) apresentando distorções harmônicas que servirá como referência de fase (θ_{REF}) e também de frequência (f_{REF}). Assim, ela será multiplicada pelo sinal em quadratura da saída (V_R) e fornecerá o sinal de erro (V_E) que contém dois termos: um constante e outro alternado, como apresentado na equação (04).

O primeiro termo da equação (04) é uma senoide com o dobro da frequência do sinal de entrada. Como apresenta valor médio nulo, não influenciará no travamento de fases, mas seu comportamento ondulatório acrescentará perturbações no controlador (LF) e causará distorções no sinal de saída. Já o

segundo termo é constante e proporcional à diferença de fases entre o sinal de entrada e o sinal de saída, porém deve-se observar ser através deste termo que deve ser realizado o controle do PLL.

Para o bloco básico é utilizado apenas um controlador do tipo Proporcional-Integral (PI) para garantir um certo ganho (termo proporcional) e erro nulo em regime permanente (termo integral). Como o PLL apresenta uma estreita faixa de travamento, conseguindo travar apenas com pequenas diferenças de frequência, e o ponto de operação da rede elétrica é de 60 Hz, utiliza-se um somador à saída do controlador PI para adicionar esse valor como a frequência central (f_0), o que auxiliará na sincronia das frequências e no travamento entre as fases já que o controlador modelará apenas a diferença da frequência do sinal de entrada (f_{REF}) em relação à frequência central (f_0).

Sabendo que o Módulo 8 do PRODIST [2] delimita a variação de frequência entre 66 Hz e 56,5 Hz, também é adicionado um limitador para evitar que a saída do Controlador (LF) assuma valores desnecessários que não condizem com o correto funcionamento da rede.

O primeiro bloco do Oscilador (VCO) é utilizado para converter a frequência, $f_{PLL} = [Hz]$, fornecida pelo Controlador (LF), para velocidade angular, $\omega_{PLL} = [rad/s]$. Isso se dá multiplicando a frequência (f_{PLL}) por 2π .

Após essa etapa, o sinal passa por um integrador que trará como resultado o ângulo de saída do PLL (θ_{PLL}), dado que $\omega_{PLL} = \frac{d\theta_{PLL}}{dt} \rightarrow \int \omega_{PLL} dt = \theta_{PLL}$. Com o θ_{PLL} , são gerados os dois sinais de saída do Oscilador (VCO): o sinal senoidal (V_{PLL}) e o sinal cossenoidal (V_R).

3.2. Funcionamento

Nesta configuração, se o sinal de entrada estiver com uma frequência menor que 60 Hz, tende a se adiantar ao sinal de saída, logo a diferença entre as fases resultará em uma constante negativa, o que transmitirá ao controlador a necessidade de desacelerar a saída do PLL, correspondendo ao sinal de entrada. Se o sinal de entrada estiver com uma frequência maior que 60 Hz, tende a se atrasar em relação ao sinal de saída, logo a diferença entre as fases resultará em

uma constante positiva, o que trará a necessidade do controlador acelerar a saída do PLL, correspondendo ao sinal de entrada. Se o sinal de entrada estiver com uma frequência idêntica à saída, não haverá diferença entre as fases e a constante será nula, informando ao controlador para manter sua atual velocidade angular.

3.3. Análise Matemática

Analisando o sinal de erro (VE) do Detector de Fase (PD), apresentado na equação (04), observa-se que o sistema a ser controlado é não-linear, pela presença dos termos trigonométricos, logo deve ser feita a linearização da expressão para chegar a um modelo em que seja possível efetuar o projeto utilizando a teoria clássica de controle. Isso se torna possível, dentre outras maneiras, através da teoria de pequenos sinais, visto que o PLL funcionará próximo a um ponto de operação fixo.

Para isso, deve-se substituir $X = \bar{X} + \hat{X}$ para as variáveis do sistema, chegando à equação (05).

$$\hat{e} = \frac{1}{2} \left[\text{sen}(2\omega t + \overline{\theta}_{REF} + \hat{\theta}_{REF} + \overline{\theta}_{PLL} + \hat{\theta}_{PLL}) + \text{sen}(\overline{\theta}_{REF} + \hat{\theta}_{REF} - \overline{\theta}_{PLL} - \hat{\theta}_{PLL}) \right] \quad (05)$$

Desprezando os termos médios, chega-se à equação (06).

$$\hat{e} = \frac{1}{2} \left[\text{sen}(2\omega t + \hat{\theta}_{REF} + \hat{\theta}_{PLL}) + \text{sen}(\hat{\theta}_{REF} - \hat{\theta}_{PLL}) \right] \quad (06)$$

Sabendo que para ângulos pequenos não nulos $\text{sen}(\theta) \approx \theta$, tem-se a equação (07).⁶

$$\hat{e} = \frac{1}{2} \left[\text{sen}(2\omega t + \hat{\theta}_{REF} + \hat{\theta}_{PLL}) + \hat{\theta}_{REF} - \hat{\theta}_{PLL} \right] \quad (07)$$

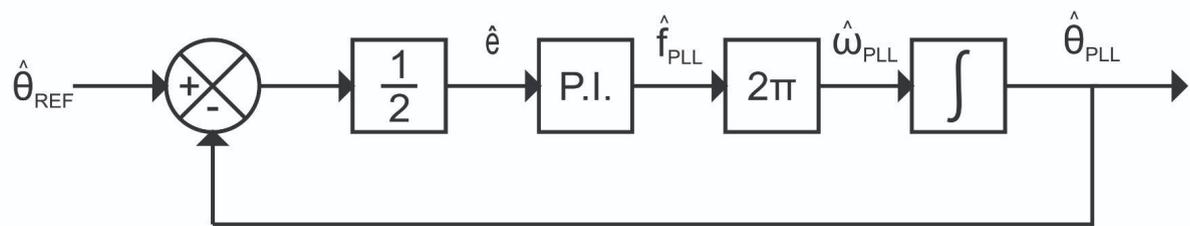
Efetua-se a linearização desprezando-se os termos não lineares, logo, tem-se a equação (08).

⁶ Através do truncamento da série de Taylor para a função seno.

$$\hat{e} = \frac{1}{2} [\hat{\theta}_{REF} - \hat{\theta}_{PLL}] \quad (08)$$

O diagrama apresentado na figura 005 apresenta o Modelo Médio Linearizado para o Bloco Básico do PLL.

Figura 005 - Modelo Médio Linearizado para o Bloco Básico

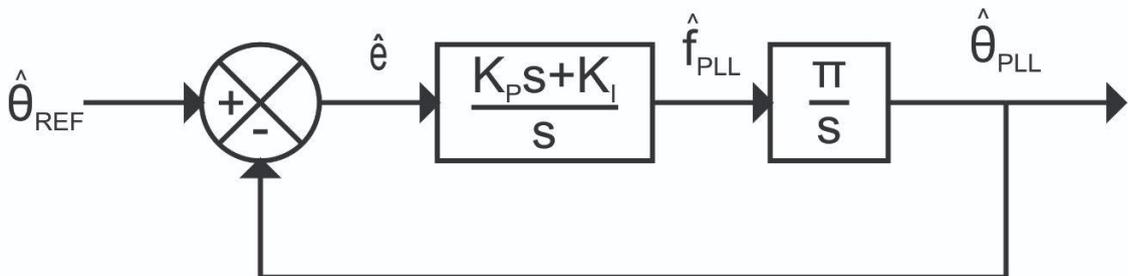


Fonte: Autoria própria (2022)

Pode-se ainda simplificar o diagrama da figura 005, feito isso tem-se o diagrama da figura 006. Optou-se por representar o controlador Proporcional-Integral (PI) pelas suas constantes: K_p para o ganho proporcional e K_i para o ganho integral.

Logo, o PI é dado por $\frac{K_p s + K_i}{s}$.

Figura 006 - Modelo Médio Linearizado Simplificado



Fonte: Autoria própria (2022)

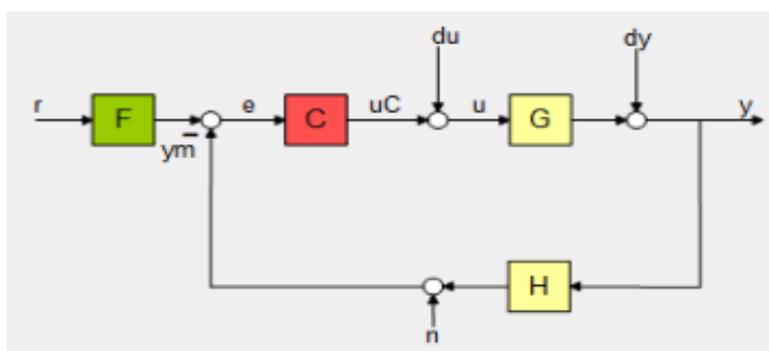
Sabendo que a arquitetura de controle do *Control System Designer* é através de um bloco F multiplicando a entrada, um bloco C para o controlador a ser projetado, um bloco G para a função de transferência da planta e um bloco H para o ganho de realimentação e comparando essa arquitetura com o modelo da figura 006, chega-se às entradas do quadro 02 para o *software*. A estrutura do *Control System Designer* é apresentada na figura 007.

Quadro 02 – Parâmetros de entrada do Control System Designer

Bloco	Valor
F	1
C	$\frac{K_p s + K_I}{s}$
G	$\frac{\pi}{s}$
H	1

Fonte: Autoria própria (2022)

Figura 007 - Arquitetura padrão fornecida pelo SISO Tool



Fonte: Control System Designer do MATLAB® (2022)

3.4. Metodologia de projeto

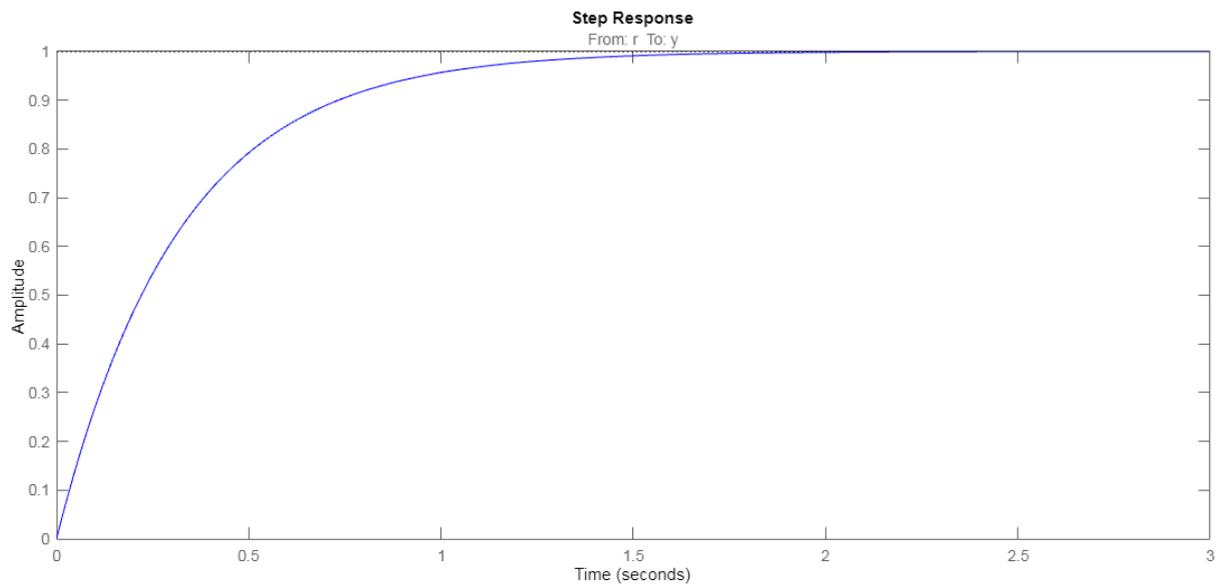
Para efetuar o projeto do controlador optou-se por utilizar o *Control System Designer* do MATLAB® por fins de simplificação. Sendo assim, os primeiros passos são definir a planta que será utilizada e depois utilizar o comando *SISO tool*⁷ para entrar na aba de módulo de projeto. Quando se envia apenas a função de transferência da planta ao comando *SISO tool*, os parâmetros C, F e H tornam-se unitários no sistema.

Ao executar o *SISO tool*, observa-se que a resposta ao degrau (figura 008) está estabilizada. Porém, tem-se como entrada um ângulo de uma onda senoidal, o sistema recebe uma rampa, portanto, também deve ter como saída uma rampa sem deslocamento em relação à entrada. Isso é possível quando há dois pólos na origem

⁷ O comando *sisotool* pode ser substituído por *controlSystemDesigner*.

do sistema de malha fechada. Como a planta já possui um pólo na origem, adiciona-se um segundo pólo na origem no controlador, trazendo o comportamento integral para o mesmo, tornando nulo o erro em regime permanente.

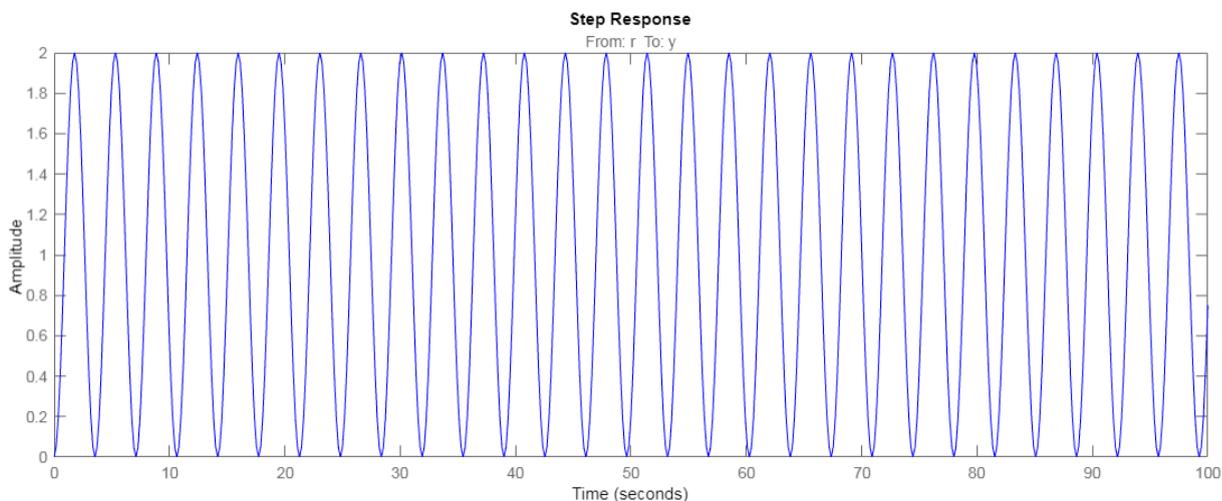
Figura 008 - Resposta ao degrau para controlador unitário



Fonte: Control System Designer do MATLAB® (2022)

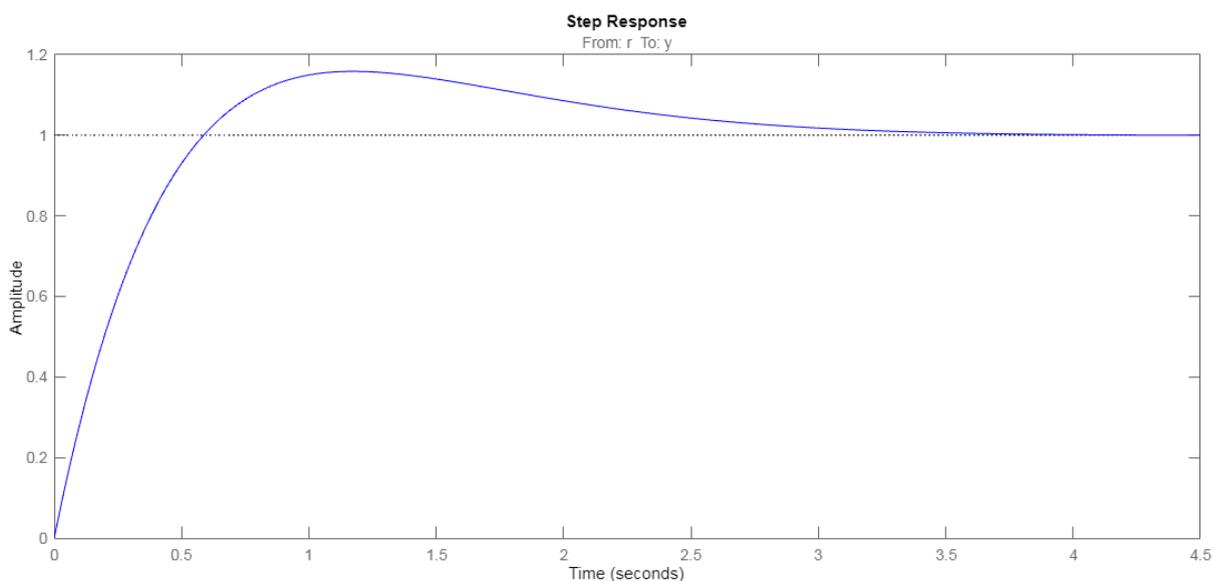
Ao adicionar o pólo na origem do controlador é possível observar na resposta ao degrau (figura 009) que o sistema apresenta instabilidade. Esse problema é facilmente contornado adicionando um zero real ao controlador para que o mesmo tenha também comportamento proporcional. O resultado é a resposta ao degrau apresentada na figura 010.

Figura 009 - Resposta ao degrau para controlador com ação puramente integral



Fonte: Control System Designer do MATLAB® (2022)

Figura 010 - Resposta ao degrau para controlador proporcional-integral

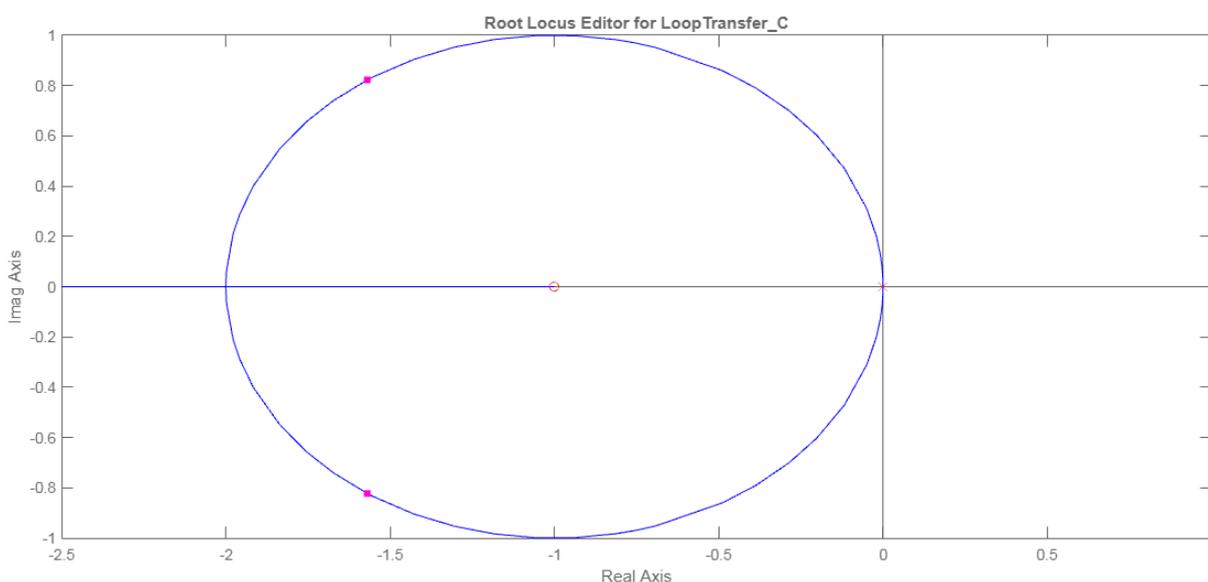


Fonte: Control System Designer do MATLAB® (2022)

Uma das vantagens de efetuar o projeto no *SISO tool* é a interatividade da ferramenta, onde podem ser feitas alterações no gráfico do lugar das raízes e observar seu comportamento na resposta ao degrau e no diagrama de Bode instantaneamente. A figura 011 apresenta o gráfico do lugar das raízes para a malha fechada do sistema, onde é possível observar o sinal “X” marcando os pólos na origem e o sinal “O” marcando o zero real. A linha traçada no mapa representa o caminho que os pólos do sistema em malha fechada percorrem variando-se o ganho

de 0 a ∞ , já os sinais “■” sobre a linha representam o lugar que os pólos se encontram na atual configuração do controlador. Ao arrastar os polos sobre a linha, o ganho é recalculado e a resposta ao degrau do sistema e o diagrama de Bode do controlador são atualizados. Deslocando-se os pólos para a direita, o ganho diminui, o módulo do controlador no diagrama de Bode se desloca para baixo e a resposta ao degrau se torna mais lenta. O sistema se manterá estável sempre que os pólos encontrem-se no semi-plano esquerdo do gráfico do lugar das raízes.

Figura 011 - Gráfico do Lugar das Raízes para controlador proporcional-integral



Fonte: Control System Designer do MATLAB® (2022)

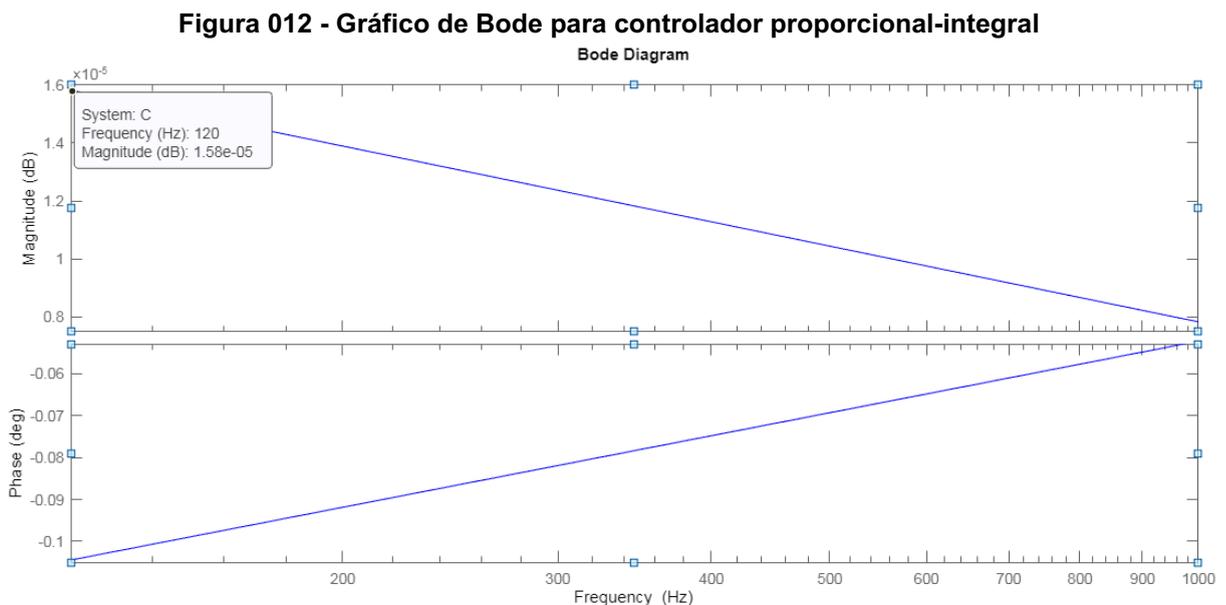
É possível observar também que para o sistema em malha fechada do Bloco Básico do PLL, existe um ponto onde os polos tornam-se reais e a partir dele um polo caminha em direção ao zero do sistema e outro tende ao infinito. Esse ponto onde ocorre a bifurcação será utilizado como ponto de maior ganho para o sistema. Sempre que o ganho nesse ponto ainda não for o suficiente, o zero do sistema será transportado para a esquerda, ou seja, ele se tornará mais negativo. Ampliando a linha do mapa e possibilitando novas faixas de ganho.

Quanto maior o ganho, mais rápido o sistema estabilizará. Porém, esse ganho também amplifica a parcela alternada do Detector de Fase (PD) que foi desprezada na linearização do sistema, logo a perturbação (P) será amplificada e a resposta apresentará maior distorção. O termo que será amplificado é uma onda senoidal com o dobro da frequência da entrada tendo a amplitude de 0,5, logo

estima-se que a perturbação na saída do controlador (P) será uma onda senoidal com amplitude de metade do ganho em valor absoluto do controlador e que a frequência da onda será o dobro da frequência central (f_0). Assim, chega-se à equação (09).

$$P = \frac{1}{2} G_{ABS} \text{sen}(120t) \quad (09)$$

O valor do módulo do controlador é facilmente encontrado no diagrama de Bode fornecido pelo *SISO tool*, como pode ser observado na figura 012. Porém, esse valor é fornecido em decibéis, logo faz-se necessário a sua conversão para o valor absoluto, possível em função da equação (10).



$$G_{ABS} = 10^{\frac{G_{dB}}{20}} \quad (10)$$

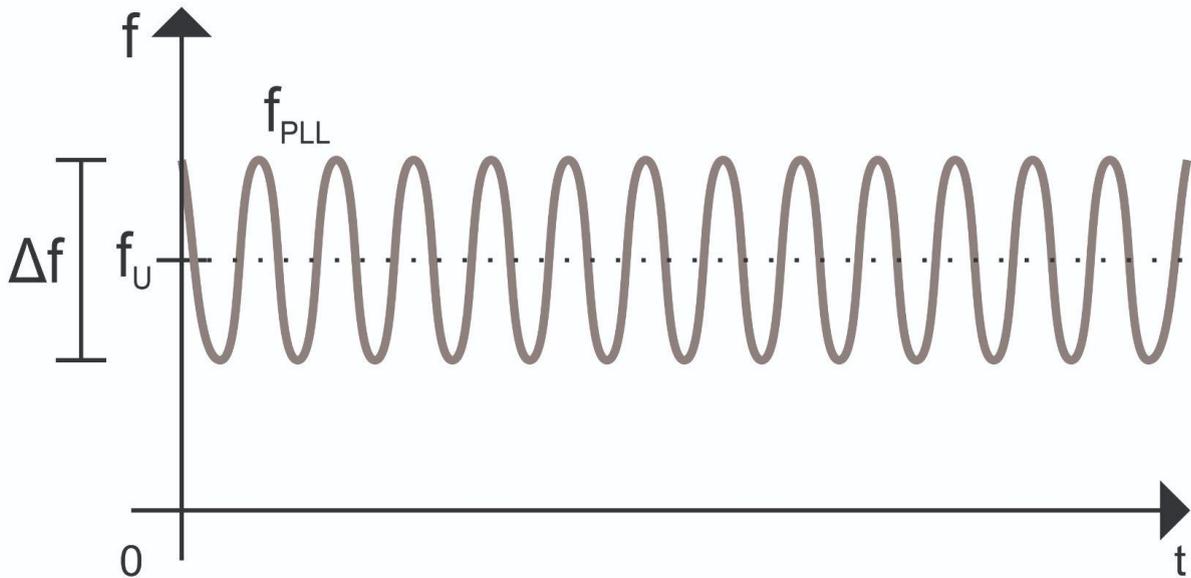
Assim, a estimativa da perturbação na saída do controlador (Δf) é dada pela equação (11) e sua representação gráfica é apresentada na figura 013. O valor máximo que a perturbação pode alcançar é dado na equação (12) e sua inversa na equação (13).

$$\Delta f = 0,5 \cdot 10^{\frac{G_{dB}}{20}} \text{sen}(120t) \quad (11)$$

$$\Delta f_{M\acute{A}X} = 0,5 \cdot 10^{\frac{G_{dB}}{20}} \quad (12)$$

$$G_{dB} = 20 \log(2\Delta f_{M\acute{A}X}) \quad (13)$$

Figura 013 - Representação da saída do controlador PI com a perturbação do Detector de Fase

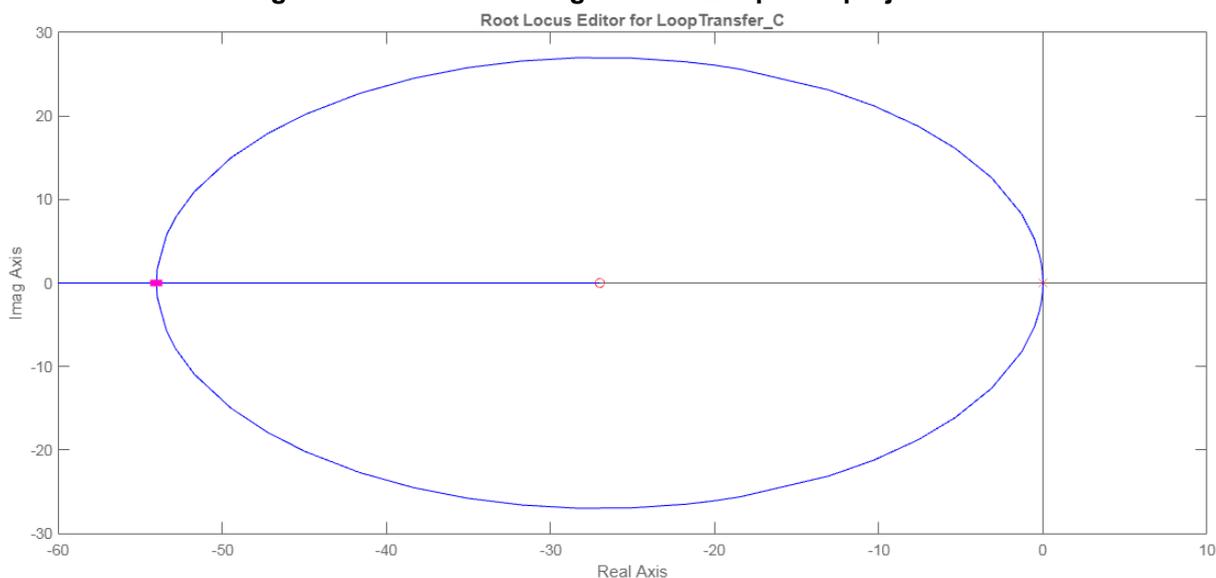


Fonte: Autoria própria (2022)

Foram realizados quatro projetos para efeito de comparação do comportamento do Bloco Básico do PLL. Serão levados em consideração o tempo de estabilização do sistema na resposta ao degrau e o módulo do controlador em 120 Hz do diagrama de Bode.

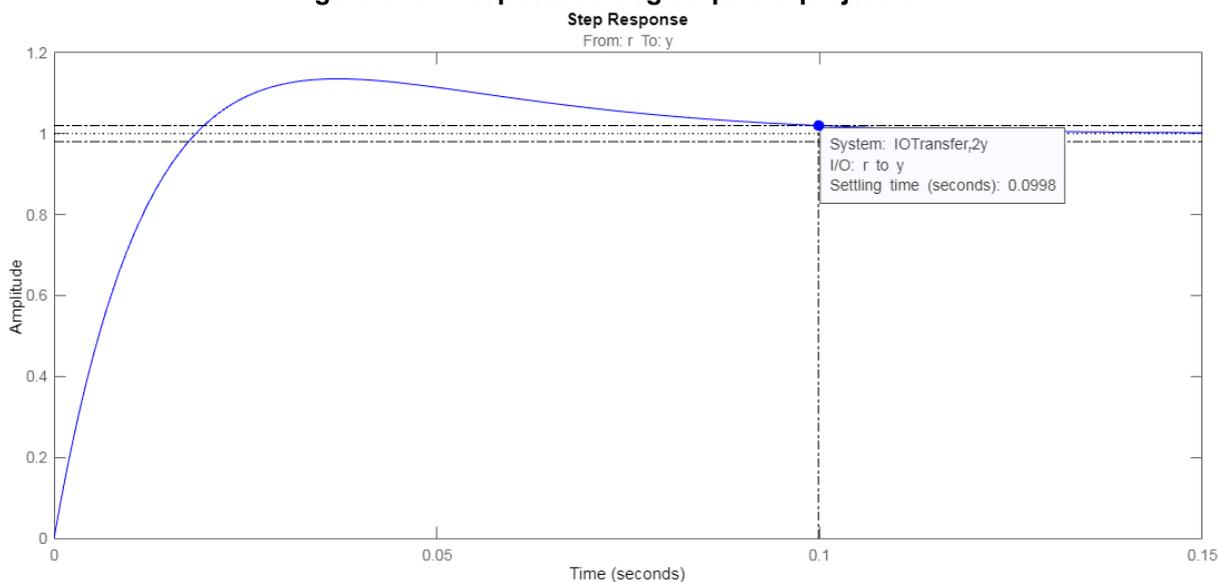
No primeiro projeto (projeto 01), objetivou-se a construção de um PLL que estabilizasse em 0,100 s. Logo, utilizando o gráfico do lugar das raízes, deslocaram-se os polos para o ponto de bifurcação e o zero para a esquerda até que a resposta ao degrau fosse alcançada. Um dos controladores que satisfazem essa condição tem seu zero em -27 e um ganho de 928,2, tendo como resultado $K_p = 34,378$ e $K_i = 928,200$. O gráfico do lugar das raízes e a resposta ao degrau são apresentados na figura 014 e 015.

Figura 014 - Gráfico do lugar das raízes para o projeto 01



Fonte: Control System Designer do MATLAB® (2022)

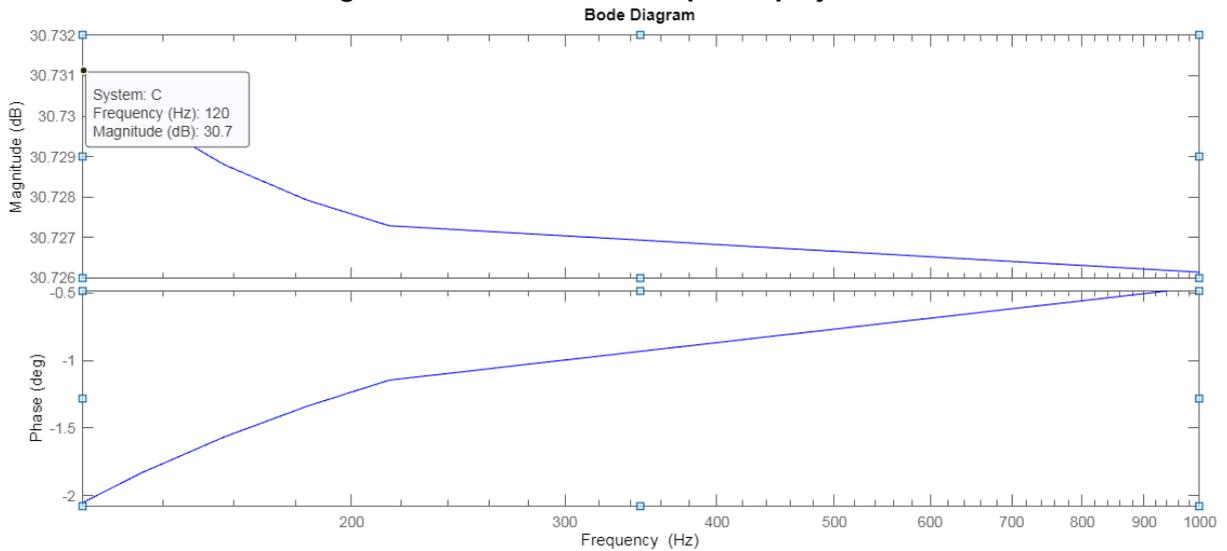
Figura 015 - Resposta ao degrau para o projeto 01



Fonte: Control System Designer do MATLAB® (2022)

Pode-se observar na figura 016 que o módulo do controlador para o projeto 01 em 120 Hz é de 30,7 dB. Logo, utilizando a equação (12), estima-se que a perturbação máxima ($\Delta f_{MÁX}$) será de 17,14 Hz. Entretanto, como se utiliza um limitador no Controlador (LF), é possível prever que a distorção causada por essa perturbação será atenuada ao se utilizar os limites impostos pela ANEEL [2] (56,5 Hz a 66 Hz) e que a resposta do sistema será prejudicada com essa limitação.

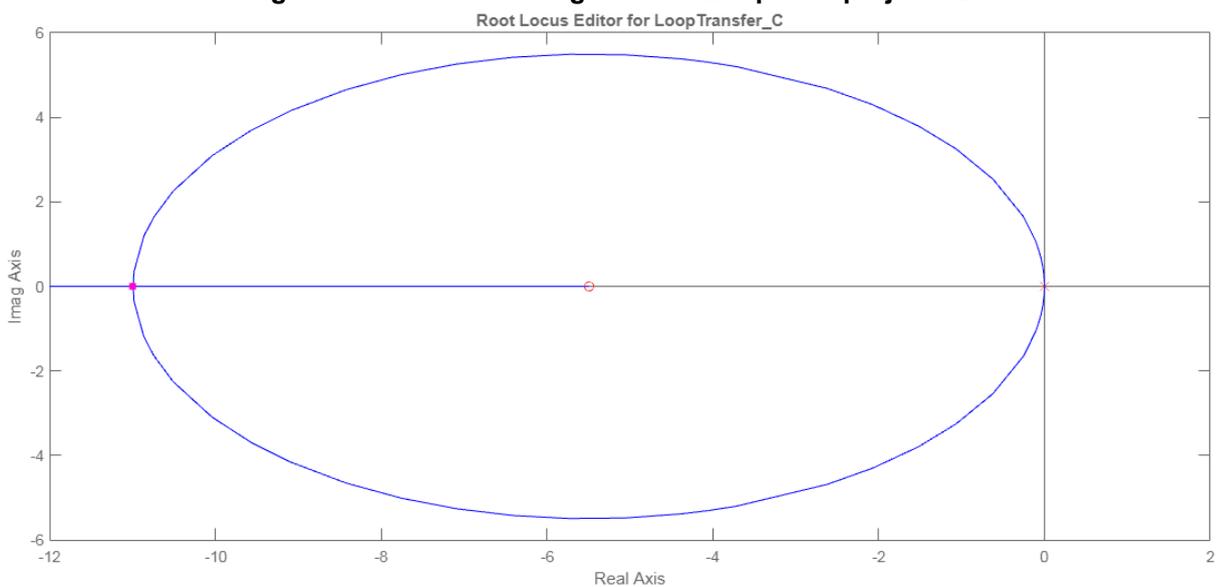
Figura 016 - Gráfico de Bode para o projeto 01



Fonte: Control System Designer do MATLAB® (2022)

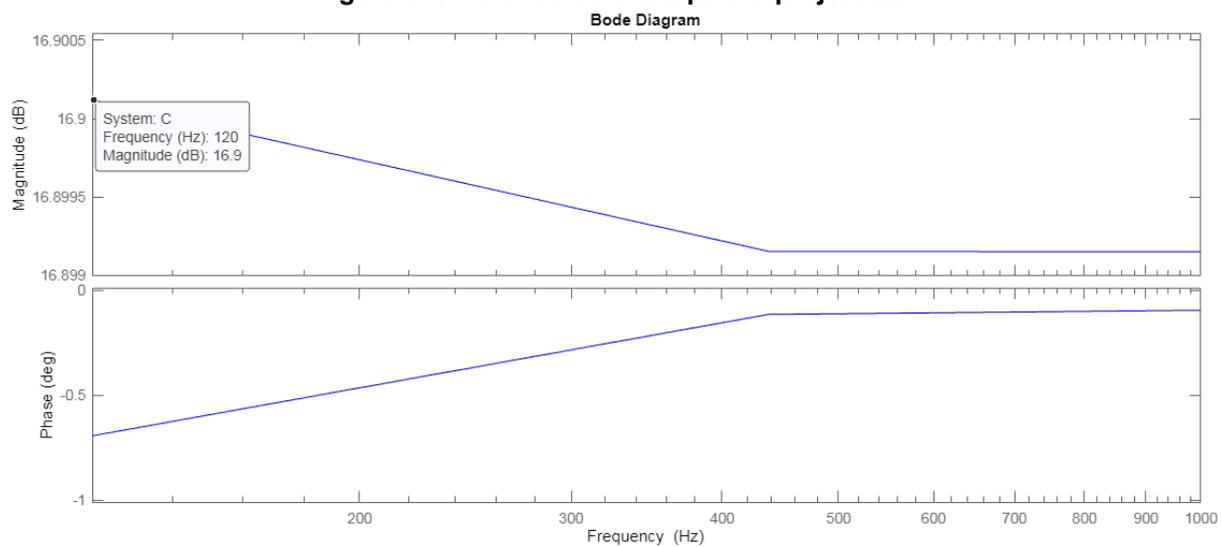
Assim, para o segundo projeto (projeto 02), objetivou-se a construção de um PLL que tivesse uma perturbação máxima ($\Delta f_{M\acute{A}X}$) de 3,5 Hz para obedecer a essa faixa, valendo-se da equação (13) tem-se que G_{dB} para o controlador deverá ser igual a 16,9 dB. Utilizando o gráfico do lugar das raízes, deslocaram-se os polos para o ponto de bifurcação e o zero para a direita até que o diagrama de Bode apresentasse o módulo desejado. Um dos controladores que satisfazem essa condição tem seu zero em -5,496 e ganho de 38,459, resultando em $K_p = 6,998$ e $K_I = 38,459$. O gráfico do lugar das raízes e o diagrama de Bode são apresentados na figura 017 e 018.

Figura 017 - Gráfico do lugar das raízes para o projeto 02



Fonte: Control System Designer do MATLAB® (2022)

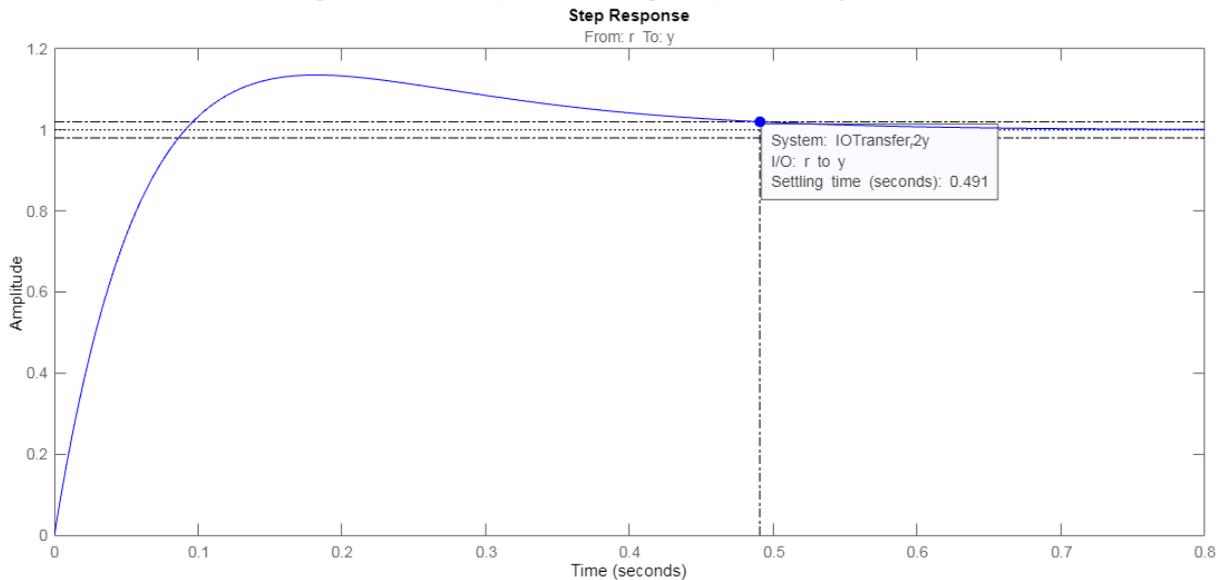
Figura 018 - Gráfico de Bode para o projeto 02



Fonte: Control System Designer do MATLAB® (2022)

Pode-se observar na figura 019 que o tempo de estabilização do sistema em malha fechada é de 0,491 s.

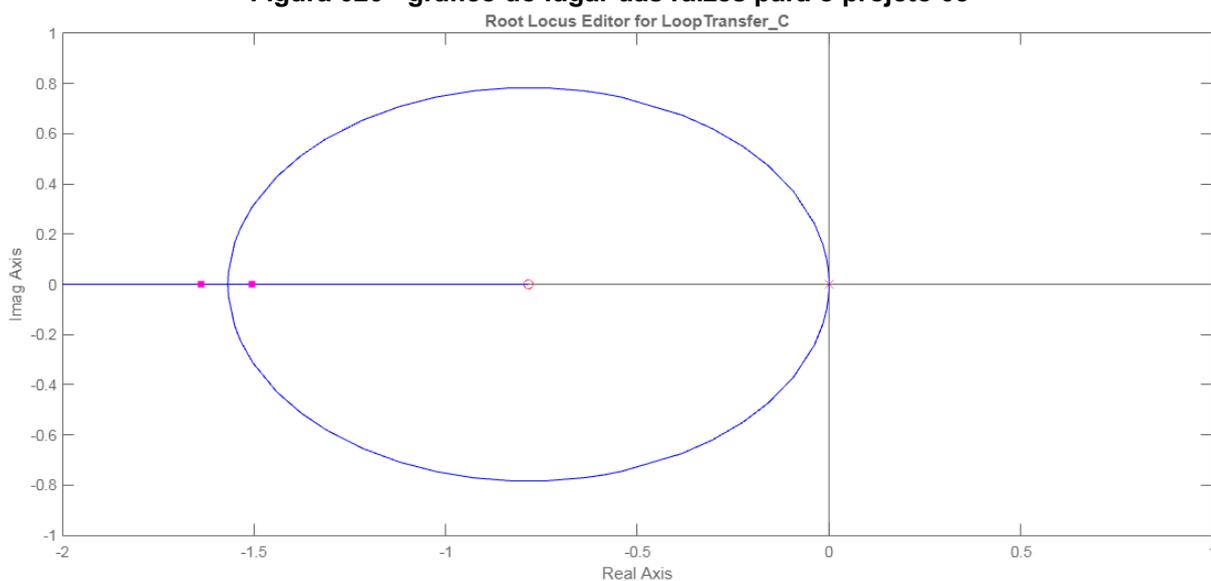
Figura 019 - Resposta ao degrau para o projeto 02



Fonte: Control System Designer do MATLAB® (2022)

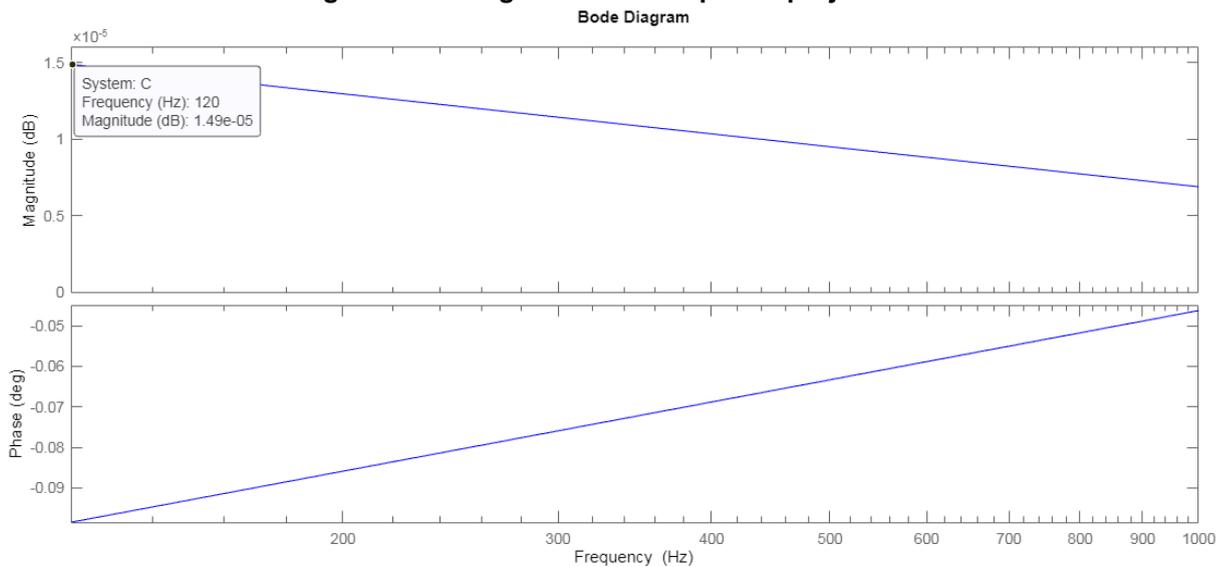
Para o terceiro projeto (projeto 03), objetivou-se a construção de um PLL que tivesse uma perturbação máxima ($\Delta f_{M\acute{A}X}$) de 0,5 Hz para obedecer à faixa de variação de frequência do período pós-transitório da rede elétrica. Valendo-se da equação (13) tem-se que G_{dB} para o controlador deverá ser igual a 0,0 dB. Utilizando o gráfico do lugar das raízes, deslocaram-se os polos para o ponto de bifurcação e o zero para a direita até que o diagrama de Bode apresentasse o módulo desejado. Um dos controladores que satisfazem essa condição tem seu zero em -0,784 e ganho de 0,784, resultando em $K_p = 1,000$ e $K_I = 0,784$. O gráfico do lugar das raízes e o diagrama de Bode são apresentados na figura 020 e 021.

Figura 020 - gráfico do lugar das raízes para o projeto 03



Fonte: Control System Designer do MATLAB® (2022)

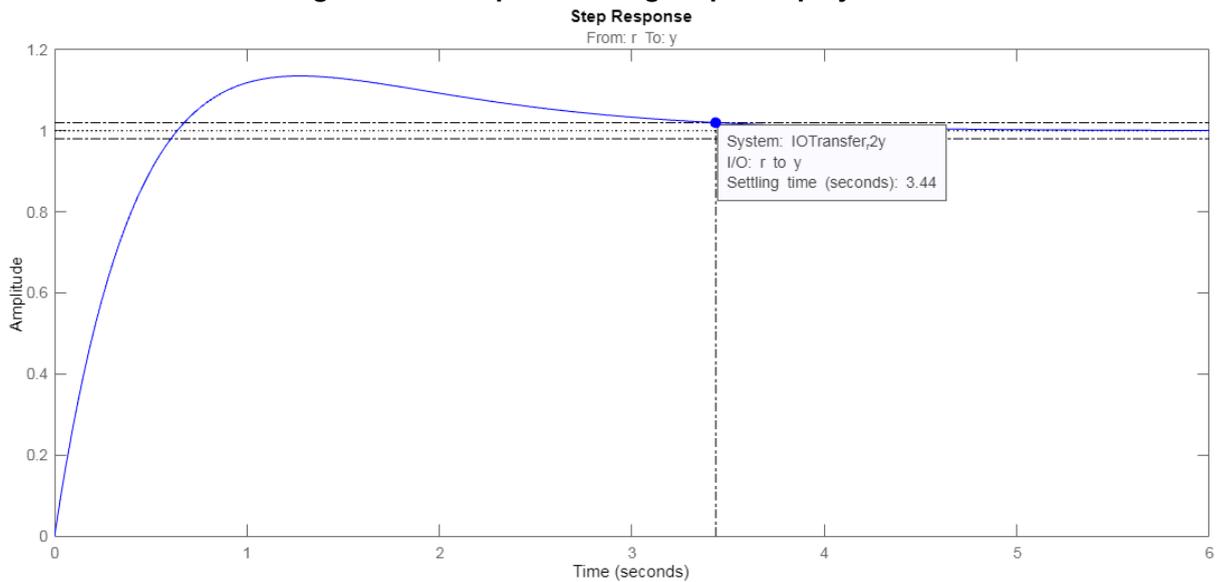
Figura 021 - Diagrama de Bode para o projeto 03



Fonte: Control System Designer do MATLAB® (2022)

Pode-se observar na figura 022 que o tempo de estabilização do sistema em malha fechada é de 3,440 s.

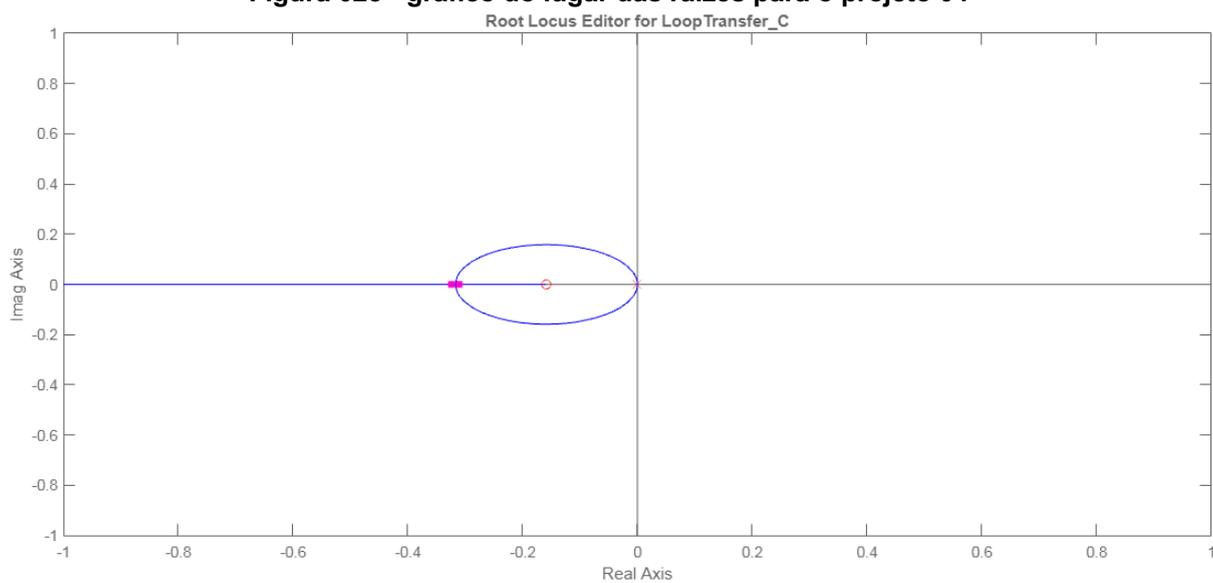
Figura 022 - Resposta ao degrau para o projeto 03



Fonte: Control System Designer do MATLAB® (2022)

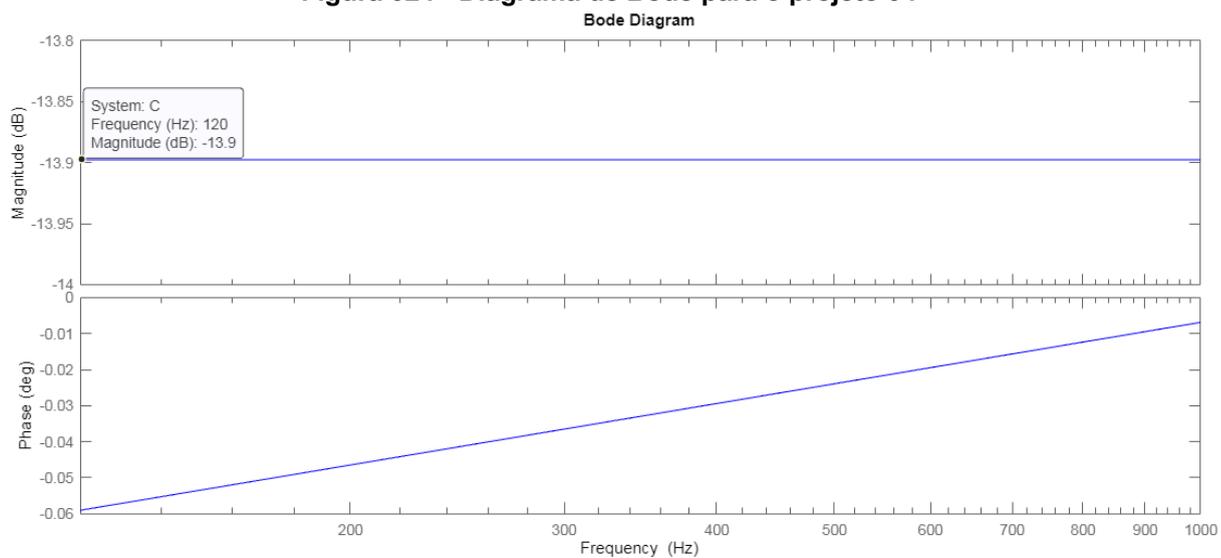
Para o quarto projeto (projeto 04), objetivou-se a construção de um PLL que tivesse uma perturbação máxima ($\Delta f_{MÁX}$) de 0,1 Hz para obedecer à faixa de variação de frequência do regime permanente da rede elétrica. Valendo-se da equação (13) tem-se que G_{dB} para o controlador deverá ser igual a -14,0 dB. Utilizando o gráfico do lugar das raízes, deslocou-se os pólos para o ponto de bifurcação e o zero para a direita até que o diagrama de Bode apresentasse o módulo desejado. Um dos controladores que satisfazem essa condição tem seu zero em -0,1585 e ganho de 0,032, resultando em $K_P = 0,202$ e $K_I = 0,032$. O gráfico do lugar das raízes e o diagrama de Bode são apresentados na figura 023 e 024.

Figura 023 - gráfico do lugar das raízes para o projeto 04



Fonte: Control System Designer do MATLAB® (2022)

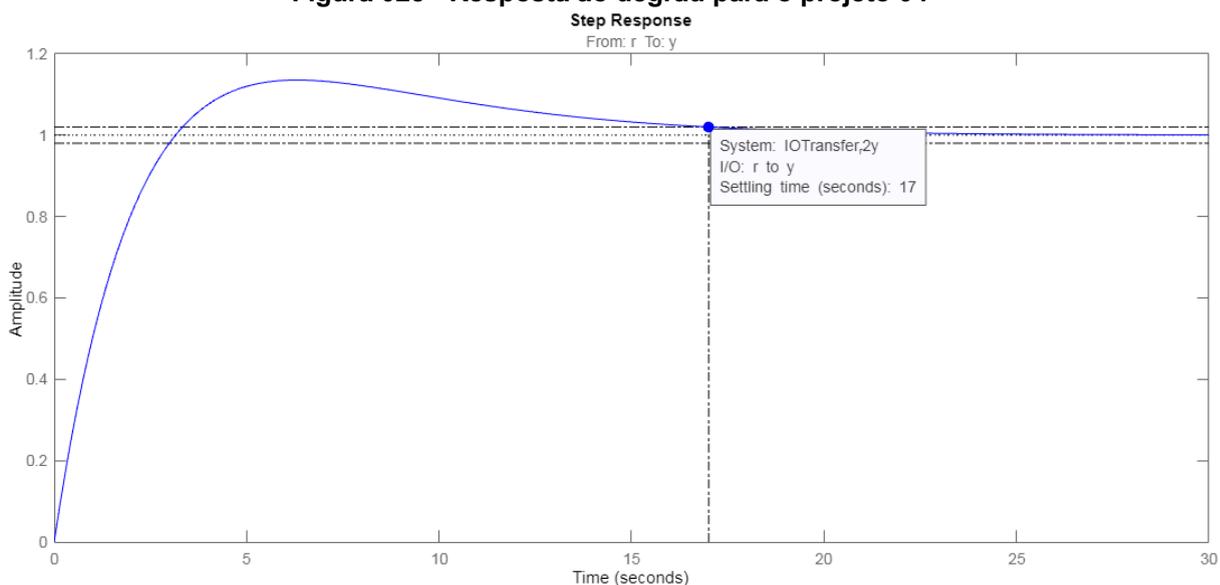
Figura 024 - Diagrama de Bode para o projeto 04



Fonte: Control System Designer do MATLAB® (2022)

Pode-se observar na figura 025 que o tempo de estabilização do sistema em malha fechada é de 17,000 s.

Figura 025 - Resposta ao degrau para o projeto 04



Fonte: Control System Designer do MATLAB® (2022)

Para sintetizar os projetos e os resultados esperados, foi construído o quadro 03.

Quadro 03 - Síntese dos projetos efetuados com suas características

Projeto	Diretriz do projeto	Ganhos do Controlador	Resultado esperado
01	$T_E = 0,100 \text{ s}$	$K_P = 34,378 \text{ e}$ $K_I = 928,200$	⁸ $\Delta f_{MÁX} = 17,1 \text{ Hz}$
02	$\Delta f_{MÁX} = 3,5 \text{ Hz}$	$K_P = 6,998 \text{ e}$ $K_I = 38,459$	$T_E = 0,491 \text{ s}$
03	$\Delta f_{MÁX} = 0,5 \text{ Hz}$	$K_P = 1,000 \text{ e}$ $K_I = 0,784$	$T_E = 3,440 \text{ s}$
04	$\Delta f_{MÁX} = 0,1 \text{ Hz}$	$K_P = 0,202 \text{ e}$ $K_I = 0,032$	$T_E = 17,000 \text{ s}$

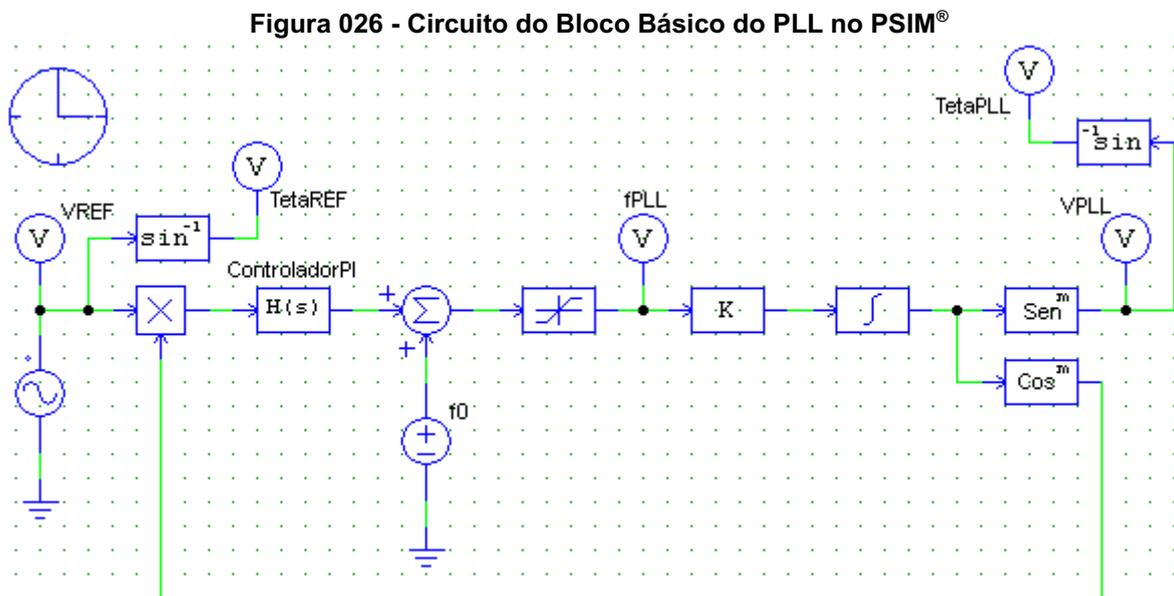
Fonte: Autoria própria (2022)

⁸ Esse resultado será afetado pela saturação imposta pelo bloco limitador.

3.5. Simulação numérica

Utilizando o PSIM®, montou-se o circuito da figura 004 como representado na figura 026, onde uma fonte de tensão senoidal com 60 Hz e 90° de fase é utilizada para representar a rede elétrica (V_{REF}), uma fonte de tensão de corrente contínua fornece a referência de 60 Hz para a frequência central (f_0), o limitador trabalha com a faixa de 56,5 Hz a 66 Hz, a constante K equivale a 2π e dois blocos arco seno para ter acesso às fases de entrada (θ_{REF}) e de saída (θ_{PLL}) do PLL.

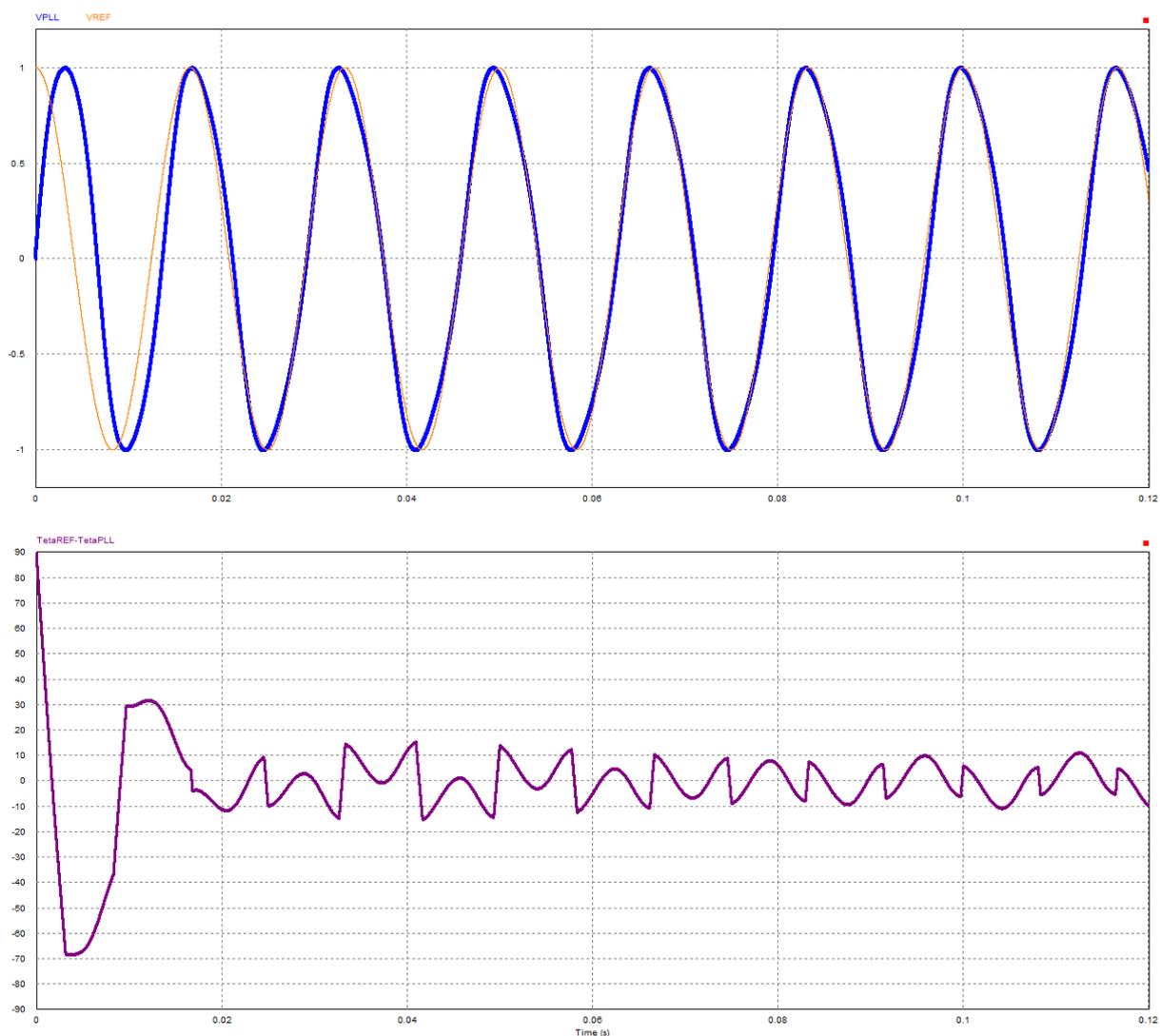
A simulação numérica tem papel importante para prever como o termo alternado que foi desprezado durante a linearização afetará a resposta do PLL.



Fonte: PSIM® (2022)

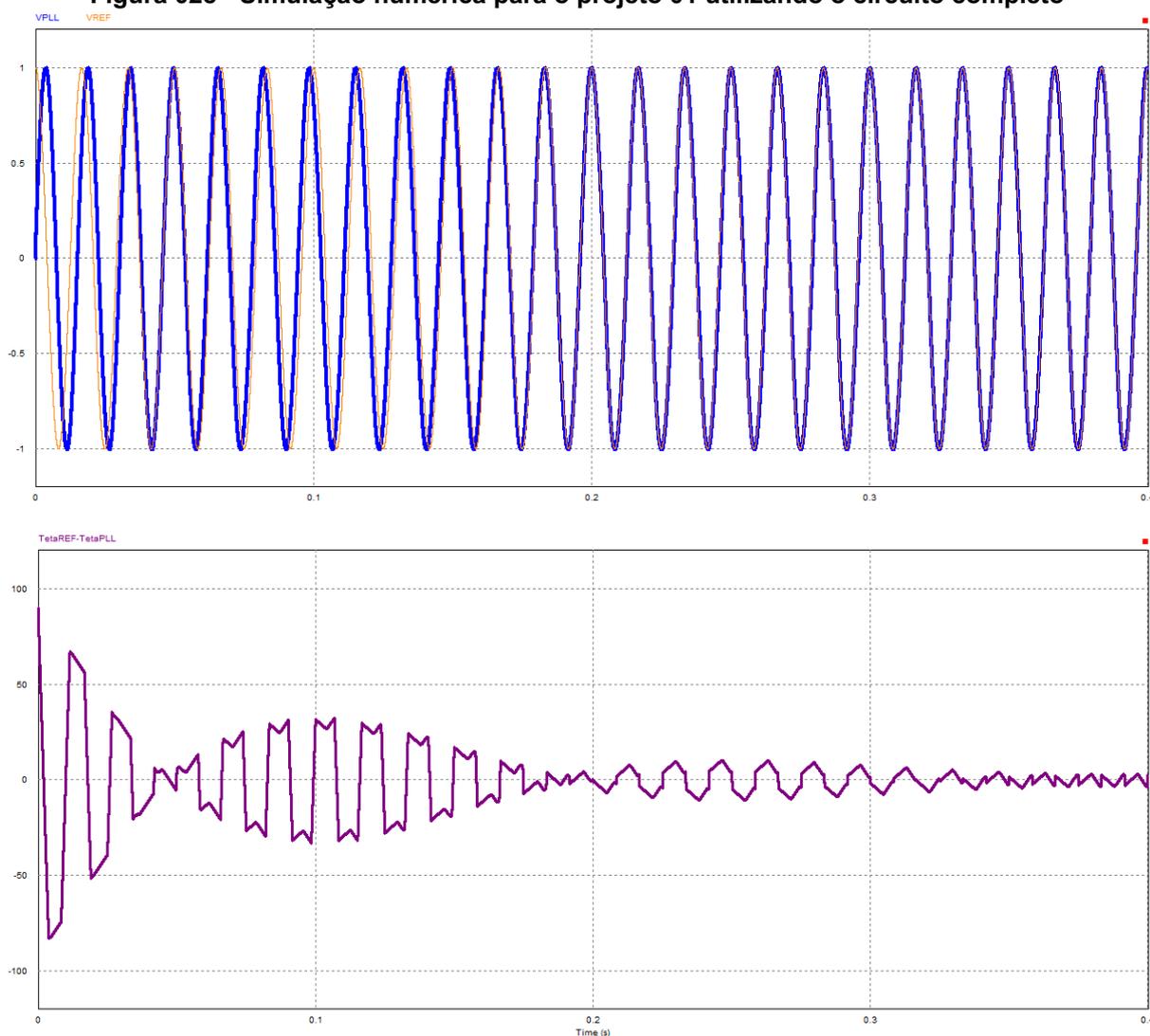
Para o projeto 01 optou-se por efetuar a simulação do circuito com e sem o limitador para comparação do efeito que esse bloco pode provocar. A figura 027 apresenta a resposta do sistema sem utilizar o limitador.

Figura 027 - Simulação numérica para o projeto 01 sem utilizar o bloco limitador



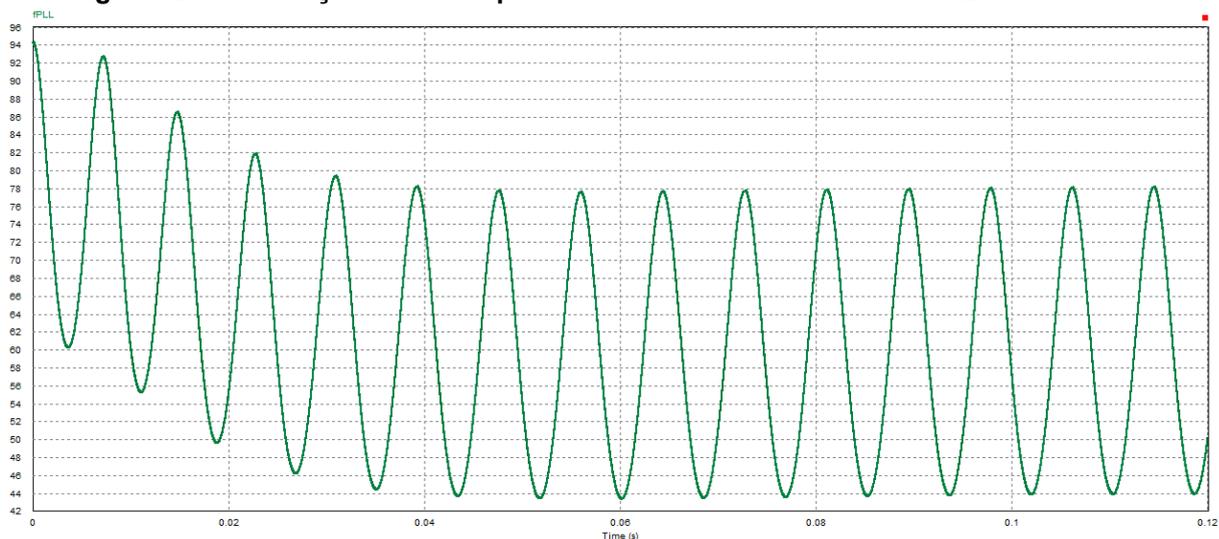
Fonte: PSIM® (2022)

Já a figura 028 apresenta a resposta do sistema com o circuito completo. Em ambas, é possível observar, na parte superior, o sinal de entrada (V_{REF}) em laranja com menor espessura e o sinal de saída (V_{PLL}) em azul com maior espessura; e, na parte inferior, a diferença entre as fases de entrada (θ_{REF}) e de saída (θ_{PLL}).

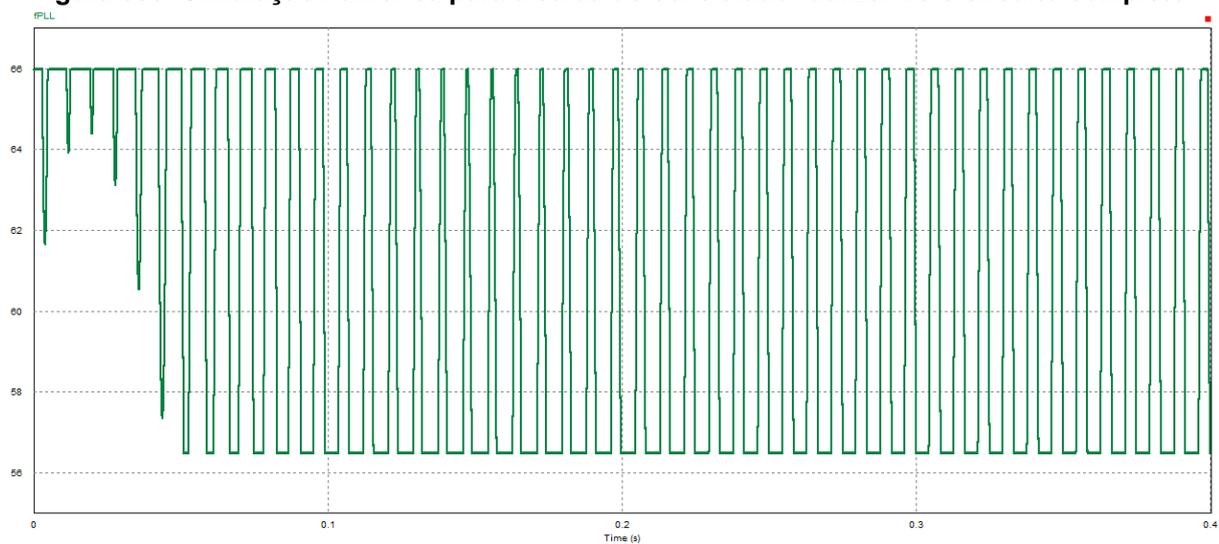
Figura 028 - Simulação numérica para o projeto 01 utilizando o circuito completo

Fonte: PSIM® (2022)

Outro fator observado durante a simulação numérica foi a saída do controlador. A figura 029 mostra os resultados obtidos para a simulação do circuito sem o limitador. A simulação do circuito completo é mostrado na figura 030.

Figura 029 - Simulação numérica para a saída do controlador sem utilizar o limitador

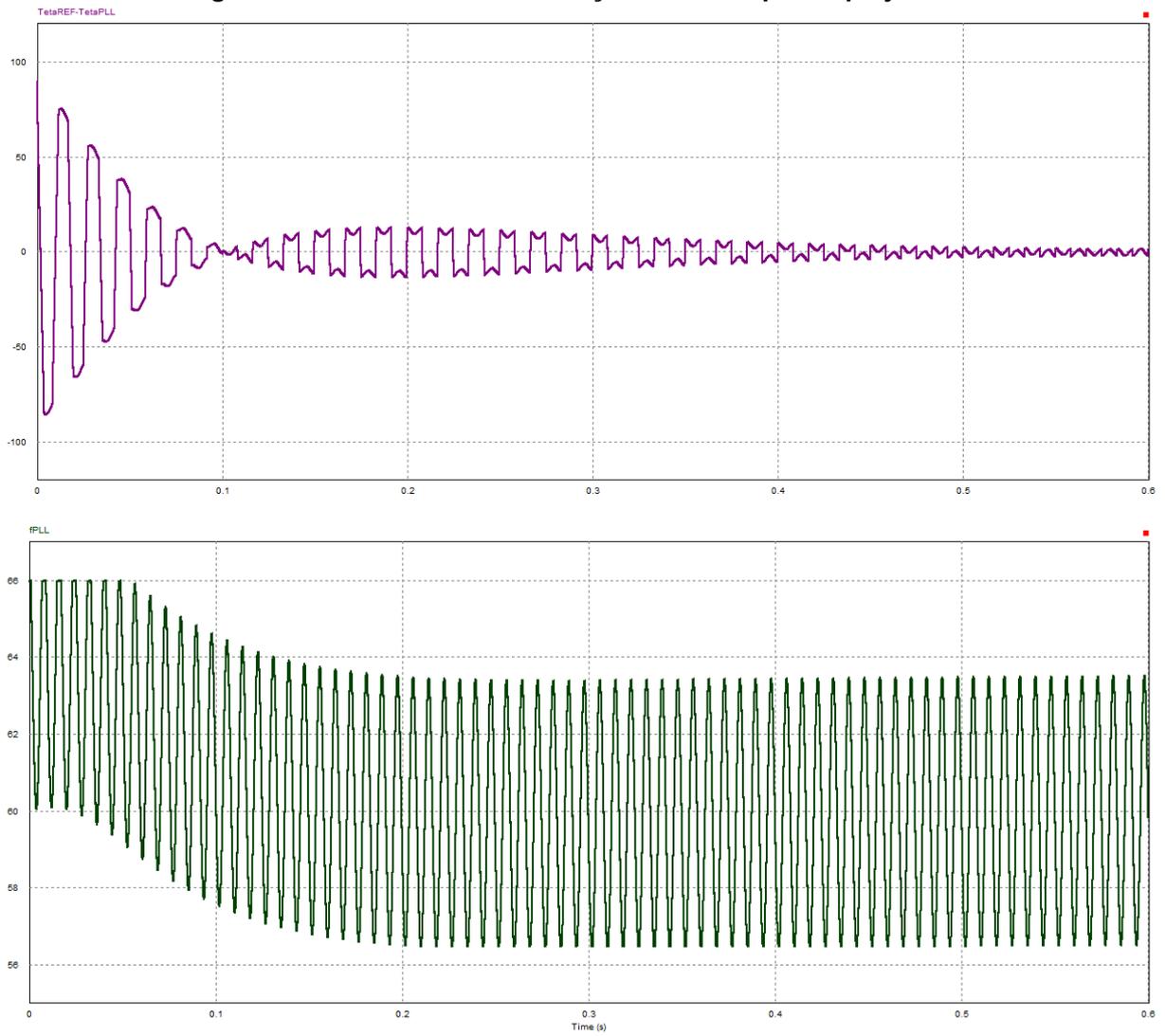
Fonte: PSIM® (2022)

Figura 030- Simulação numérica para a saída do controlador utilizando o circuito completo

Fonte: PSIM® (2022)

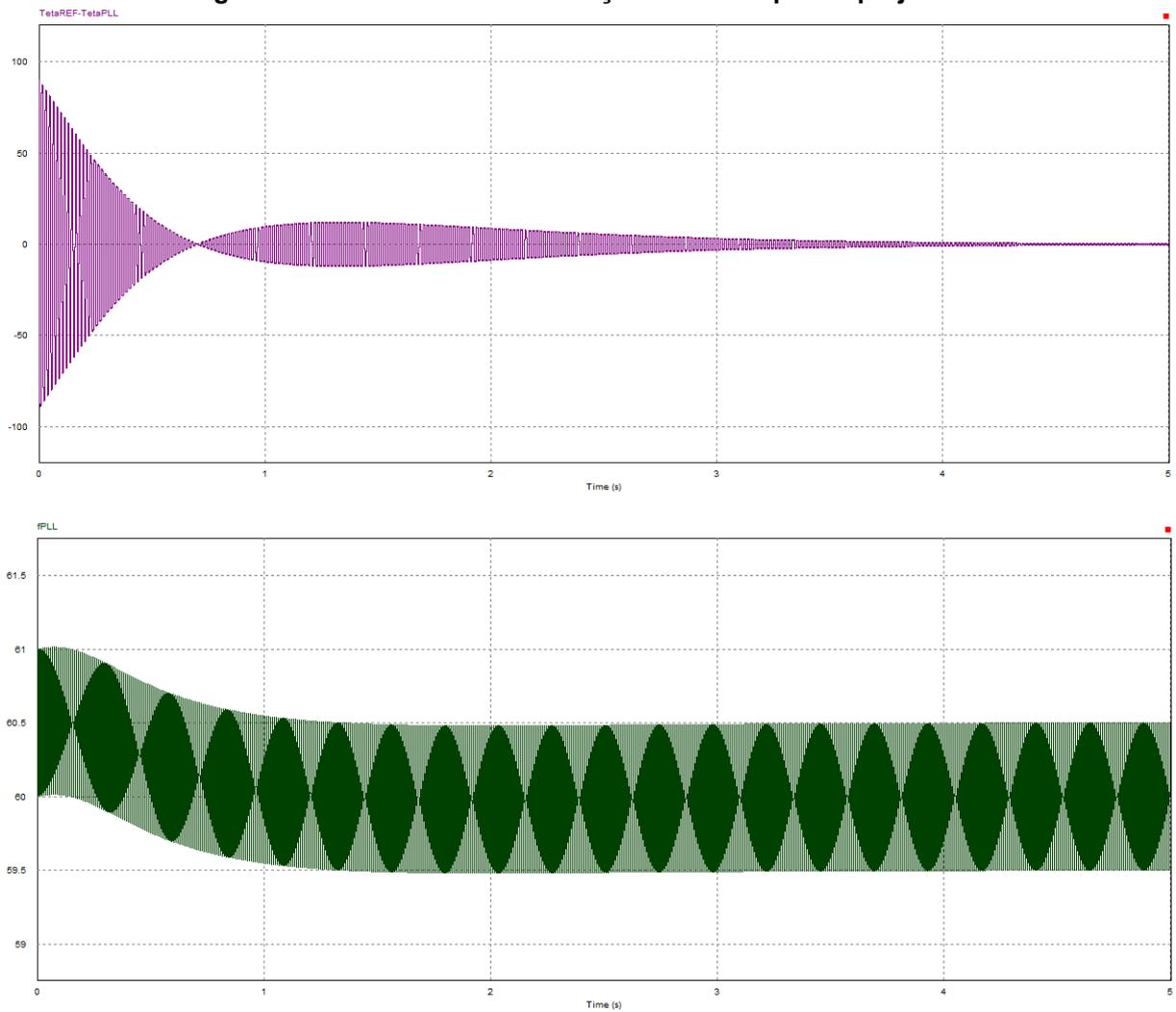
Nas figuras 031-033 são apresentados os resultados das simulações numéricas para os projetos 02-04, nos mesmos moldes dos já apresentados, todos com seus circuitos completos.

Figura 031- Resultados da simulação numérica para o projeto 02

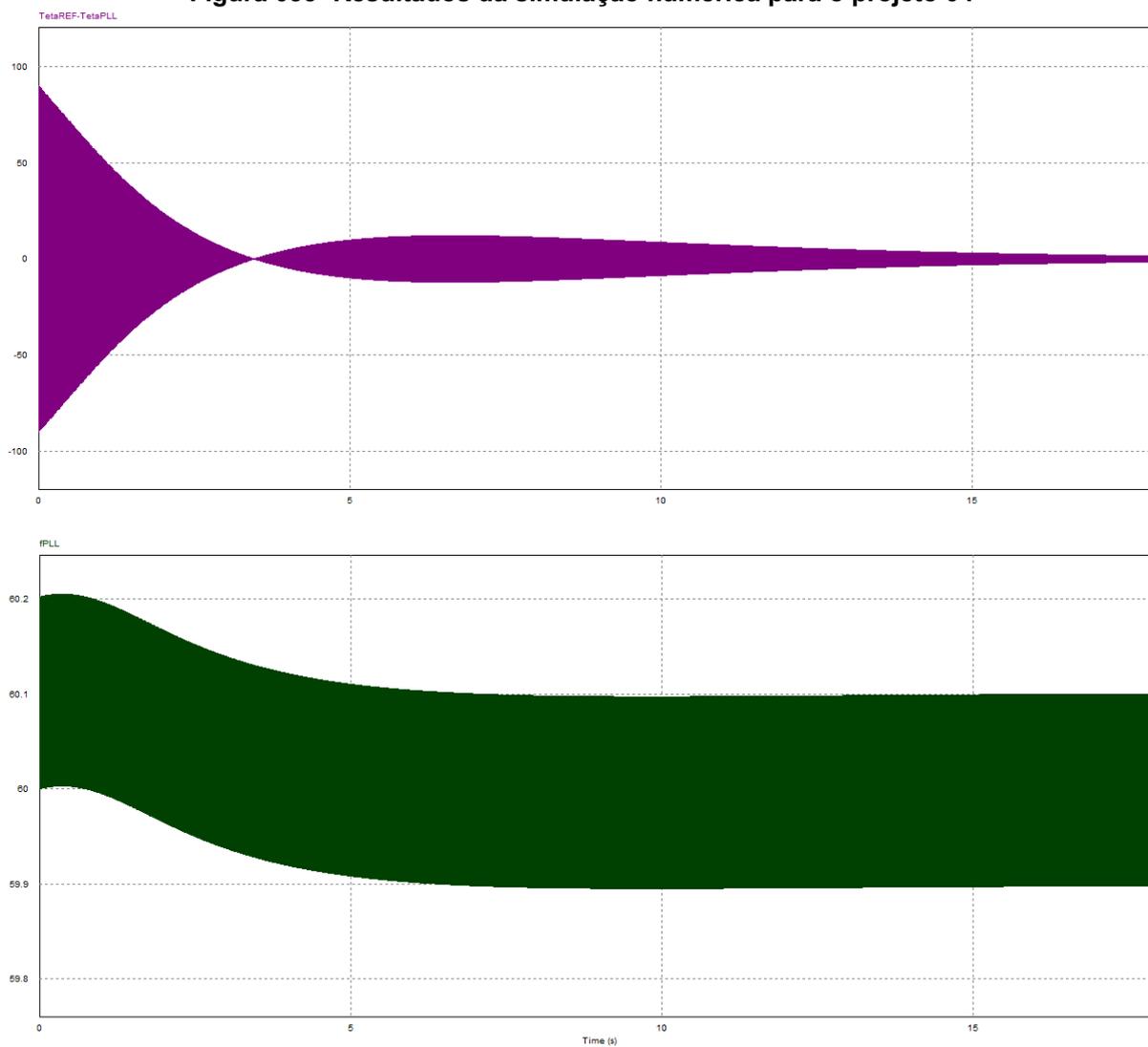


Fonte: PSIM® (2022)

Figura 032- Resultados da simulação numérica para o projeto 03



Fonte: PSIM® (2022)

Figura 033- Resultados da simulação numérica para o projeto 04

Fonte: PSIM® (2022)

Os resultados detalhados dos parâmetros analisados para cada projeto nas simulações numéricas são apresentados no quadro 04.

Quadro 04 - Resultados encontrados na simulação numérica para os projetos

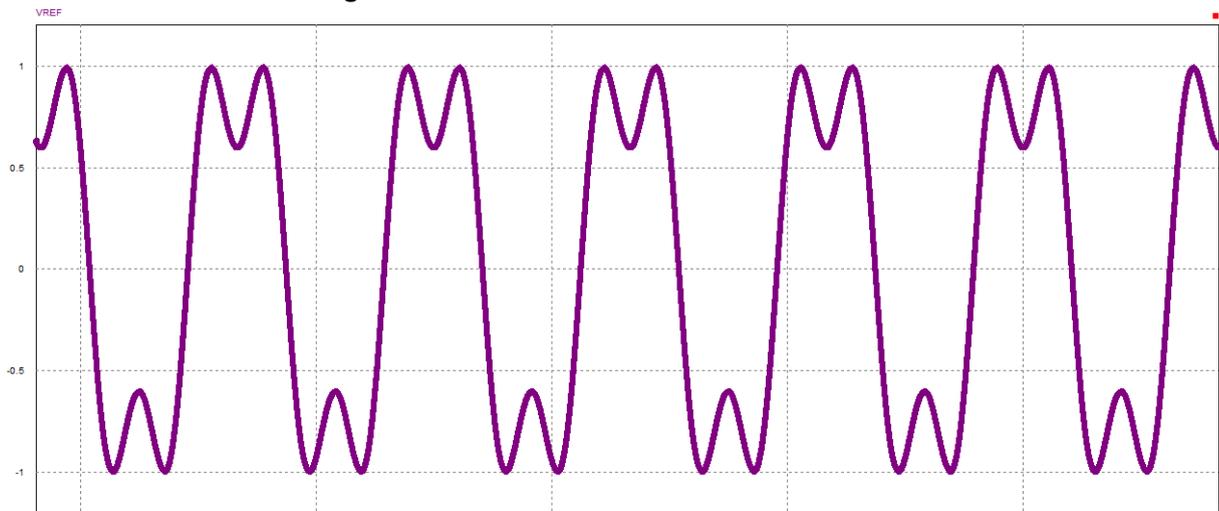
Projeto	Tempo de Estabilização (2%)	Perturbação Máxima em Regime Permanente	Taxa de Distorção Harmônica
01 / Sem limitador	0,102 s ⁹	17,177 Hz	6,99%
01 / Com limitador	0,434 s ⁴	5,422 Hz	2,37%
02	0,567 s	3,578 Hz	1,46%
03	3,542 s	0,501 Hz	0,21%
04	17,342 s	0,101 Hz	< 0,06%

Fonte: Autoria própria (2022).

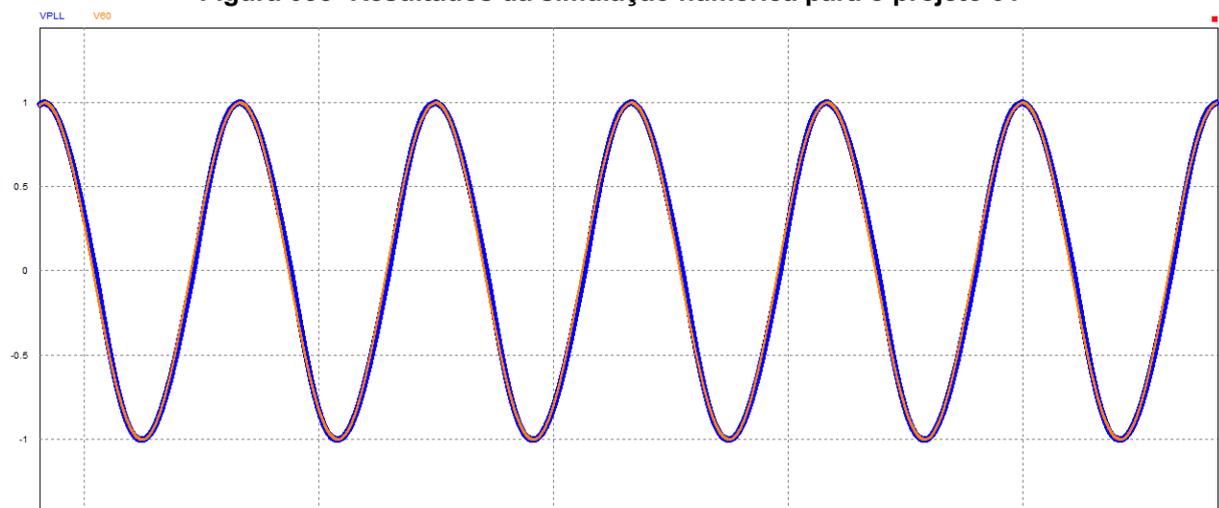
Para finalizar as simulações numéricas, a fonte de tensão de entrada foi acrescida de sua terceira harmônica adicionando uma onda senoidal com 0,4 de amplitude e 180 Hz de frequência com 270° de defasagem, implicando em um TDH de 40% (o quádruplo do permitido pela ANEEL). Logo o sinal de entrada (V_{REF}) apresenta grandes distorções, apresentadas na figura 034.

Os resultados dessas simulações para os quatro projetos com circuito completo submetidos ao sinal de entrada com distorção são exibidos nas figuras 035-038. Onde se encontra o sinal de saída (V_{PLL}) em azul com maior espessura e a referência da onda fundamental de (V_{60}) em laranja com menor espessura, apresentando o travamento em regime permanente.

⁹ Como o projeto 01 possui erro em regime permanente maior que 2%, o valor apresentado foi estimado.

Figura 034- Sinal de entrada com TDH de 40%

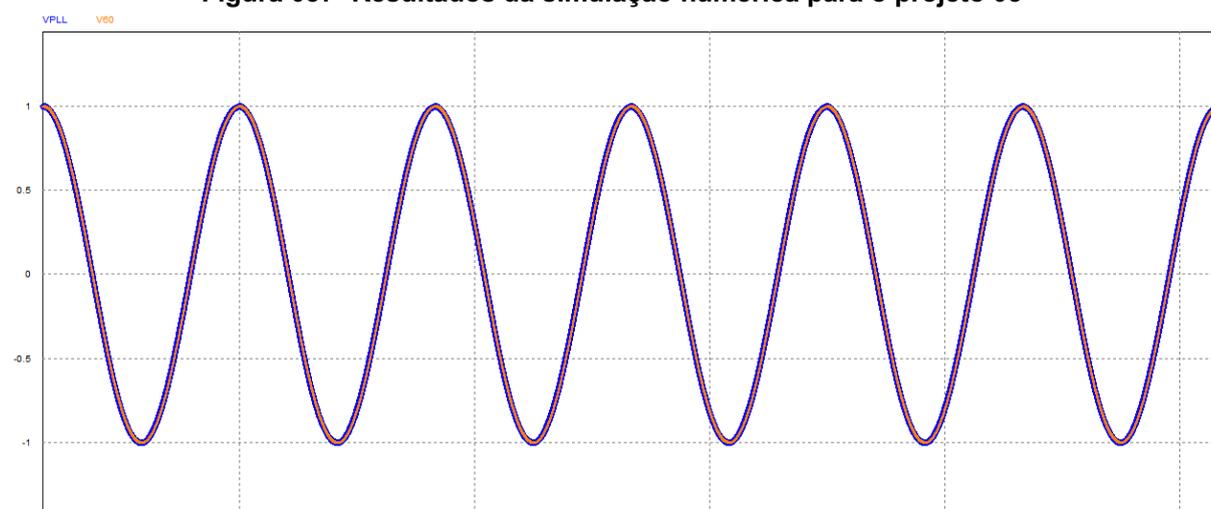
Fonte: PSIM® (2022)

Figura 035- Resultados da simulação numérica para o projeto 01

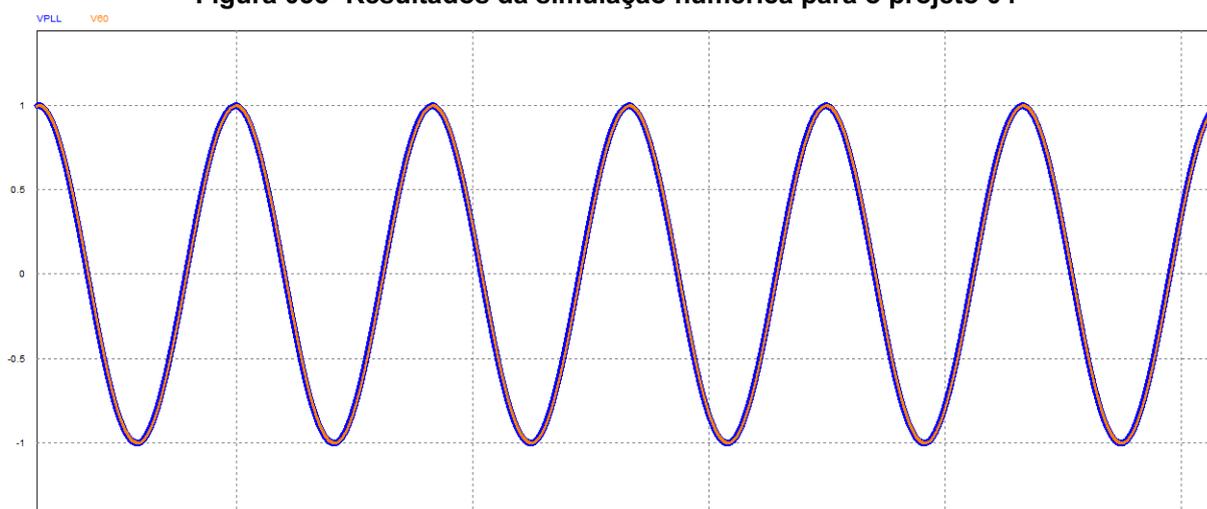
Fonte: PSIM® (2022)

Figura 036- Resultados da simulação numérica para o projeto 02

Fonte: PSIM® (2022)

Figura 037- Resultados da simulação numérica para o projeto 03

Fonte: PSIM® (2022)

Figura 038- Resultados da simulação numérica para o projeto 04

Fonte: PSIM® (2022)

3.6. Análise de resultados

Pode-se observar através dos resultados apresentados que mesmo utilizando a análise de pequenos sinais, a linearização e o *SISO tool* para o projeto dos PLLs, a metodologia estimou com precisão o comportamento do sistema. O quadro 05 apresenta os parâmetros de projeto e os resultados obtidos por simulação numérica para fins de comparação de desempenho, entre parênteses são apresentados os erros percentuais.

Quadro 05 - Comparação de desempenho de projetos

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	Diretriz	Esperado	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
01 / Sem limitador	$T_E = 0,10 s$	$\Delta f_{MÁX} = 17,1 Hz$	0,102 (2%)	17,18 (0,5%)	6,99%
01 / Com limitador			0,434 (>300%)	5,42 (-68%)	2,37%
02	$\Delta f_{MÁX} = 3,5 Hz$	$T_E = 0,49 s$	0,567 (15%)	3,56 (2%)	1,46%
03	$\Delta f_{MÁX} = 0,5 Hz$	$T_E = 3,44 s$	3,542 (3%)	0,50 (<1%)	0,21%
04	$\Delta f_{MÁX} = 0,1 Hz$	$T_E = 17,00 s$	17,342 (2%)	0,10 (1%)	< 0,06%

Fonte: Autoria própria (2022).

Já no primeiro projeto foi possível observar que o bloco limitador pode influenciar diretamente na resposta do sistema. Observa-se que, sem ele, o desempenho esperado é alcançado com pequenos desvios, e, quando ele é adicionado, a perturbação máxima ($\Delta f_{MÁX}$) reduz cerca de 70%, com a TDH, com o custo de mais que triplicar o seu tempo de estabilização. No segundo projeto, sua influência é percebida na figura 29, o que leva a um desvio de 15% no seu tempo de estabilização.

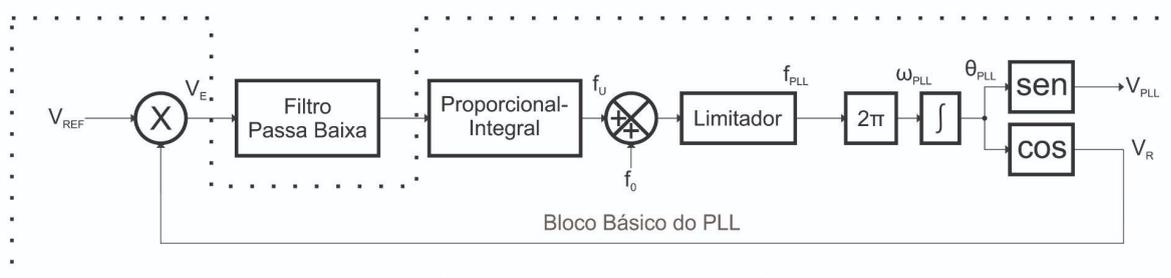
Ademais, todos os projetos rastream e travaram a frequência fundamental do sinal de entrada mesmo submetidos a grande distorção de sinal, provando sua utilidade para o processamento de energia.

Percebe-se a relação inversa entre o tempo de estabilização do sistema e a taxa de distorção harmônica, onde traz a necessidade de reprojeter um sistema sempre que os requisitos não sejam atendidos. A resposta do Bloco Básico do PLL é muito lenta para aplicações com inversores de tensão, logo buscaram-se alternativas que melhorassem a velocidade de resposta enquanto não apresentassem prejuízos na qualidade do sinal.

4. PLL COM FILTRO PASSA BAIXA

Uma das alternativas sugeridas por Golestan, Guerrero e Vasquez (2017, p. 9014), é adicionar um Filtro Passa Baixa (FPB), encontrado na literatura como *Low Pass Filter* - LPF, ao Controlador (LF) para que o termo alternado do Detector de Fase (PD) seja atenuado antes de o sinal de erro ser processado. Assim, o novo diagrama em blocos é apresentado na figura 039, onde é possível reconhecer o Bloco Básico estudado no capítulo anterior e o Filtro Passa Baixa (FPB) atuando em conjunto com o Controlador (LF). Sendo assim, o circuito apresentado é extremamente parecido com o bloco básico, apenas com a adição do Filtro Passa Baixa (FPB) que promete resolver os problemas apresentados no projeto anterior.

Figura 039 - PLL com Filtro Passa Baixa (FPB) que será estudado na sequência



Fonte: Autoria própria (2022).

4.1. Funcionamento

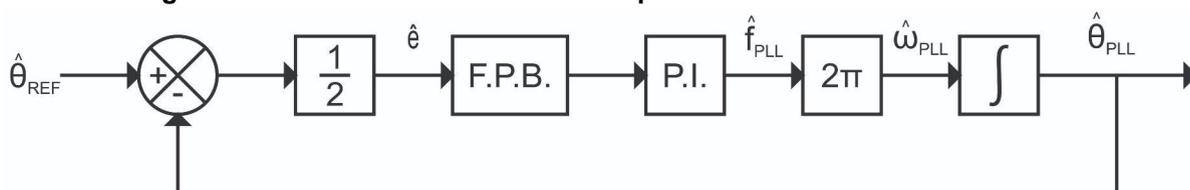
O Filtro Passa Baixa (FPB) tende a atenuar frequências acima de certo valor, chamado frequência de corte (f_{CO}), sem prejudicar a passagem das frequências menores que ele. A função de transferência que descreve seu comportamento é dada pela equação (14).

$$FPB(s) = \frac{\omega_{CO}}{s + \omega_{CO}} = \frac{2\pi f_{CO}}{s + 2\pi f_{CO}} \quad (14)$$

4.2. Análise matemática

Efetuando a mesma análise matemática exposta, através da teoria de pequenos sinais e linearização, chega-se ao Modelo Médio Linearizado para o PLL com Filtro Passa Baixa apresentado na figura 040.

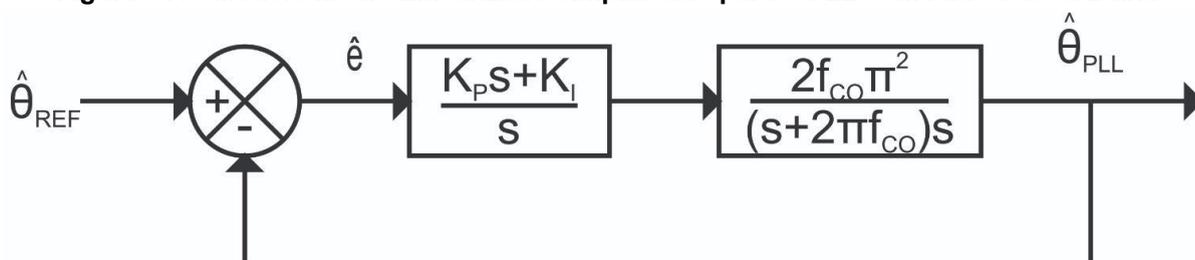
Figura 040 - Modelo Médio Linearizado para o PLL com Filtro Passa Baixa



Fonte: Autoria própria (2022).

Optou-se por incorporar o bloco do Filtro Passa Baixa (FPB) à planta, visto que sua frequência de corte (f_{co}) será definida antes dos parâmetros do controlador PI. Assim, tem-se o diagrama apresentado na figura 041.

Figura 041 - Modelo Médio Linearizado simplificado para o PLL com Filtro Passa Baixa



Fonte: Autoria própria (2022).

Facilmente, são retirados os parâmetros para alimentação do *SISO tool*, como mostra o quadro 06.

Quadro 06 – Parâmetros de entrada do *SISO tool*

Bloco	Valor
F	1
C	$\frac{K_p s + K_I}{s}$
G	$\frac{2f_{co}\pi^2}{(s+2\pi f_{co})s}$
H	1

Fonte: Autoria própria (2022).

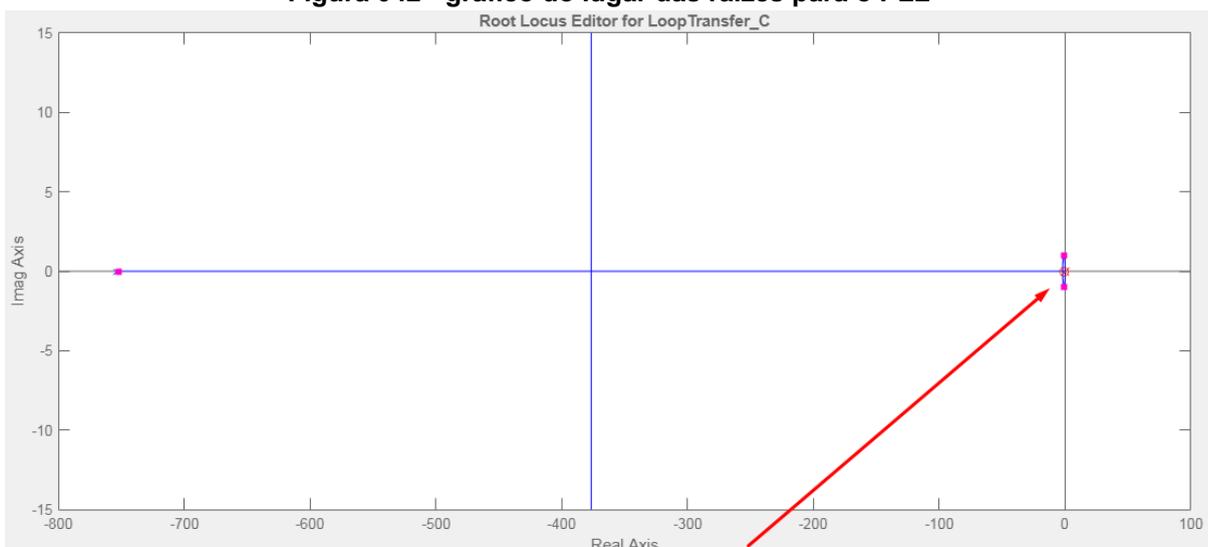
4.3. Metodologia de projeto

Para efetuar o projeto do PLL com Filtro Passa Baixa (FPB), escolheu-se definir a frequência de corte (f_{co}) antes dos parâmetros do controlador. Sendo assim, o primeiro passo é defini-la.

Como o controlador ficou definido como sendo PI para o Bloco Básico, usou-se o mesmo para os próximos PLLs, logo o mesmo também foi enviado no mesmo comando.

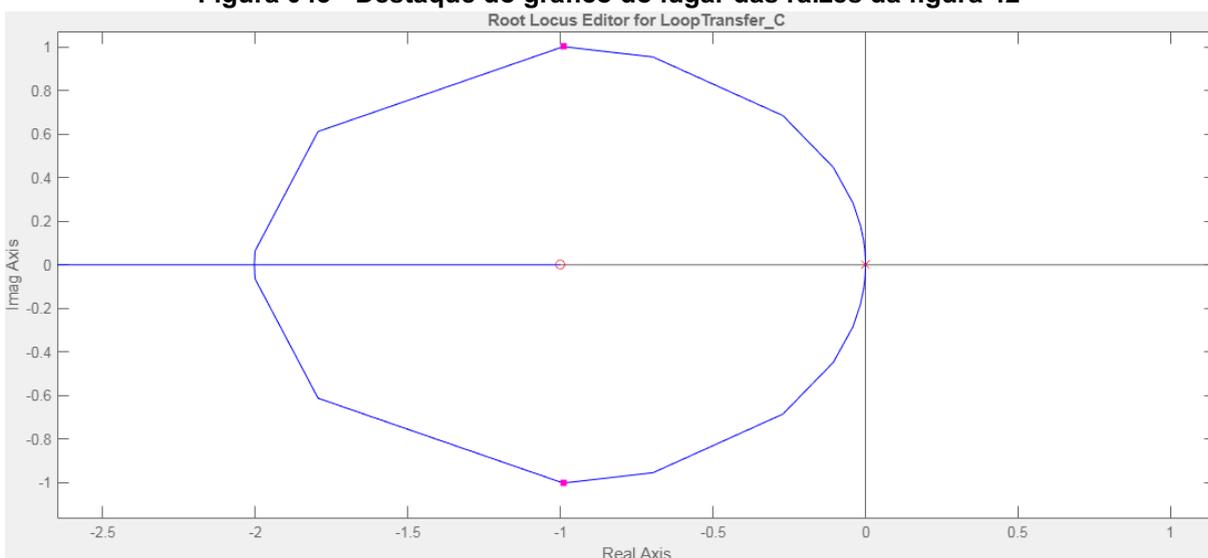
A figura 042 apresenta o gráfico do lugar das raízes para a malha fechada do sistema, a área destacada está melhor apresentada na figura 043. É possível observar, que para o sistema em malha fechada do PLL com Filtro Passa Baixa (FPB), existe um polo distante, relativo ao filtro, e um zero, relativo ao controlador, sobre o eixo real negativo e dois polos sobre a origem, um relativo ao controlador e outro à planta. À medida que o ganho do sistema tende ao infinito, os polos sobre a origem tornam-se um par complexo conjugado que circula o zero e encontra-se em um ponto de bifurcação sobre a reta real, assim como o Bloco Básico, enquanto o polo distante é atraído e percorre o eixo real. Depois desse ponto de bifurcação um polo tende ao zero do sistema e os outros polos, um que estava sobre o ponto de bifurcação e o que foi atraído, tendem a se encontrar em um novo ponto de bifurcação, onde, desta vez, tem-se um polo complexo conjugado com a parte imaginária tendendo ao infinito. Apenas o primeiro ponto de bifurcação será utilizado no projeto, de maneira similar à metodologia anterior.

Figura 042 - gráfico do lugar das raízes para o PLL



Fonte: Control System Designer do MATLAB® (2022).

Figura 043 - Destaque do gráfico do lugar das raízes da figura 42



Fonte: Control System Designer do MATLAB® (2022).

Foram realizados três projetos de Filtro Passa Baixa (FPB) para efeito de comparação do comportamento do PLL. Para escolher a frequência de corte (f_{co}), levou-se em consideração o quanto ela pode contribuir na atenuação da componente alternada. Logo, calculou-se o módulo na frequência do termo alternado de sua função de transferência apresentada na equação (14), chegando a equação (15).

$$|FPB(j240\pi)| = 20 \log \left(\frac{f_{co}}{\sqrt{(120)^2 + (f_{co})^2}} \right) \quad (15)$$

Os valores da frequência de corte (f_{co}) e as respectivas atenuações do termo alternado em valor absoluto, percentual e em decibéis são apresentadas no quadro 07.

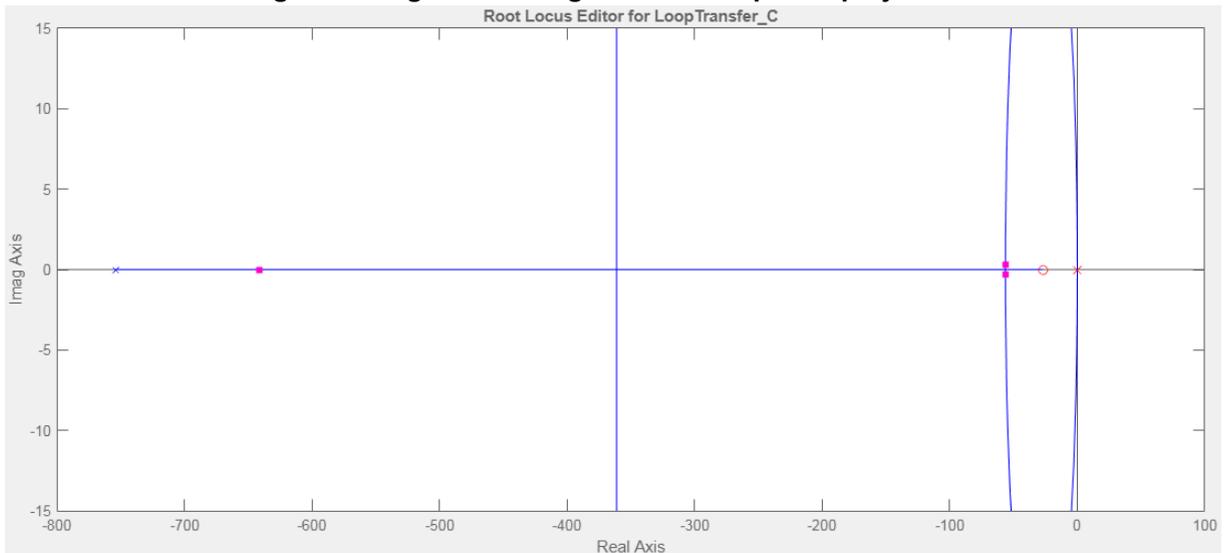
Quadro 07 – Atenuações geradas pelos Filtros Passa Baixa

FPB	f_{co}	$ FPB(j240\pi) $	$ FPB(j240\pi) $
FPB1	120 Hz	0,7071 (-29,29%)	-3,0 dB
FPB2	75 Hz	0,5300 (-47,00%)	-5,5 dB
FPB3	25 Hz	0,2040 (-79,60%)	-13,8 dB

Fonte: Autoria própria (2022).

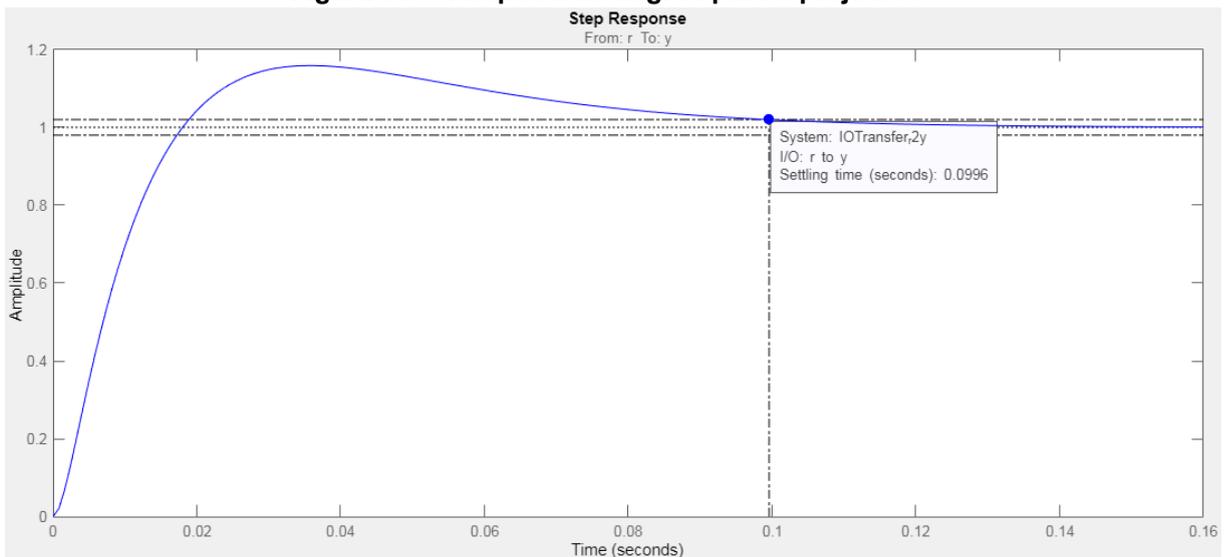
No primeiro projeto para FPB1 (projeto 05), objetivou-se a construção de um PLL que estabilizasse em 0,100 s. Logo, utilizando o gráfico do lugar das raízes, deslocaram-se os polos para o ponto de bifurcação e o zero para a esquerda até que a resposta ao degrau fosse alcançada. Um dos controladores que satisfazem essa condição tem seu zero em -27 e um ganho de 860,3, tendo como resultado $K_p = 31,863$ e $K_I = 860,300$. O gráfico do lugar das raízes e a resposta ao degrau são apresentados na figura 044 e 045.

Figura 044 - gráfico do lugar das raízes para o projeto 05



Fonte: Control System Designer do MATLAB® (2022).

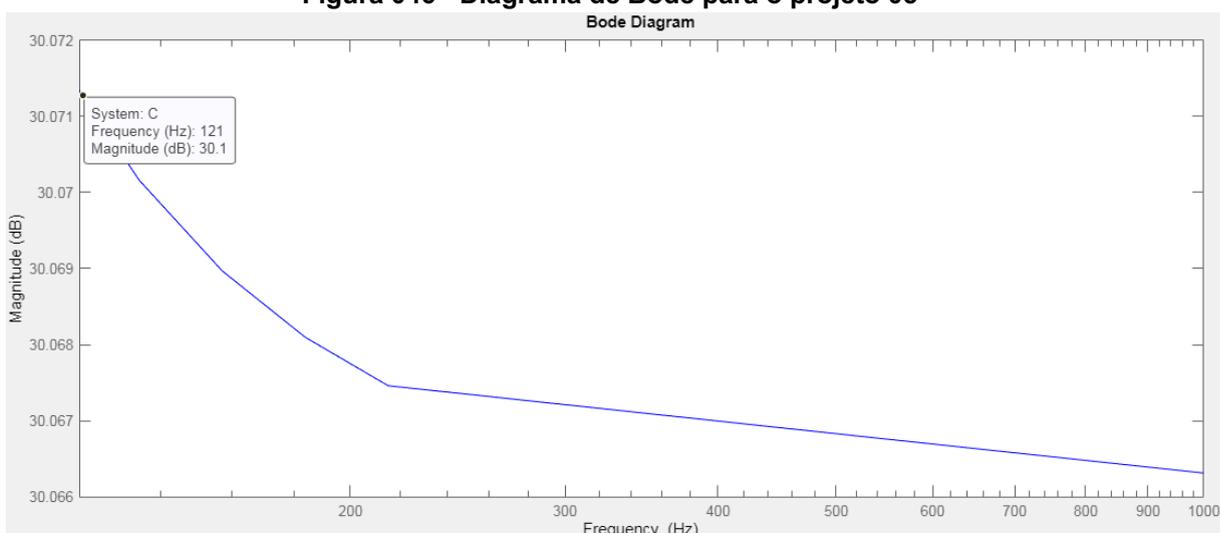
Figura 045 - Resposta ao degrau para o projeto 05



Fonte: Control System Designer do MATLAB® (2022).

Pode-se observar na figura 046 que o módulo do controlador para o projeto 05 em 120 Hz é de 30,1 dB. Logo, utilizando a equação (12), poderia ser estimado que a perturbação máxima ($\Delta f_{M\acute{A}X}$) valeria 16,0 Hz. Entretanto, como se utiliza o Filtro Passa Baixa (FPB), o módulo do filtro será descontado desse valor, resultando em 27,1 dB, levando a perturbação máxima ($\Delta f_{M\acute{A}X}$) diminuir para 11,3 Hz.

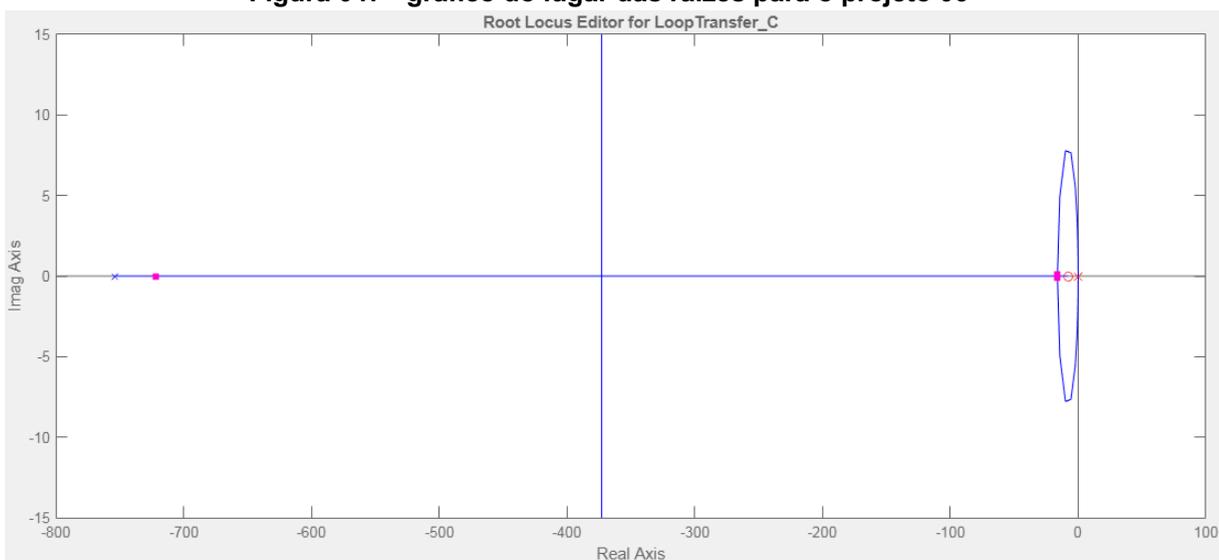
Figura 046 - Diagrama de Bode para o projeto 05



Fonte: Control System Designer do MATLAB® (2022).

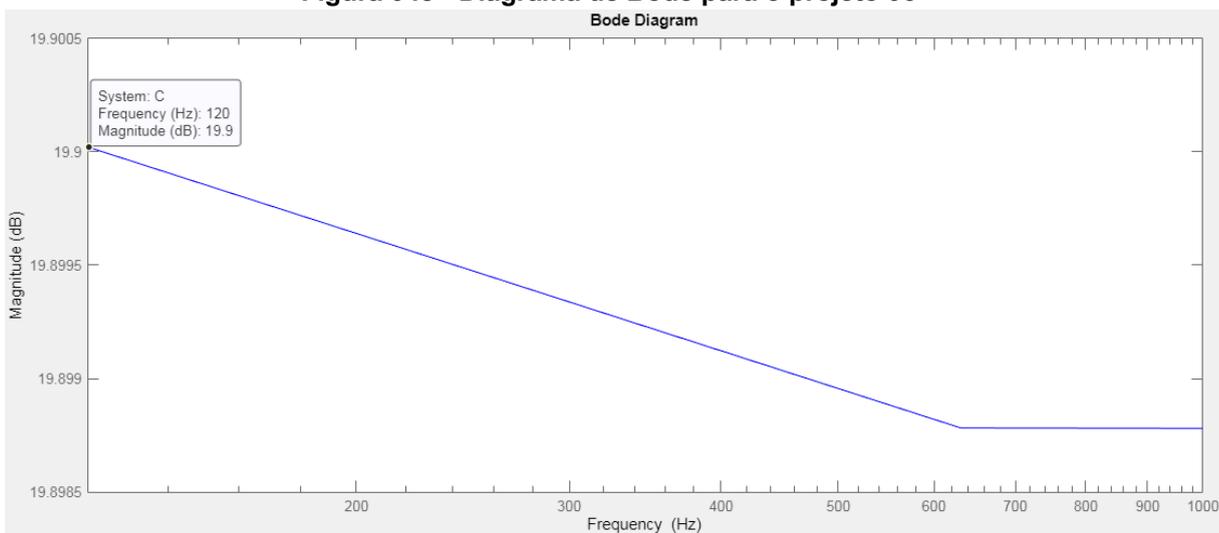
Para o segundo projeto com FPB1 (projeto 06), objetivou-se a construção de um PLL que tivesse uma perturbação máxima ($\Delta f_{M\acute{A}X}$) de 3,5 Hz, valendo-se da equação (13) tem-se um G_{dB} de 16,9 dB, ao considerar a atenuação do módulo do Filtro Passa Baixa (FPB), o controlador poderá obter um módulo igual a 19,9 dB. Assim, utilizando o gráfico do lugar das raízes, deslocaram-se os polos para o ponto de bifurcação e o zero para a direita até que o diagrama de Bode apresentasse o módulo desejado. Um dos controladores que satisfazem essa condição tem seu zero em -7,931 e ganho de 78,391, resultando em $K_p = 9,884$ e $K_I = 78,391$. O gráfico do lugar das raízes e o diagrama de Bode são apresentados na figura 047 e 048.

Figura 047 - gráfico do lugar das raízes para o projeto 06



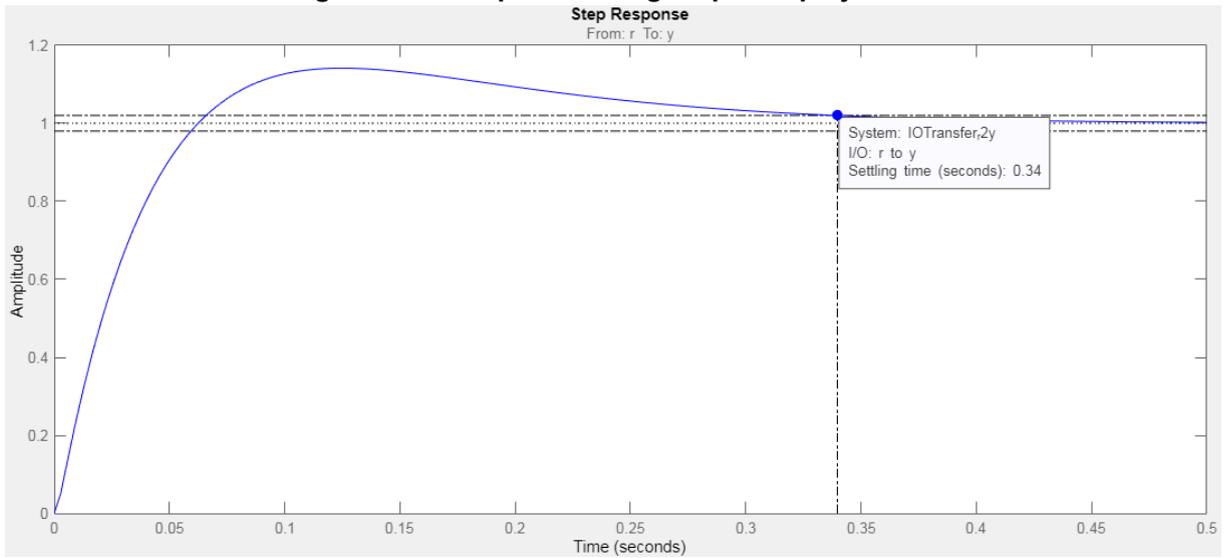
Fonte: Control System Designer do MATLAB® (2022).

Figura 048 - Diagrama de Bode para o projeto 06



Fonte: Control System Designer do MATLAB® (2022).

Pode-se observar na figura 049 que o tempo de estabilização do sistema em malha fechada é de 0,340 s.

Figura 049 - Resposta ao degrau para o projeto 06

Fonte: Control System Designer do MATLAB® (2022).

Os demais projetos seguiram os mesmos passos da metodologia já apresentada. Assim, para evitar a repetição de conteúdo, resumiu-se no quadro 7 os parâmetros utilizados e os resultados esperados para os próximos projetos do PLL estudado.

Quadro 08 - Síntese dos projetos efetuados com suas respectivas características

Projeto	f_{CO}	Diretriz do projeto	Mapa das Raízes	Ganhos do Controlador	Resultado esperado
05	120 Hz	$T_E = 0,100 \text{ s}$	$z = -27,000$ $K = 860,300$	$K_P = 31,863$ $K_I = 860,300$	$\Delta f_{MÁX} = 11,3 \text{ Hz}$
06	120 Hz	$\Delta f_{MÁX} = 3,5 \text{ Hz}$	$z = -7,931$ $K = 78,391$	$K_P = 9,884$ $K_I = 78,391$	$T_E = 0,491 \text{ s}$
07	120 Hz	$\Delta f_{MÁX} = 0,5 \text{ Hz}$	$z = -1,112$ $K = 1,570$	$K_P = 1,412$ $K_I = 1,570$	$T_E = 2,420 \text{ s}$
08	120 Hz	$\Delta f_{MÁX} = 0,1 \text{ Hz}$	$z = -0,220$ $K = 0,062$	$K_P = 0,282$ $K_I = 0,062$	$T_E = 12,200 \text{ s}$
09	75 Hz	$T_E = 0,100 \text{ s}$	$z = -27,000$ $K = 817,800$	$K_P = 30,289$ $K_I = 817,800$	$\Delta f_{MÁX} = 8,0 \text{ Hz}$
10	75 Hz	$\Delta f_{MÁX} = 3,5 \text{ Hz}$	$z = -10,859$ $K = 143,125$	$K_P = 13,180$ $K_I = 143,125$	$T_E = 0,248 \text{ s}$
11	75 Hz	$\Delta f_{MÁX} = 0,5 \text{ Hz}$	$z = -1,49$ $K = 2,810$	$K_P = 1,886$ $K_I = 2,810$	$T_E = 1,810 \text{ s}$
12	75 Hz	$\Delta f_{MÁX} = 0,1 \text{ Hz}$	$z = -0,297$ $K = 0,112$	$K_P = 0,377$ $K_I = 0,112$	$T_E = 9,080 \text{ s}$
13	25 Hz	$T_E = 0,100 \text{ s}$	$z = -24,800$ $K = 521,530$	$K_P = 21,029$ $K_I = 521,530$	$\Delta f_{MÁX} = 2,2 \text{ Hz}$
14	25 Hz	$\Delta f_{MÁX} = 3,5 \text{ Hz}$	$z = -35,330$ $K = 1210,000$	$K_P = 34,249$ $K_I = 1210,000$	$T_E = 0,075 \text{ s}$
15	25 Hz	$\Delta f_{MÁX} = 0,5 \text{ Hz}$	$z = -4,064$ $K = 19,924$	$K_P = 4,903$ $K_I = 19,924$	$T_E = 0,662 \text{ s}$
16	25 Hz	$\Delta f_{MÁX} = 0,1 \text{ Hz}$	$z = -0,778$ $K = 0,763$	$K_P = 0,981$ $K_I = 0,763$	$T_E = 3,460 \text{ s}$

Fonte: Autoria própria (2022)

Nos projetos 13 e 14, os dois pontos de bifurcação do gráfico do lugar das raízes se encontram e ao invés de um dos polos da origem retornar para o zero real, os dois polos que saíram da origem têm sua parte imaginária levemente reduzida sem mais tocar a reta real. Esse efeito faz com que o polo relativo ao filtro tenda a se encontrar com o zero real do controlador quando o ganho tende ao infinito, enquanto os polos da origem tem sua parte imaginária tendendo ao infinito.

Nesses casos, utilizou-se um ganho tal que ocorresse o alinhamento entre os três polos, como pode ser observado no gráfico do lugar das raízes para o projeto 13, na figura 050, e para o projeto 14, na figura 051.

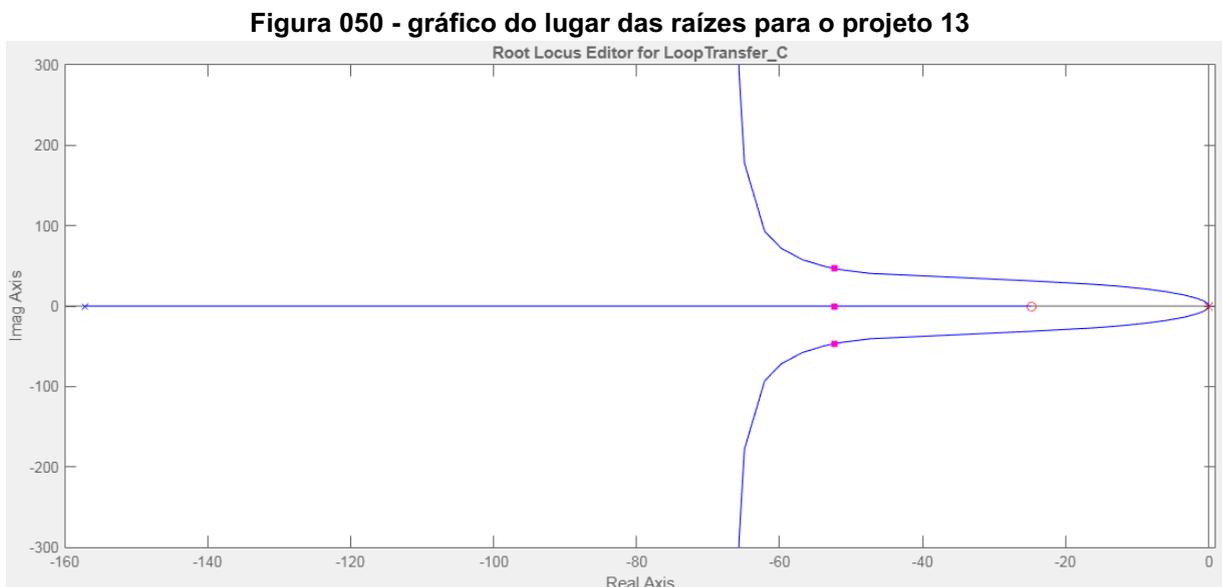
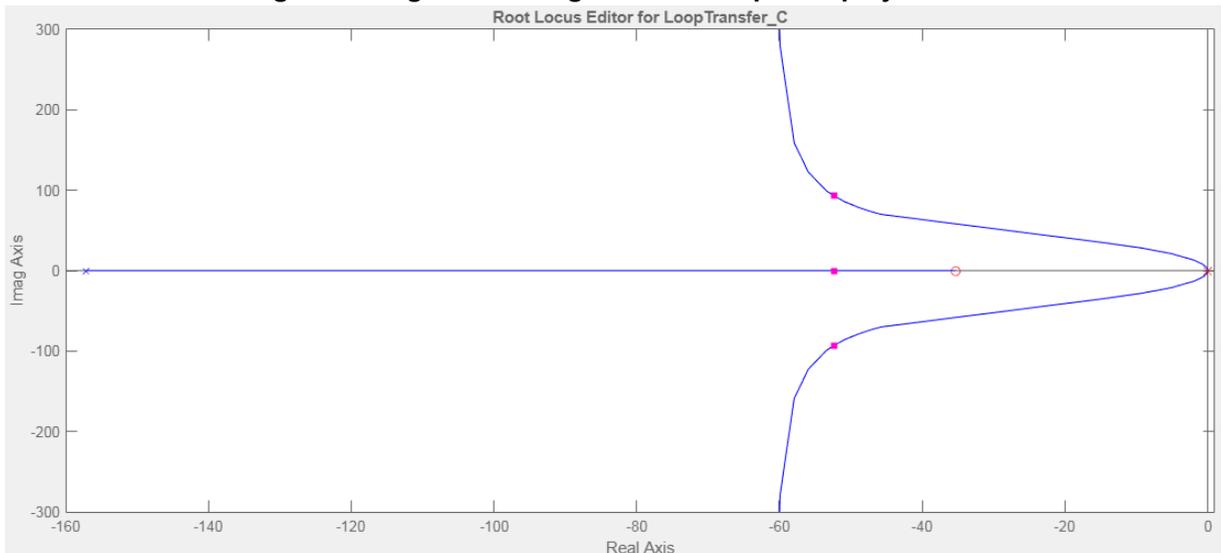


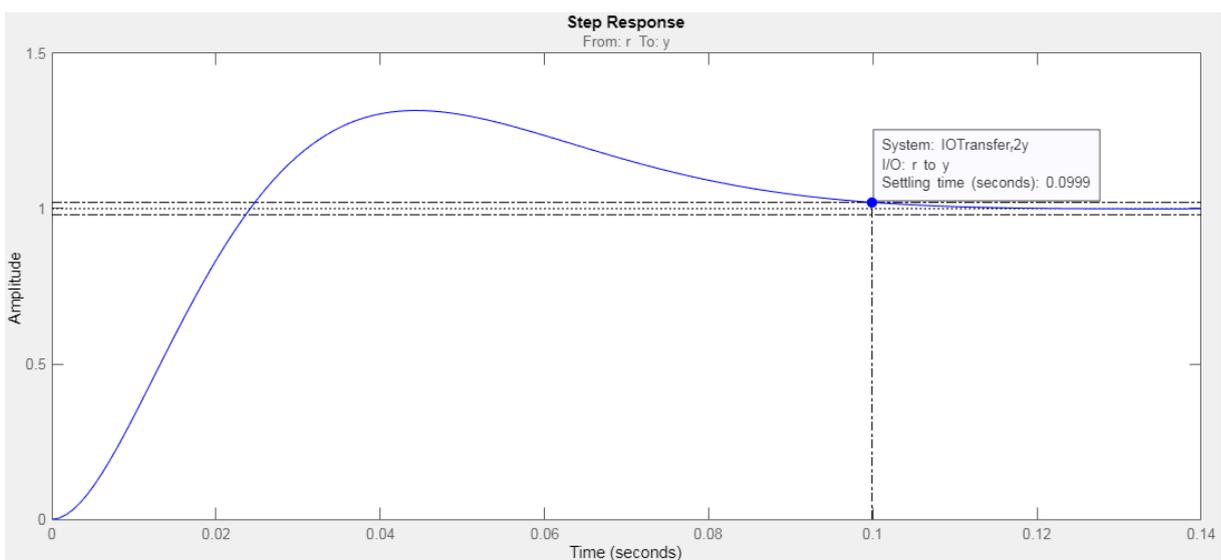
Figura 051 - gráfico do lugar das raízes para o projeto 14



Fonte: Control System Designer do MATLAB® (2022).

No caso do projeto 13, o objetivo era alcançar um tempo de estabilização a 2% (T_E) de 0,100 s. Logo, utilizando o gráfico do lugar das raízes, deslocaram-se os polos para o ponto de alinhamento e o zero para a esquerda até que a resposta ao degrau fosse alcançada. Um dos controladores que satisfazem essa condição tem seu zero em -24,8 e ganho de 521,53, tendo como resultado $K_p = 21,029$ e $K_I = 521,53$. A resposta ao degrau é apresentada na figura 052.

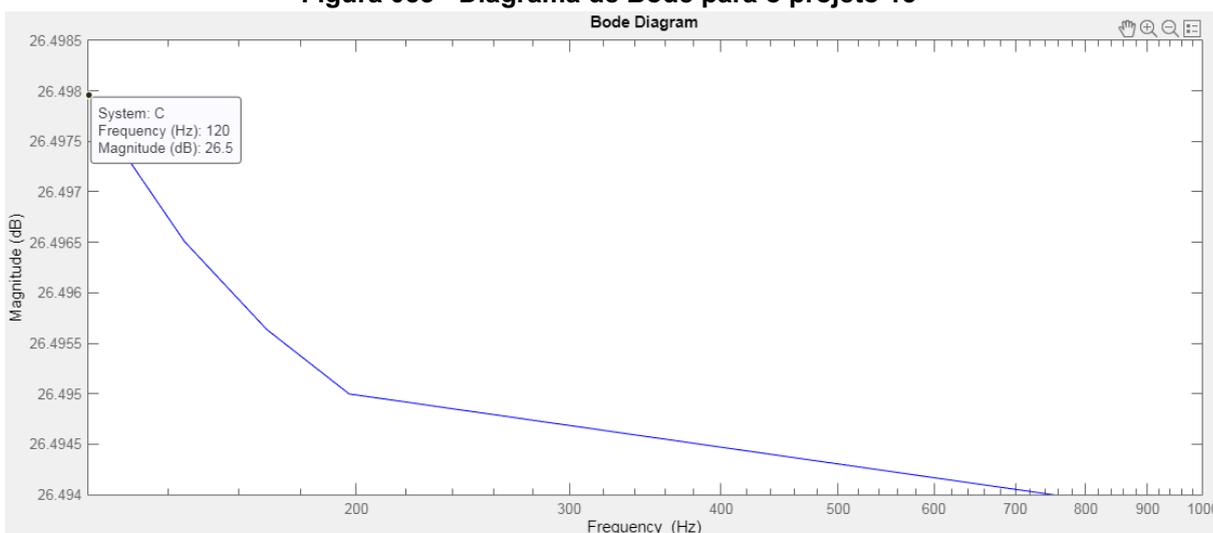
Figura 052 - Resposta ao degrau para o projeto 13



Fonte: Control System Designer do MATLAB® (2022).

Pode-se observar na figura 053 que o módulo do controlador para o projeto 13 em 120 Hz é de 26,5 dB. Logo, utilizando a equação (12), poderia ser estimado que a perturbação máxima ($\Delta f_{M\acute{A}X}$) valeria 10,57 Hz. Entretanto, como se utiliza o Filtro Passa Baixa (FPB), o módulo do filtro será descontado desse valor, resultando em 12,7 dB, levando a perturbação máxima ($\Delta f_{M\acute{A}X}$) diminuir para 2,16 Hz.

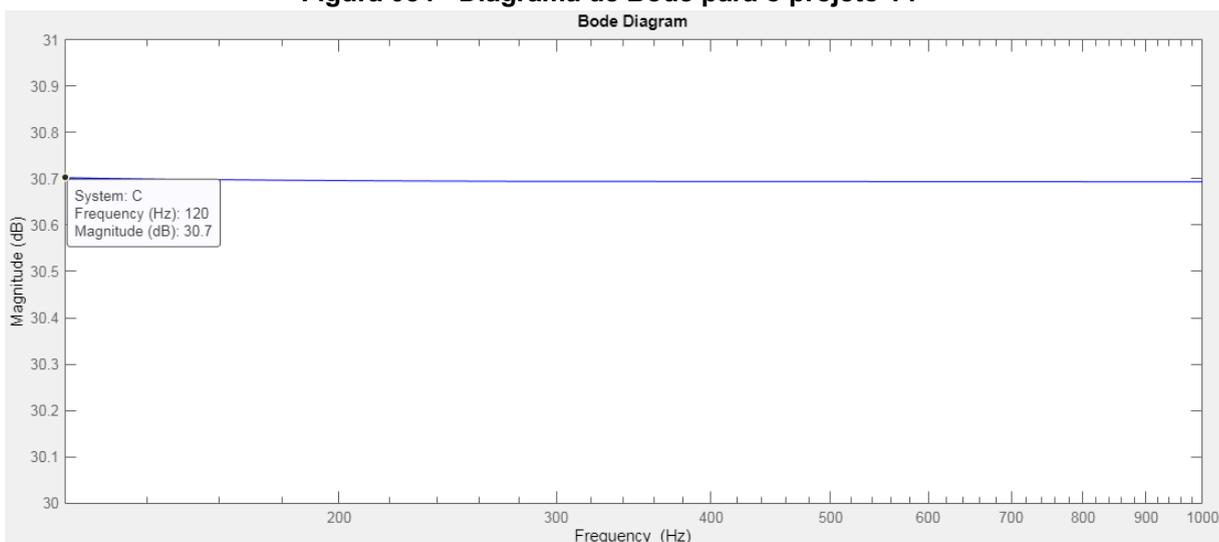
Figura 053 - Diagrama de Bode para o projeto 13



Fonte: Control System Designer do MATLAB® (2022).

Já para o projeto 14, objetivou-se a construção de um PLL que tivesse uma perturbação máxima ($\Delta f_{M\acute{A}X}$) de 3,5 Hz, valendo-se da equação (13) tem-se um G_{dB} de 16,9 dB, ao considerar a atenuação do módulo do Filtro Passa Baixa (FPB), o controlador poderá obter um módulo igual a 30,7 dB. Assim, utilizando o gráfico do lugar das raízes, deslocaram-se os polos para o ponto de alinhamento e o zero para a esquerda até que o diagrama de Bode apresentasse o módulo desejado. Um dos controladores que satisfazem essa condição tem seu zero em -35,33 e ganho de 1210, resultando em $K_p = 34,249$ e $K_I = 1210$. O diagrama de Bode é apresentado na figura 054.

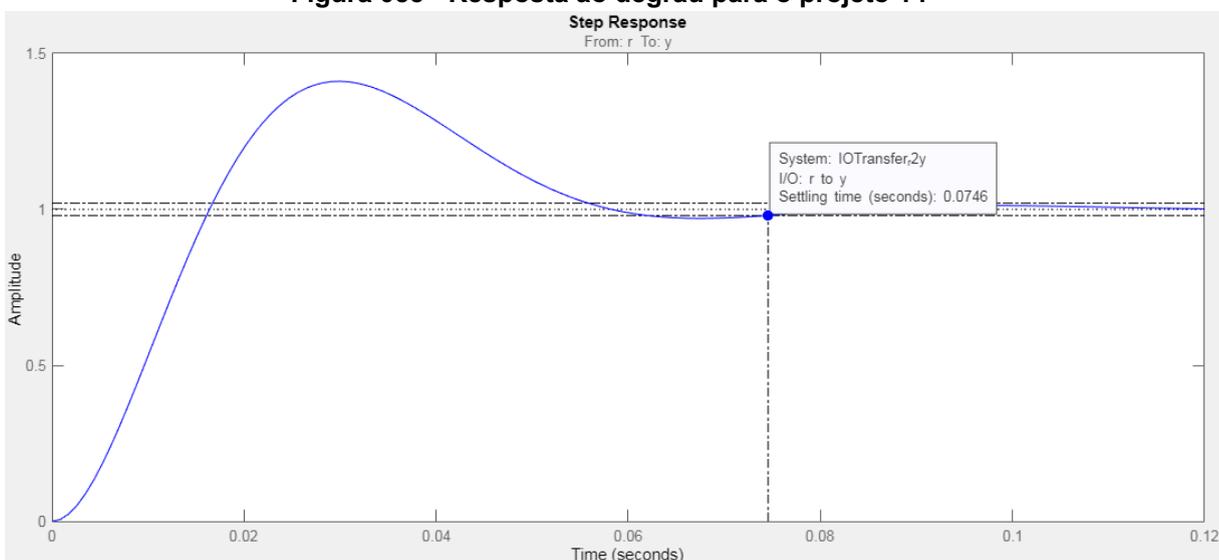
Figura 054 - Diagrama de Bode para o projeto 14



Fonte: Control System Designer do MATLAB® (2022).

Pode-se observar na figura 055 que o tempo de estabilização do sistema em malha fechada é de 0,075 s.

Figura 055 - Resposta ao degrau para o projeto 14

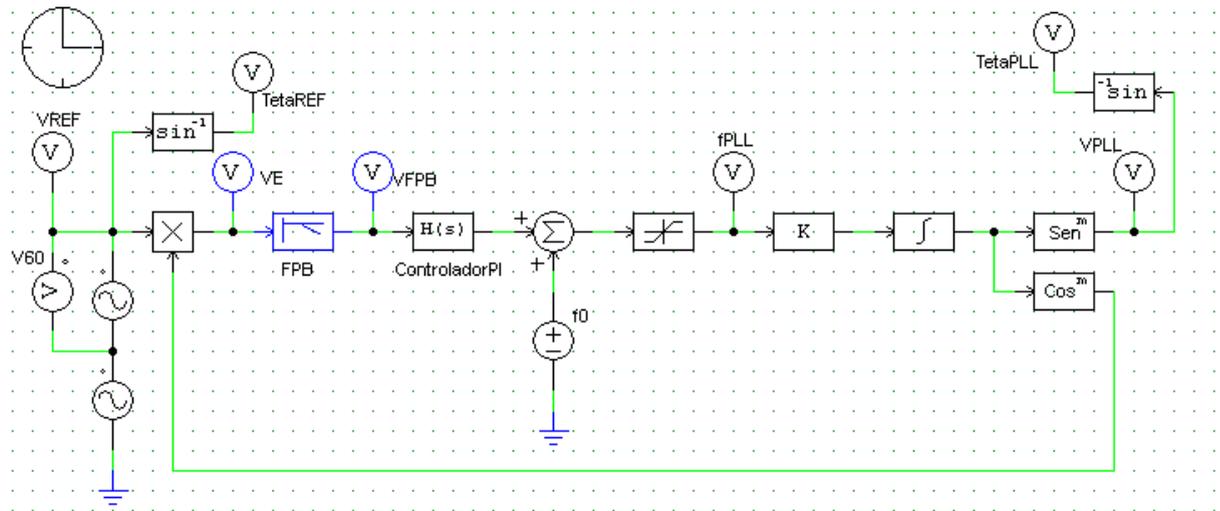


Fonte: Control System Designer do MATLAB® (2022).

4.4. Simulação numérica

Para efetuar a simulação do PLL com Filtro Passa Baixa (FPB), montou-se o circuito da figura 056, onde a única alteração em relação à simulação anterior foi a adição do Filtro Passa Baixa (FPB).

Figura 056 - Circuito do PLL com Filtro Passa Baixa no PSIM®

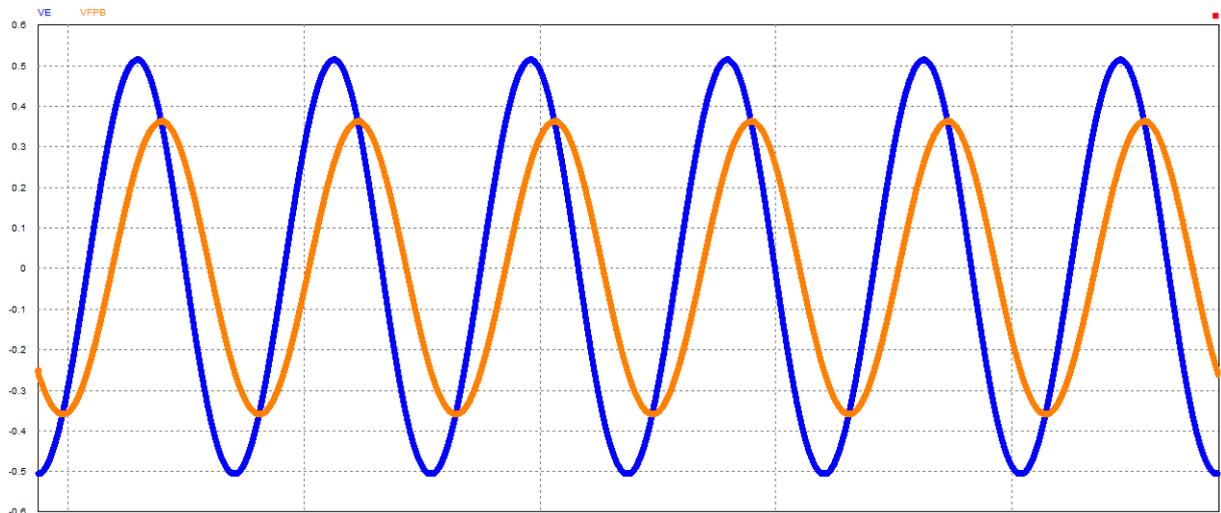


Fonte: PSIM® (2022)

Optou-se por efetuar as simulações numéricas de todos os projetos com os circuitos completos, visto que o efeito do limitador já foi observado nas simulações do Bloco Básico.

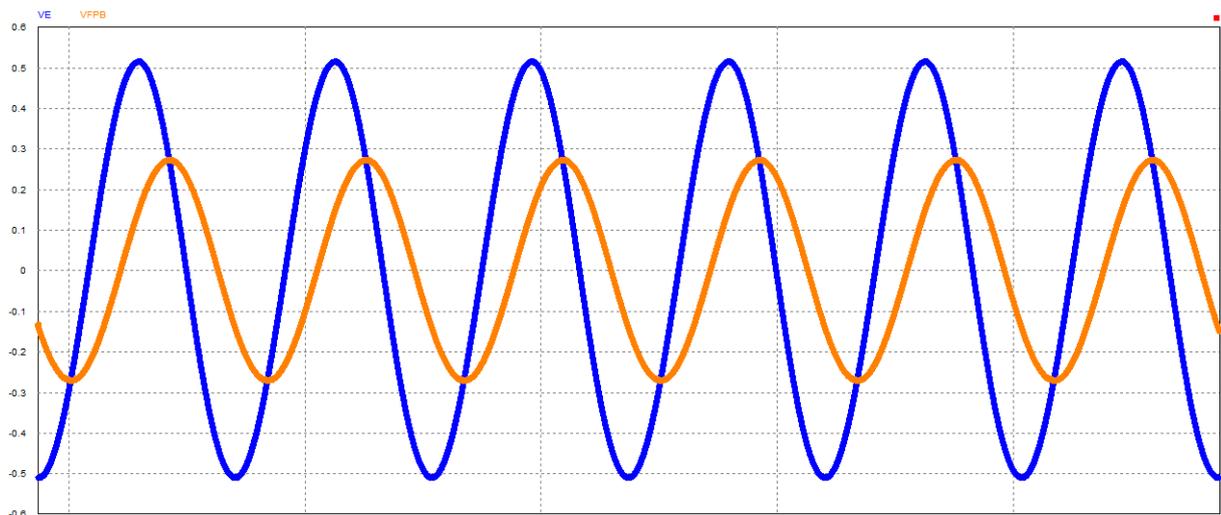
Para comprovar a ação de atenuação do Filtro Passa Baixa (FPB), observou-se a diferença entre a saída do mesmo (V_{FPB}) e o sinal de erro (V_E) para projetos com as mesmas diretrizes, mas frequências de corte (f_{CO}) distintas. Decidiu-se pela diretriz de perturbação máxima ($\Delta f_{MÁX}$) igual a 3,5 Hz. Desse modo, são apresentadas as formas de onda citadas em regime permanente para os projetos 06, 10 e 14 nas figuras 057-059. Em azul encontra-se o sinal de erro (V_E) e em laranja o sinal da saída do Filtro Passa Baixa (V_{FPB}).

Figura 057 - Diferença entre a saída do Filtro Passa Baixa (FPB) e o sinal de erro do Detector de Fase (PD) para o projeto 06



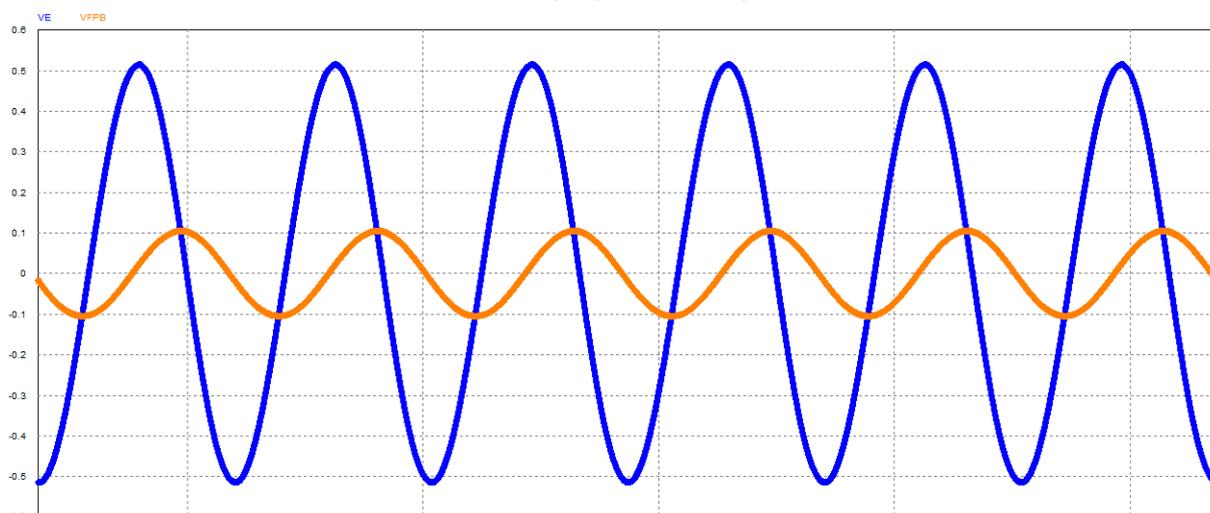
Fonte: PSIM® (2022)

Figura 058 - Diferença entre a saída do Filtro Passa Baixa (FPB) e o sinal de erro do Detector de Fase (PD) para o projeto 10



Fonte: PSIM® (2022).

Figura 059 - Diferença entre a saída do Filtro Passa Baixa (FPB) e o sinal de erro do Detector de Fase (PD) para o projeto 14



Fonte: PSIM® (2022)

Medindo-se os máximos das ondas apresentadas, construiu-se o quadro 09.

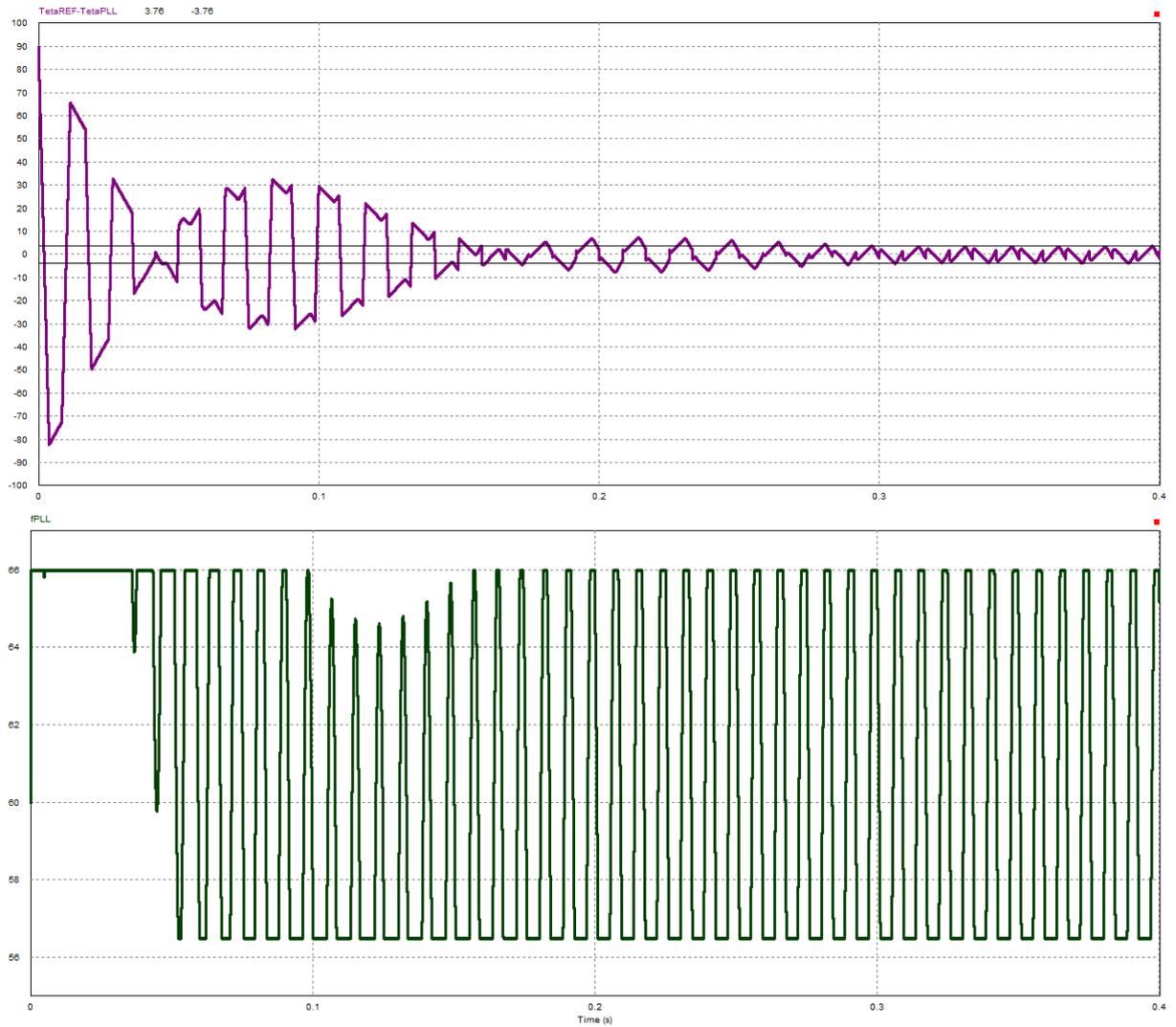
Quadro 09 – Atenuações geradas pelos Filtros Passa Baixa

Projeto	$V_{E_{MÁX}}$	$V_{FPB_{MÁX}}$	Atenuação
06	0,5157	0,3641	-29,40%
10	0,5165	0,2739	-46,97%
14	0,5159	0,1057	-79,51%

Fonte: Autoria própria (2022).

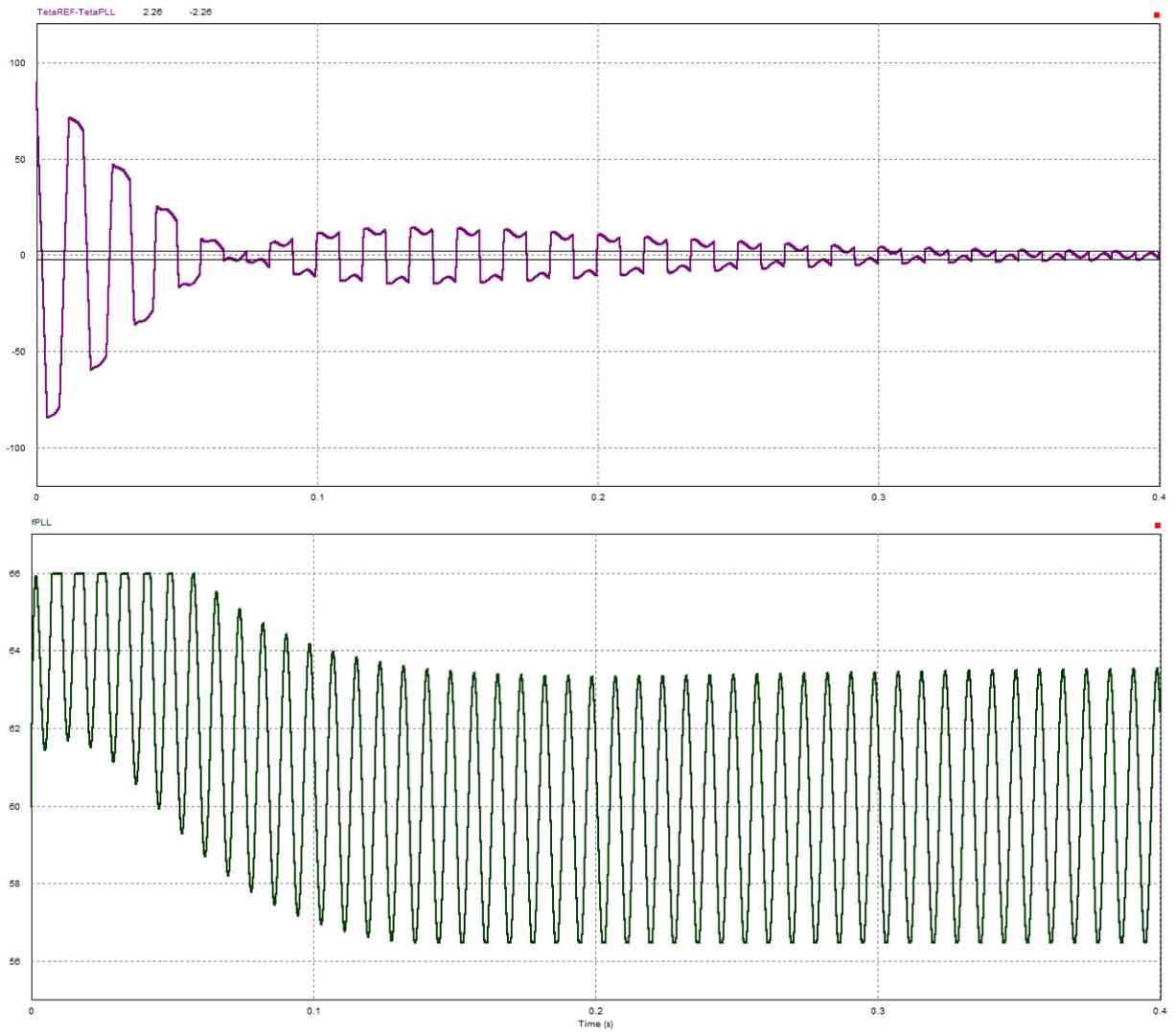
As figuras 060-071 apresentam, na parte superior, a diferença entre as fases de entrada (θ_{REF}) e de saída (θ_{PLL}) e, na parte inferior, as formas de onda da saída do Controlador (LF) de todos projetos sugeridos.

Figura 060 - Resultados da simulação numérica para o projeto 05



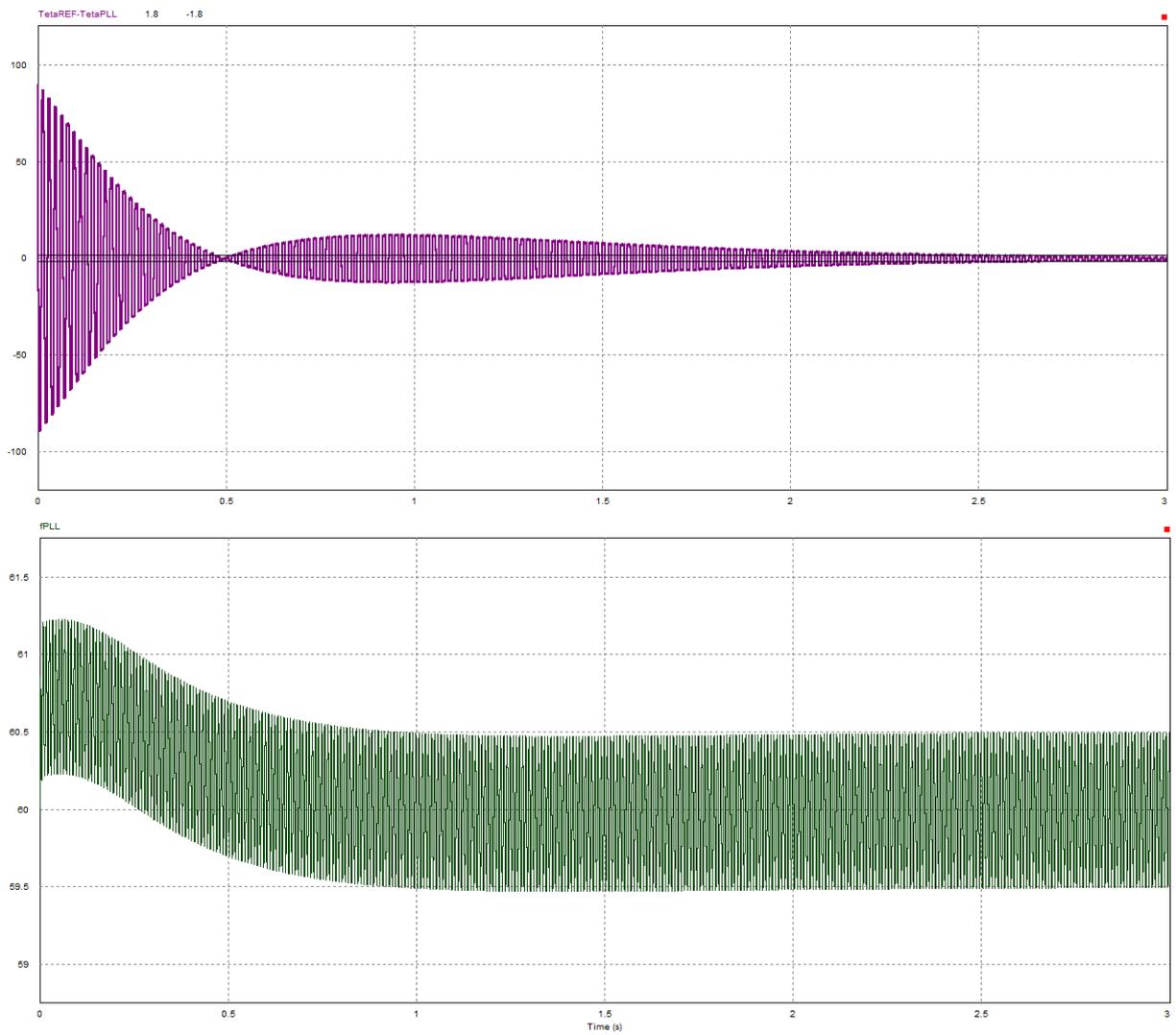
Fonte: PSIM® (2022)

Figura 061 - Resultados da simulação numérica para o projeto 06



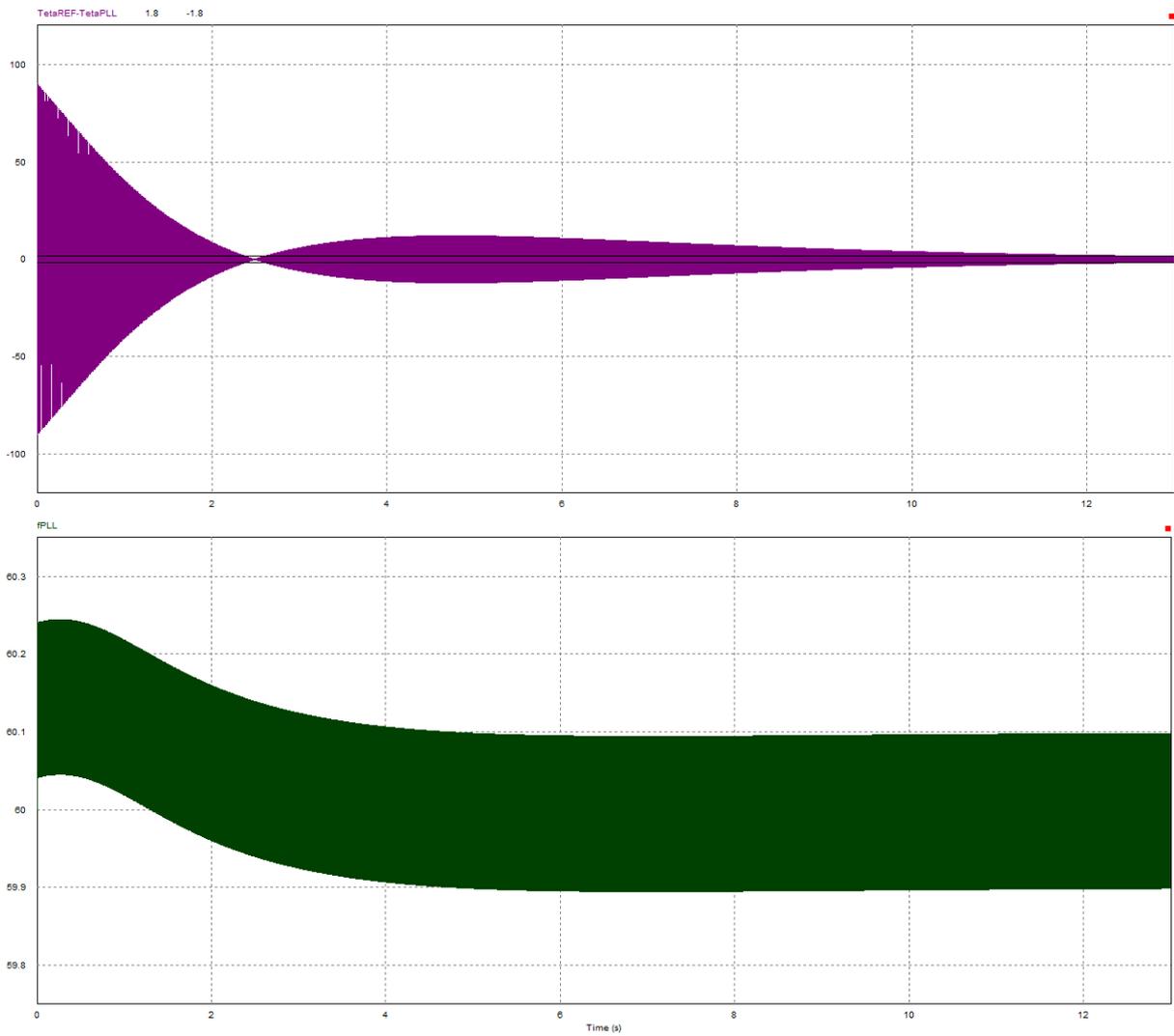
Fonte: PSIM® (2022)

Figura 062 - Resultados da simulação numérica para o projeto 07



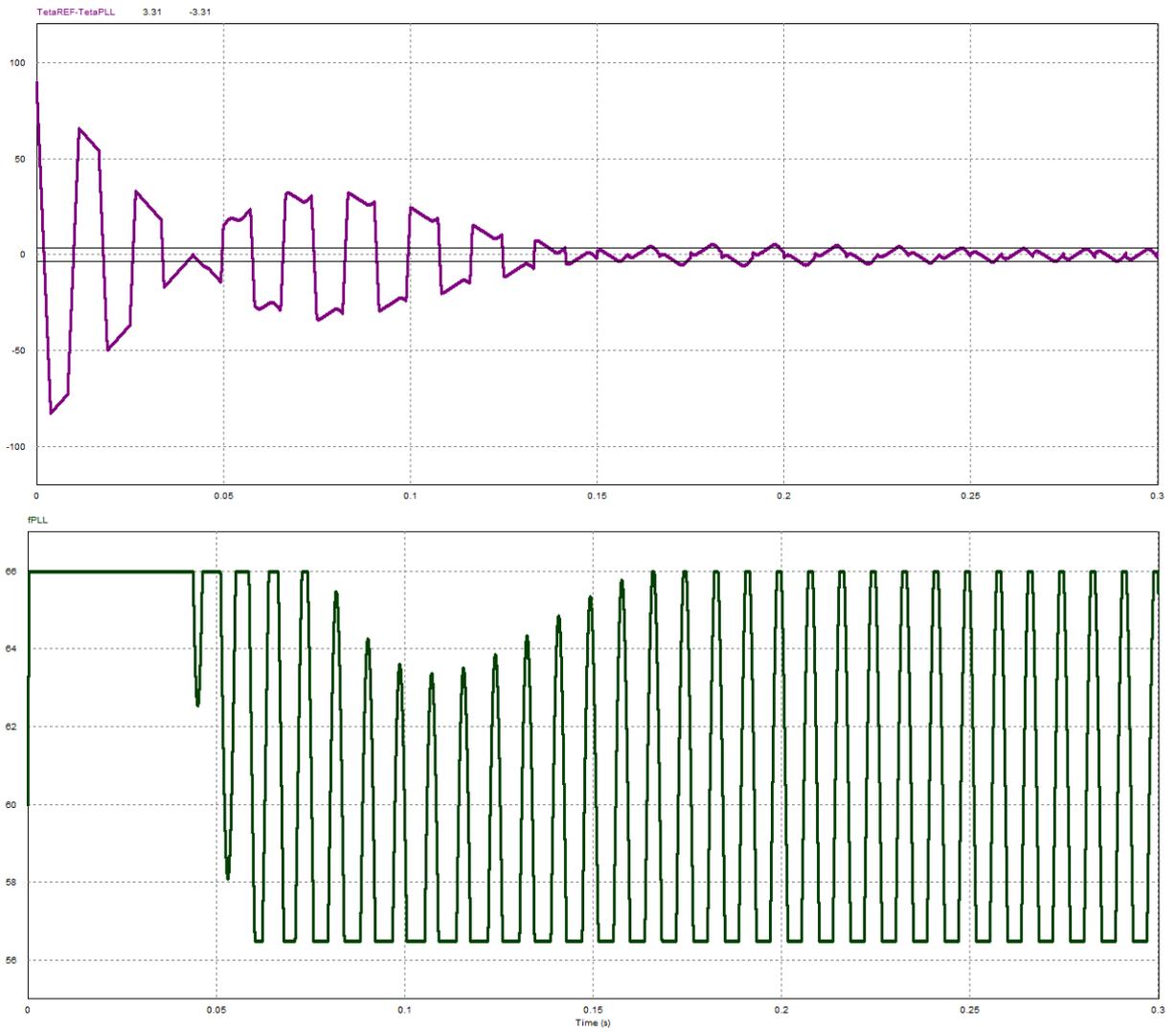
Fonte: PSIM® (2022)

Figura 063 - Resultados da simulação numérica para o projeto 08



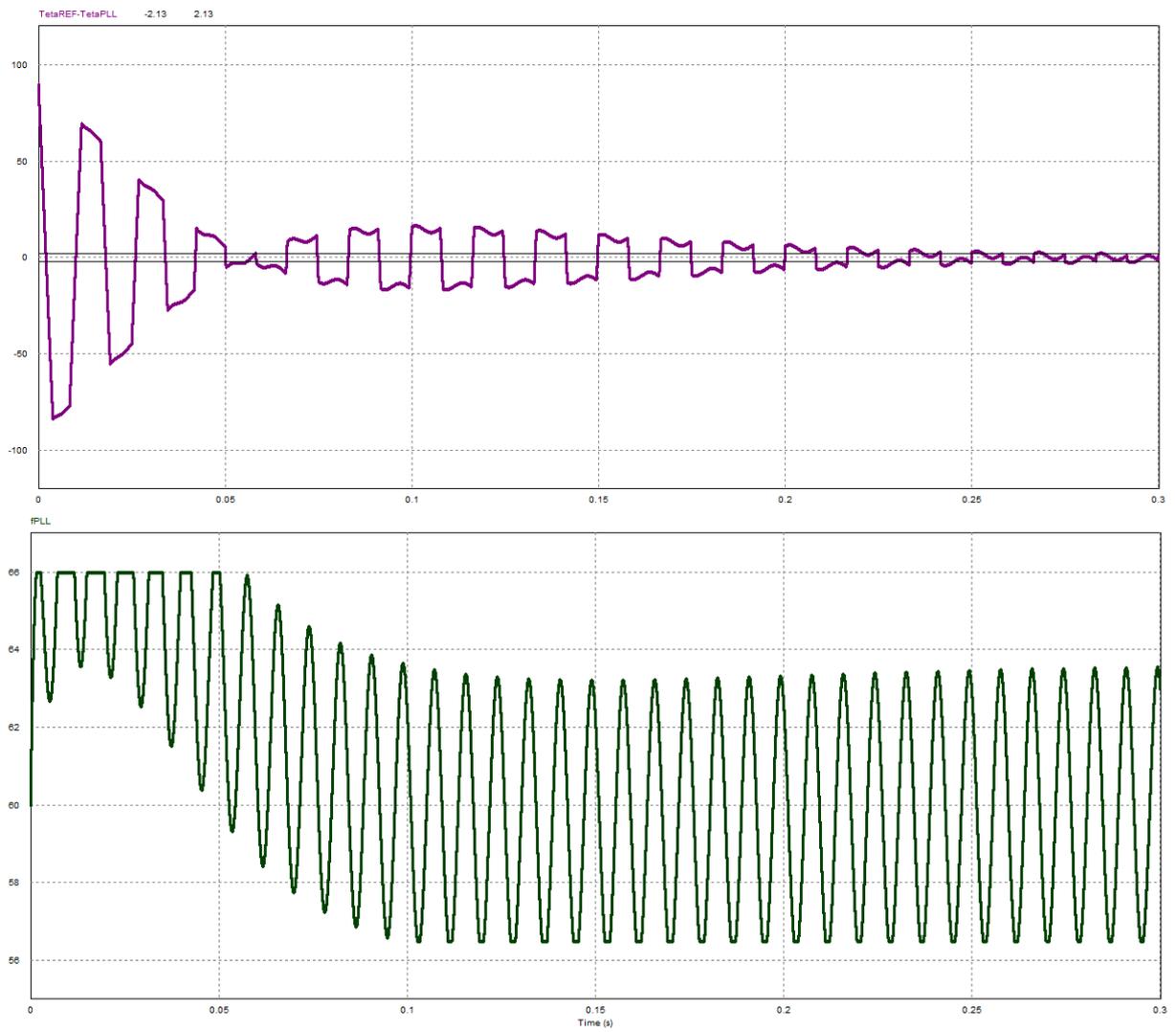
Fonte: PSIM® (2022)

Figura 064 - Resultados da simulação numérica para o projeto 09



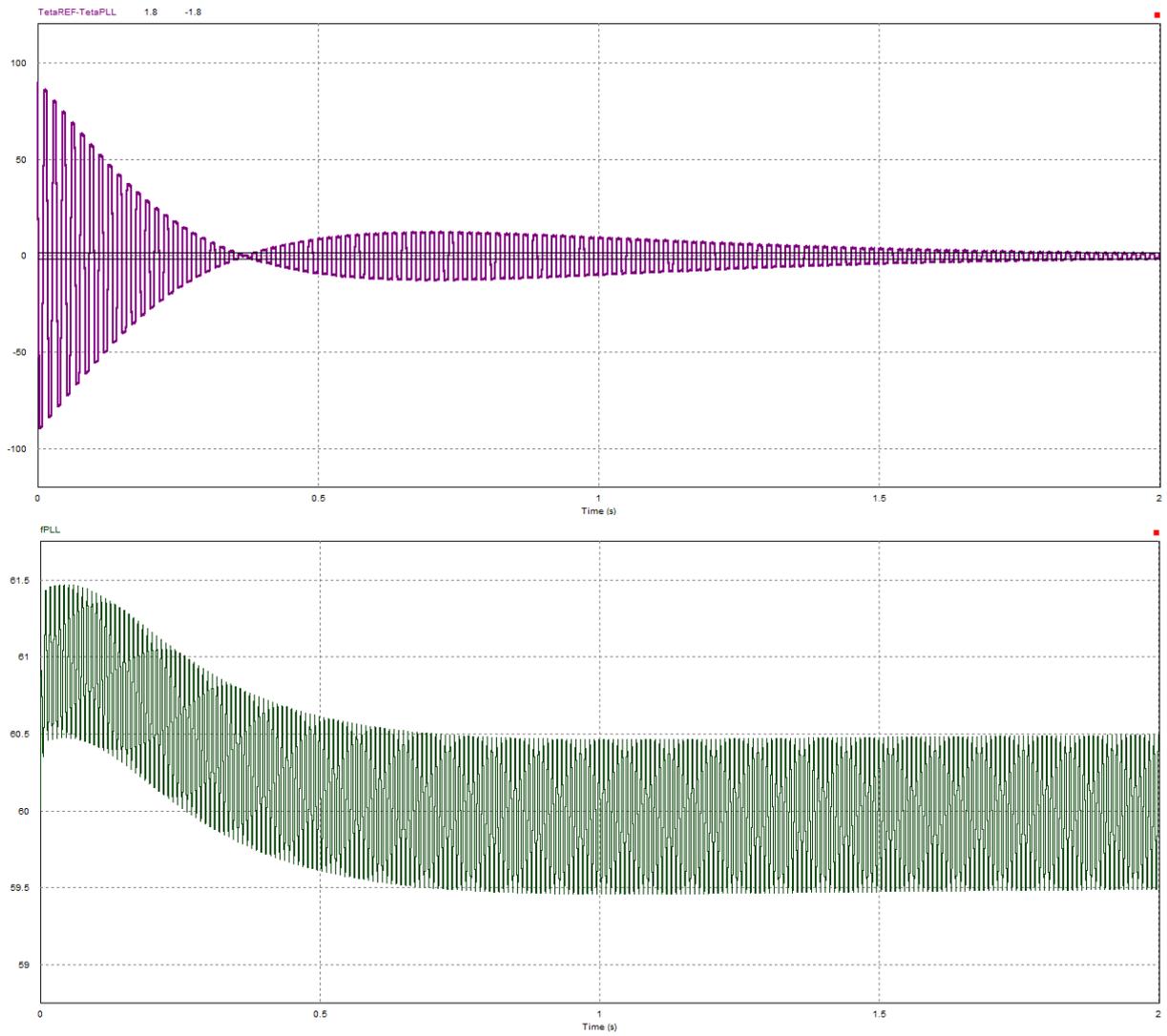
Fonte: PSIM® (2022)

Figura 065 - Resultados da simulação numérica para o projeto 10



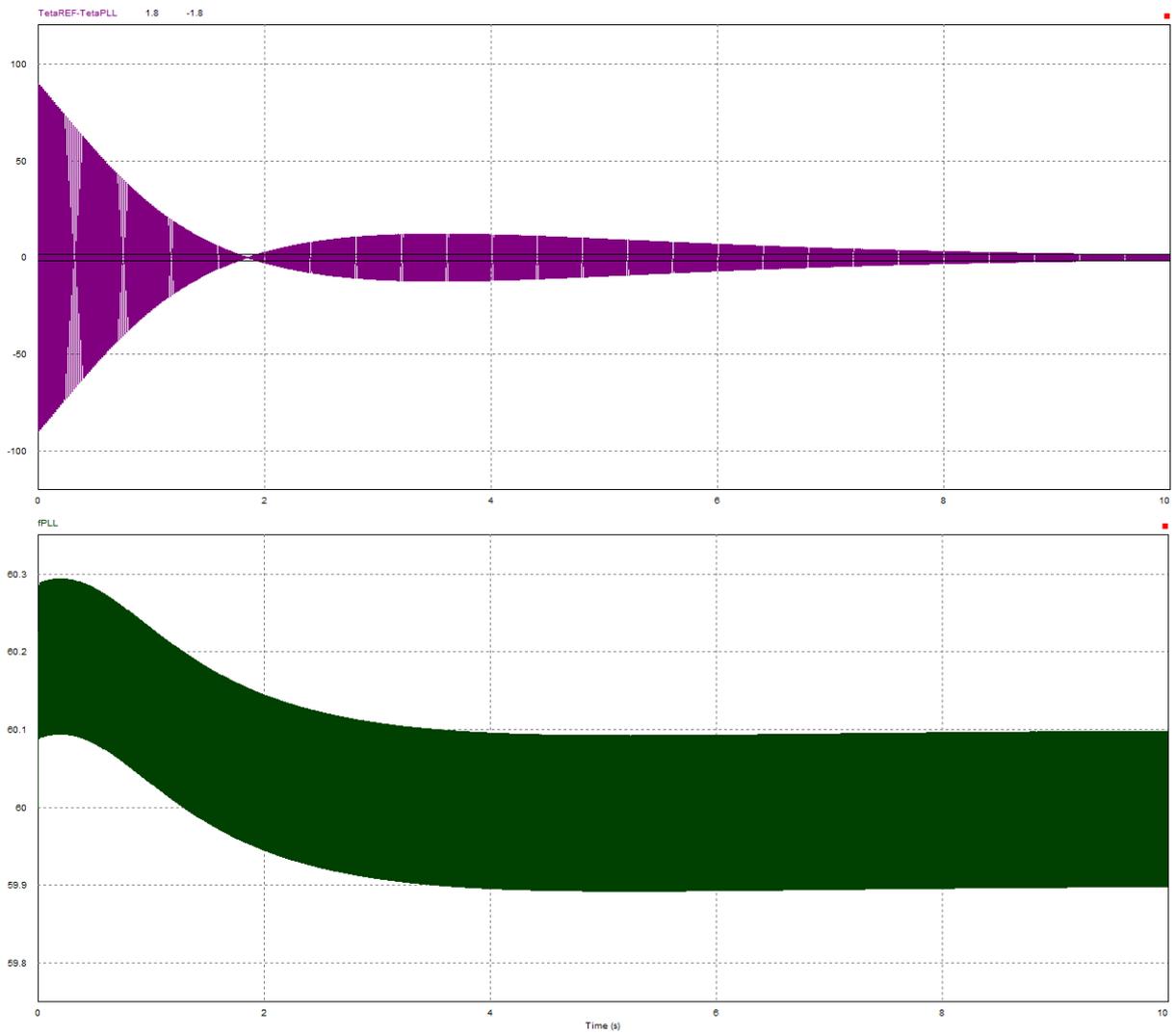
Fonte: PSIM® (2022)

Figura 066 - Resultados da simulação numérica para o projeto 11



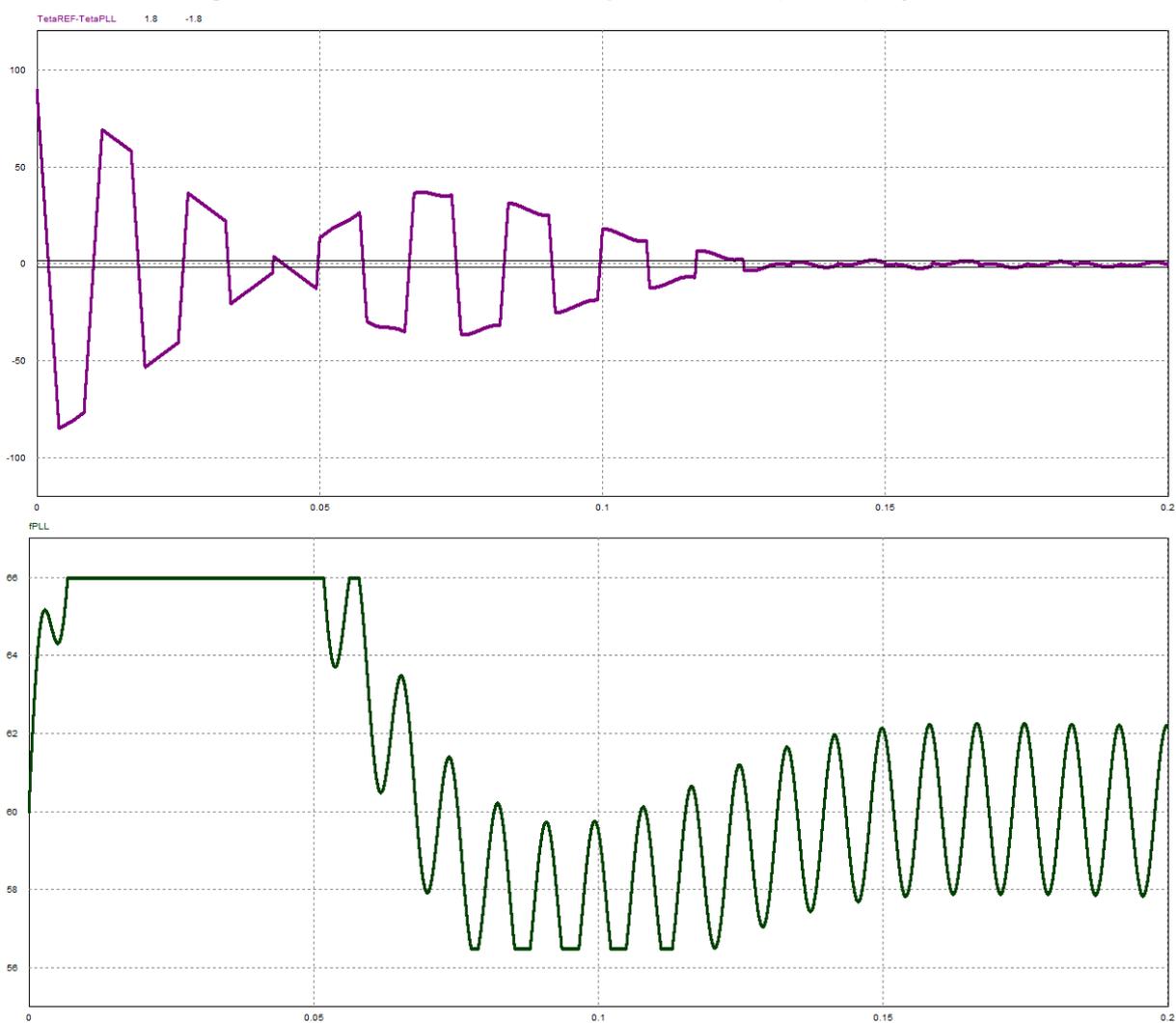
Fonte: PSIM® (2022)

Figura 067 - Resultados da simulação numérica para o projeto 12



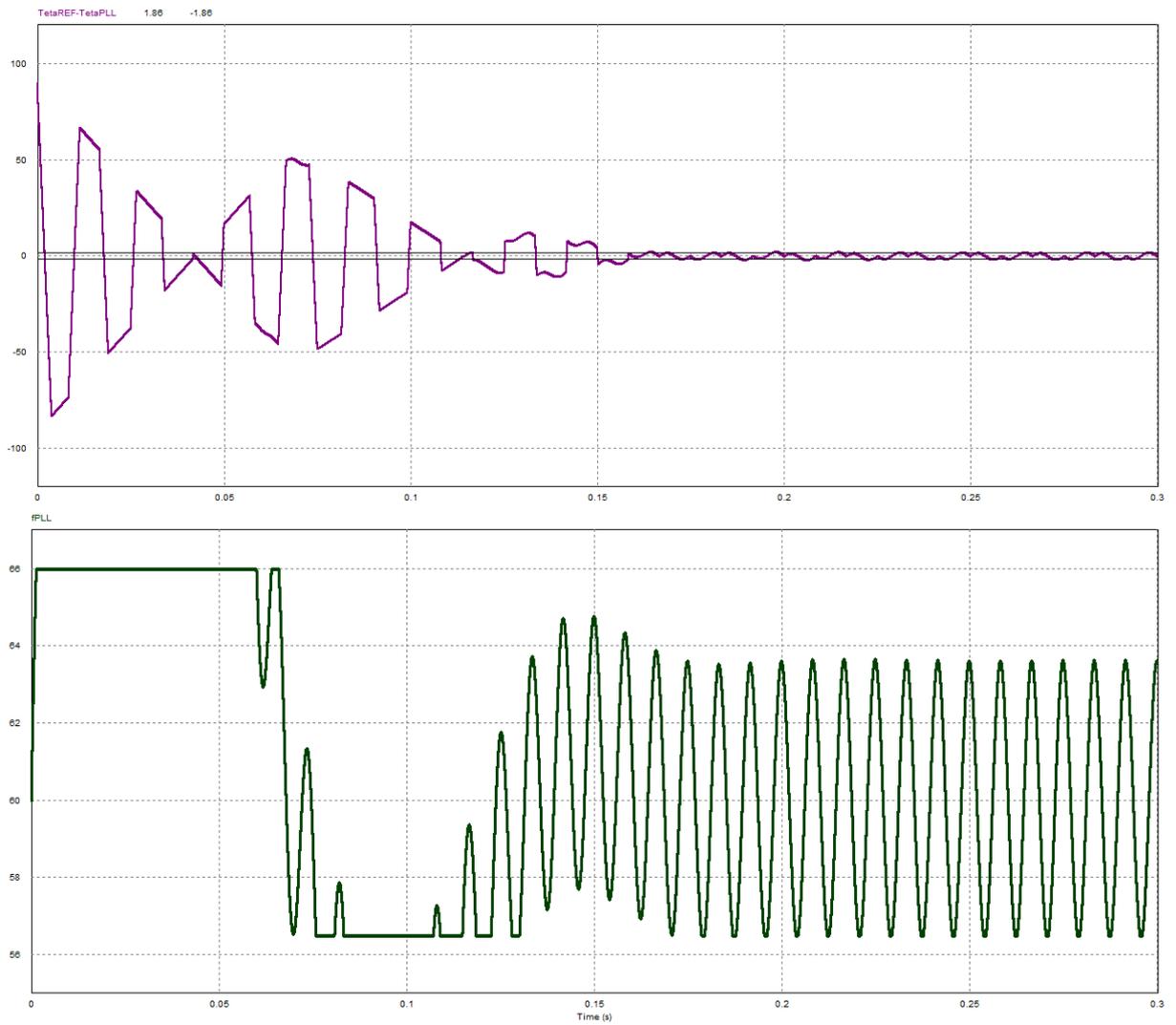
Fonte: PSIM® (2022)

Figura 068 - Resultados da simulação numérica para o projeto 13



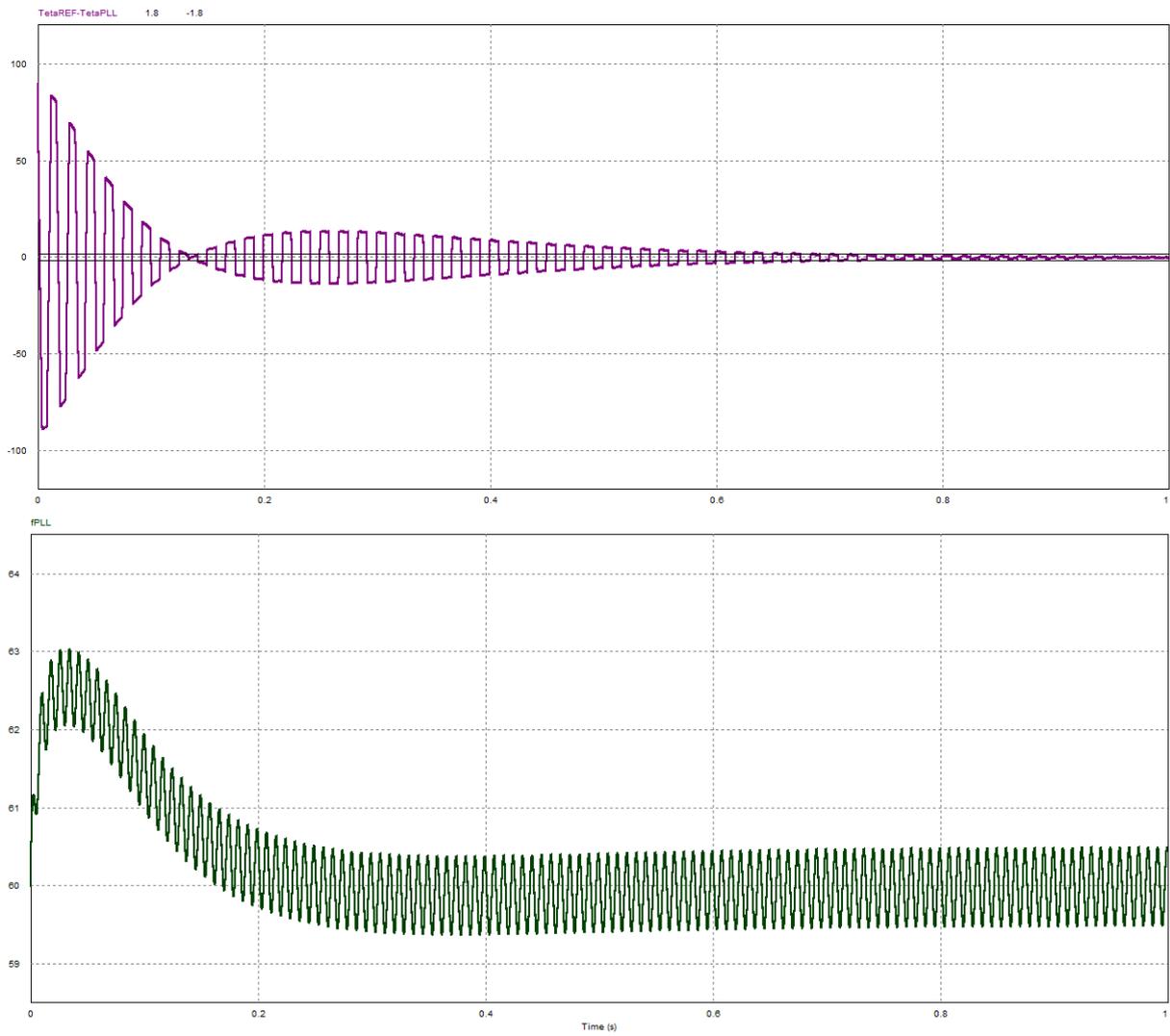
Fonte: PSIM® (2022)

Figura 069 - Resultados da simulação numérica para o projeto 14

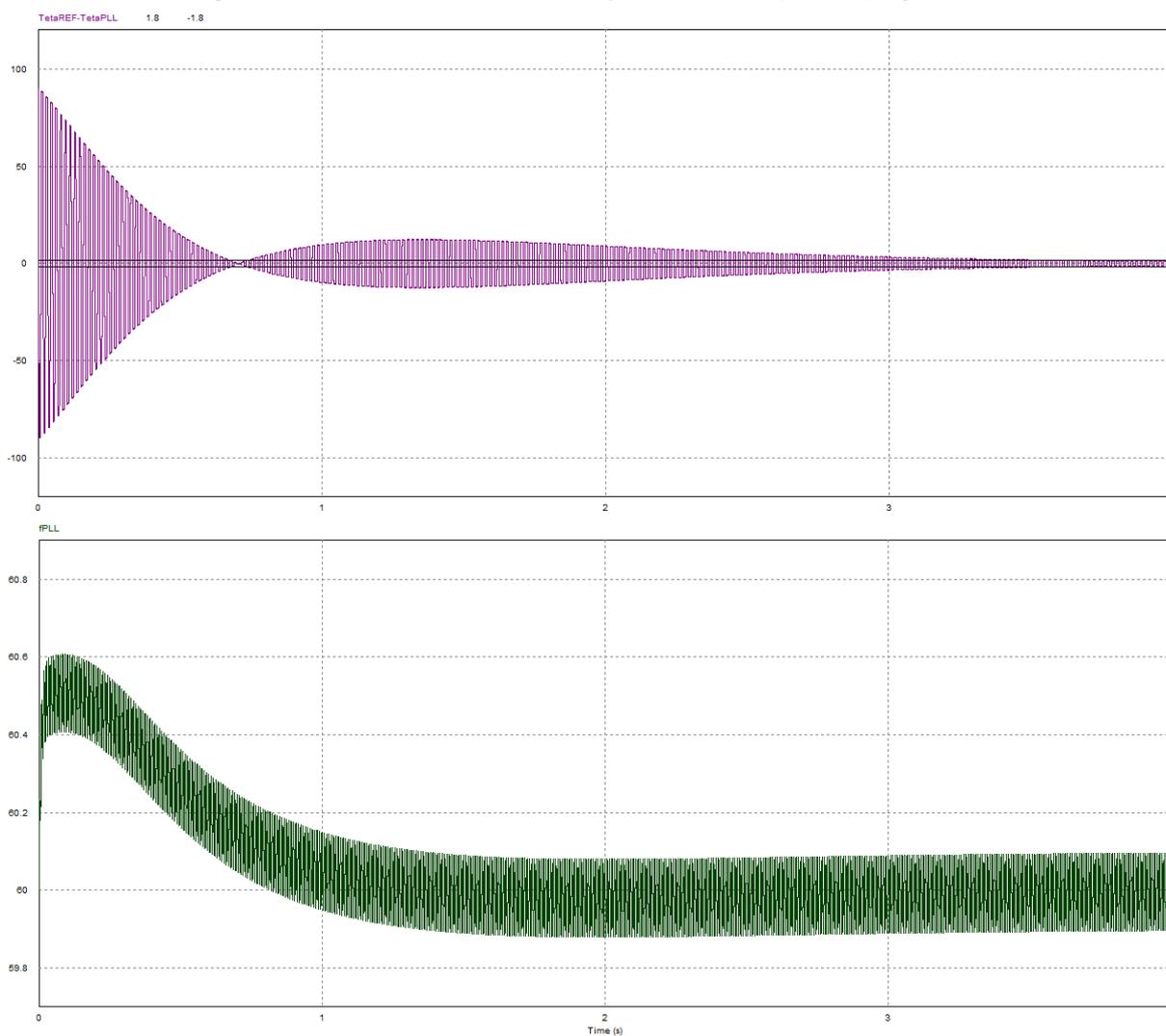


Fonte: PSIM® (2022)

Figura 070 - Resultados da simulação numérica para o projeto 15



Fonte: PSIM® (2022)

Figura 071 - Resultados da simulação numérica para o projeto 16

Fonte: PSIM® (2022)

Os resultados detalhados dos parâmetros analisados para cada projeto nas simulações numéricas são apresentados no quadro 10.

Quadro 10 - Resultados encontrados na simulação numérica para os PLLs

Projeto	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
05	¹⁰ 0,301	5,861	2,07%
06	⁶ 0,377	3,590	1,50%
07	2,510	0,501	0,21%
08	12,476	0,100	0,04%
09	⁶ 0,264	5,884	1,97%
10	⁶ 0,293	3,558	1,51%
11	1,877	0,502	0,21%
12	9,251	0,100	0,04%
13	0,165	2,191	0,92%
14	⁶ 0,231	3,569	1,52%
15	0,694	0,502	0,21%
16	3,536	0,100	0,04%

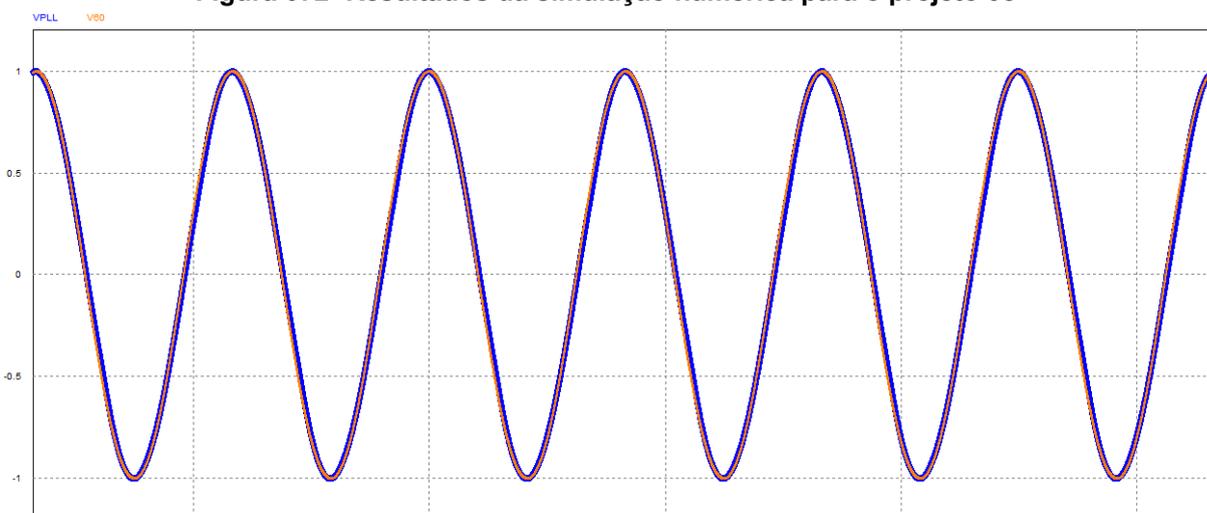
Fonte: Autoria própria (2022).

Para finalizar as simulações numéricas, a fonte de tensão de entrada foi acrescida de sua terceira harmônica adicionando uma onda senoidal com 0,4 de amplitude e 180 Hz de frequência com 270° de defasagem, implicando em um TDH de 40% (o quádruplo do permitido pela ANEEL). Logo o sinal de entrada (V_{REF}) apresenta grandes distorções, as mesmas já apresentadas na figura 034.

¹⁰ Como o projeto possui erro em regime permanente maior que 2%, o valor apresentado foi estimado.

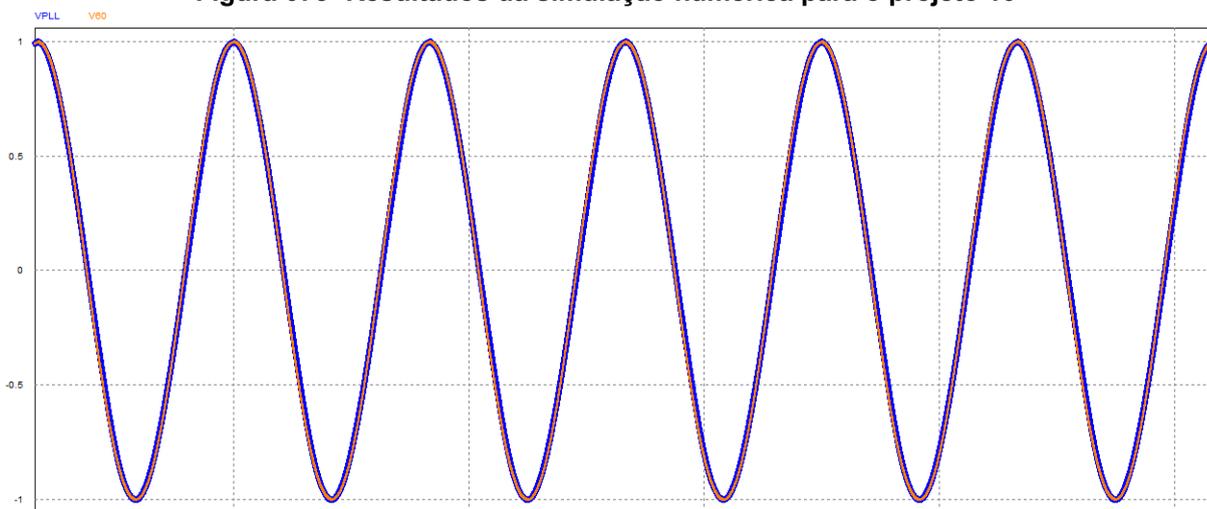
Escolheram-se os projetos 05, 10 e 15 para apresentar os resultados das simulações submetidos ao sinal de entrada com distorção. Assim, são exibidos nas figuras 072-074, onde o sinal de saída (V_{PLL}) encontra-se em azul com maior espessura e a referência da onda fundamental (V_{60}) em laranja com menor espessura, apresentando o travamento em regime permanente.

Figura 072- Resultados da simulação numérica para o projeto 05

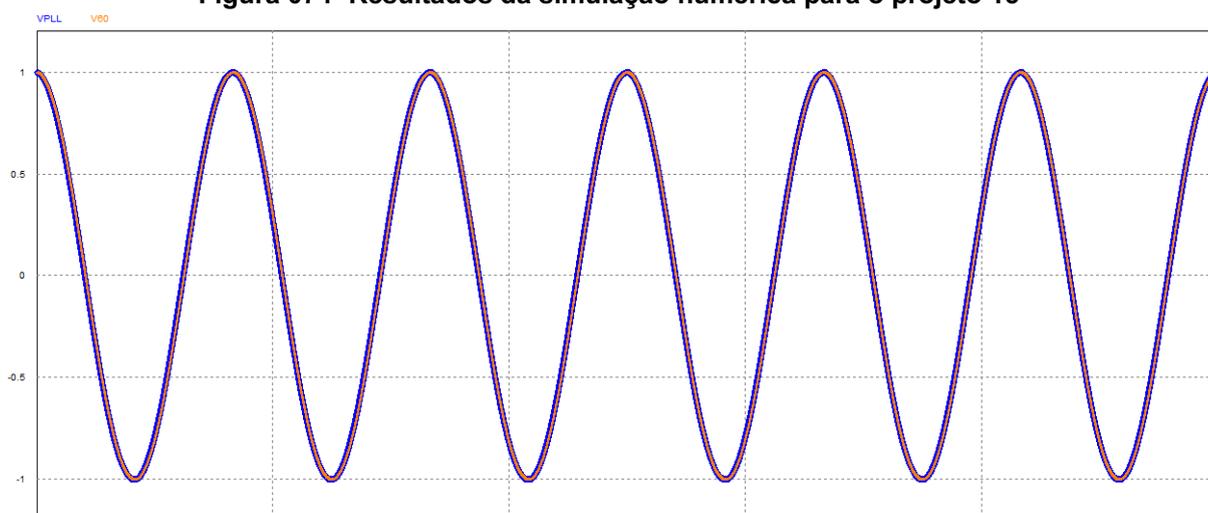


Fonte: PSIM® (2022)

Figura 073- Resultados da simulação numérica para o projeto 10



Fonte: PSIM® (2022)

Figura 074- Resultados da simulação numérica para o projeto 15

Fonte: PSIM® (2022)

4.5. Análise de resultados

Pode-se observar através dos resultados apresentados que a mesma metodologia de análise e projeto pode ser utilizada para circuitos alternativos que apenas acrescentem elementos ao Bloco Básico, dado que o comportamento do sistema foi previsto com eficiência.

Para comparação, decidiu-se separar os projetos de duas maneiras distintas, primeiro pela sua frequência de corte e segundo pelas suas diretrizes de projeto. Os quadros 11-13 apresentam a comparação entre os projetos de frequência de corte (f_{co}) igual a 120 Hz, 75 Hz e 25 Hz, respectivamente, e entre parênteses são apresentados os erros percentuais.

Quadro 11 - Comparação de projetos com frequência de corte igual a 120 Hz

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	Diretriz	Esperado	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
05	$T_E = 0,100 s$	$\Delta f_{MÁX} = 11,3 Hz$	0,301 (201,0%)	5,861 (-48,1%)	2,07%
06	$\Delta f_{MÁX} = 3,5 Hz$	$T_E = 0,491 s$	0,377 (-23,2%)	3,590 (2,6%)	1,50%
07	$\Delta f_{MÁX} = 0,5 Hz$	$T_E = 2,420 s$	2,510 (3,7%)	0,501 (0,2%)	0,21%
08	$\Delta f_{MÁX} = 0,1 Hz$	$T_E = 12,200 s$	12,476 (2,3%)	0,100 (<1,0%)	0,04%

Fonte: Autoria própria (2022).

Quadro 12 - Comparação de projetos com frequência de corte igual a 75 Hz

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	Diretriz	Esperado	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
09	$T_E = 0,100 s$	$\Delta f_{MÁX} = 8,0 Hz$	0,264 (164,0%)	5,884 (-26,5%)	1,97%
10	$\Delta f_{MÁX} = 3,5 Hz$	$T_E = 0,248 s$	0,293 (18,1%)	3,558 (1,7%)	1,51%
11	$\Delta f_{MÁX} = 0,5 Hz$	$T_E = 1,810 s$	1,877 (3,7%)	0,502 (0,4%)	0,21%
12	$\Delta f_{MÁX} = 0,1 Hz$	$T_E = 9,080 s$	9,251 (1,9%)	0,100 (<1,0%)	0,04%

Fonte: Autoria própria (2022).

Quadro 13 - Comparação de projetos com frequência de corte igual a 25 Hz

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	Diretriz	Esperado	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
13	$T_E = 0,10 s$	$\Delta f_{MÁX} = 2,2 Hz$	0,165 (65,0%)	2,191 (-0,4%)	0,92%
14	$\Delta f_{MÁX} = 3,5 Hz$	$T_E = 0,075 s$	0,231 (208,0%)	3,569 (2,0%)	1,52%
15	$\Delta f_{MÁX} = 0,5 Hz$	$T_E = 0,662 s$	0,694 (4,8%)	0,502 (0,4%)	0,21%
16	$\Delta f_{MÁX} = 0,1 Hz$	$T_E = 3,460 s$	3,536 (2,2%)	0,100 (<1,0%)	0,04%

Fonte: Autoria própria (2022).

Percebe-se que, assim como no Bloco Básico, a perturbação máxima em regime permanente está diretamente relacionada à taxa de distorção harmônica do sinal de saída, reforçando a importância de utilizá-la como diretriz de projeto. Observa-se novamente a relação inversa entre o tempo de estabilização do sistema e a taxa de distorção harmônica, tendo o projeto 14 como exceção, visto que o tempo de estabilização foi intensamente prejudicado pela saturação do limitador.

Na sequência, os quadros 14-17 apresentam a comparação entre os projetos de diretrizes de tempo de estabilização (T_E) de 0,100 s e perturbação máxima em regime permanente ($\Delta f_{MÁX}$) igual a 3,5 Hz, 0,5 Hz e 0,1 Hz, respectivamente.

Quadro 14 - Comparação de projetos com diretriz de tempo de estabilização igual a 0,100 s

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	f_{CO} (Hz)	$\Delta f_{MÁX}$ (Hz)	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
05	120	11,3	0,301 (201,0%)	5,861 (-48,1%)	2,07%
09	75	8,0	0,264 (164,0%)	5,884 (-26,5%)	1,97%
13	25	2,2	0,165 (65,0%)	2,191 (-0,4%)	0,92%

Fonte: Autoria própria (2022)

Quadro 15 - Comparação de projetos com diretriz de perturbação máxima igual a 3,5 Hz

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	f_{CO} (Hz)	T_E (s)	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
06	120	0,491	0,377 (-23,2%)	3,590 (2,6%)	1,50%
10	75	0,248	0,293 (18,1%)	3,558 (1,7%)	1,51%
14	25	0,075	0,231 (208,0%)	3,569 (2,0%)	1,52%

Fonte: Autoria própria (2022).

Quadro 16 - Comparação de projetos com diretriz de perturbação máxima igual a 0,5 Hz

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	f_{CO} (Hz)	T_E (s)	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
07	120	2,420	2,510 (3,7%)	0,501 (0,2%)	0,21%
11	75	1,810	1,877 (3,7%)	0,502 (0,4%)	0,21%
15	25	0,662	0,694 (4,8%)	0,502 (0,4%)	0,21%

Fonte: Autoria própria (2022).

Quadro 17 - Comparação de projetos com diretriz de perturbação máxima igual a 0,1 Hz

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	f_{CO} (Hz)	T_E (s)	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
08	120	12,200	12,476 (2,3%)	0,100 (<1,0%)	0,04%
12	75	9,080	9,251 (1,9%)	0,100 (<1,0%)	0,04%
16	25	3,460	3,536 (2,2%)	0,100 (<1,0%)	0,04%

Fonte: Autoria própria (2022).

No quadro 14, observa-se o efeito da saturação do limitador quando se pretende tempos de estabilização pequenos e, devido a esse efeito, o desempenho do sistema é comprometido. Porém, observa-se que o mesmo diminui quanto menor for a frequência de corte (f_{CO}) do Filtro Passa Baixa (FPB). Além disso, a taxa de distorção harmônica tem relação direta com a frequência de corte (f_{CO}), tornando-se um parâmetro importante de projeto.

Nos quadros 15-17, é possível perceber a relação direta entre a frequência de corte (f_{CO}) do Filtro Passa Baixa (FPB) e o desempenho do PLL, estabelecendo uma relação direta entre a frequência de corte (f_{CO}) e o tempo de estabilização e justificando seu estudo como alternativa ao Bloco Básico.

Outra comparação foi feita com a injeção de harmônicos no sistema, onde todos os projetos conseguiram rastrear e travar a frequência fundamental da entrada e apresentaram os resultados apresentados no quadro 18.

Quadro 18 - Comparação de projetos com e sem injeção de harmônicos no sinal de entrada

Nº de Ref.	f_{CO} (Hz)	Sinal de Entrada sem distorção		Sinal de Entrada com distorção	
		$\Delta f_{MÁX}$ (Hz)	TDH	$\Delta f_{MÁX}$ (Hz)	TDH
05	120	5,861	2,07%	5,847 (-0,2%)	2,15% (3,9%)
06	120	3,590	1,50%	4,408 (22,8%)	1,83% (22,0%)
07	120	0,501	0,21%	0,779 (55,5%)	0,33% (57,1%)
08	120	0,100	0,04%	0,156 (56,0%)	0,06% (50,0%)
09	75	5,884	1,97%	5,861 (-0,4%)	2,05% (4,1%)
10	75	3,558	1,51%	4,131 (16,1%)	1,79% (18,5%)
11	75	0,502	0,21%	0,796 (58,6%)	0,32% (52,4%)
12	75	0,100	0,04%	0,158 (58,0%)	0,06% (50,0%)
13	25	2,191	0,92%	3,523 (60,8%)	1,40% (52,2%)
14	25	3,569	1,52%	3,802 (6,5%)	1,76% (15,8%)
15	25	0,502	0,21%	0,804 (60,2%)	0,32% (52,4%)
16	25	0,100	0,04%	0,160 (60%)	0,06% (50,0%)

Fonte: Autoria própria (2022).

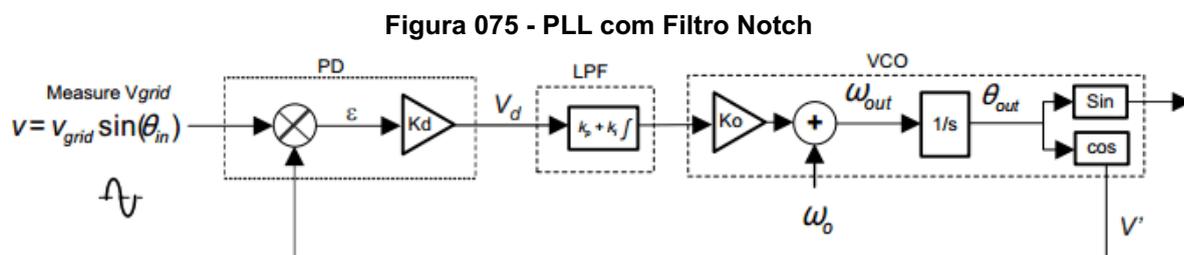
5. FILTRO NOTCH (NF-PLLs)

Tem-se que um filtro do tipo *Notch* é um filtro do tipo rejeita faixa ou filtro de rejeição de banda, ou seja, permite que sejam passadas grande parte das frequências sem alterações e atenua apenas aquelas que estão em uma faixa determinada pelo filtro.

Foi no ano de 2009 que a solução de otimizar o PLL Básico com uma redução do sinal de saída utilizando o filtro *notch* foi apresentada [6].

Segundo estudos de Karimi-Ghartemani et.al. (2012, p. 78) que apresenta a componente alternada do sinal de entrada do circuito que será sincronizada com a fundamental gerando baixas frequências de oscilação durante a operação dinâmica do sistema.

Sendo assim, o diagrama em blocos apresentado na Figura 075 é similar ao apresentado no FPB e vai atuar com o controlador e o oscilador.



Fonte: Autoria própria (2022).

5.1. Funcionamento

O filtro *notch* (NF-PLL) é utilizado ao ter definida a frequência do sinal, pois atua em faixas de transição que não interferem nas demais frequências para atenuar ou amplificar o sinal. Portanto, tem-se que a função de transferência é dada pela equação (16).

$$NF = \frac{s^2 + (2\pi f_{co})^2}{s^2 + 4\pi\zeta f_{co}s + (2\pi f_{co})^2} \quad (16)$$

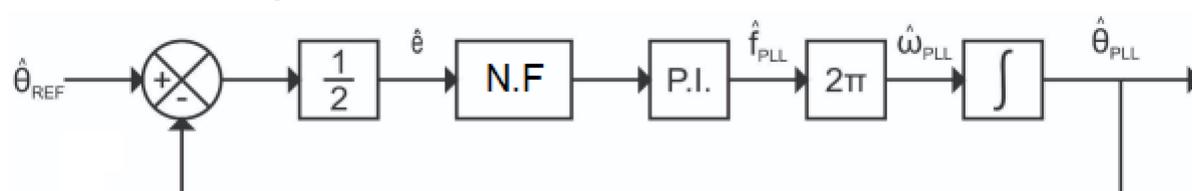
Porém, é preciso observar que o filtro *notch* altera a função de transferência do sistema e pode gerar instabilidade no sinal de resposta.

A componente ξ é uma medida que representa quanto a frequência desejada está isolada das demais frequências.

5.2. Análise matemática

Pode-se agora realizar a análise matemática através da linearização do sistema e concluir o modelo com filtro *notch* apresentado na figura 076.

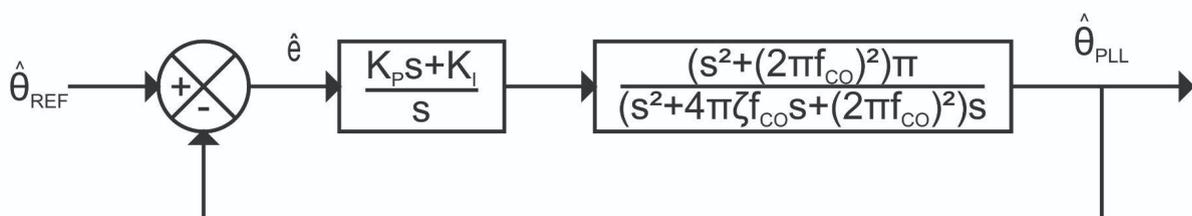
Figura 076- Modelo Médio Linearizado para Filtro Notch



Fonte: Autoria própria (2022).

Portanto, foi inserido o bloco do filtro *notch* (NF) a planta onde se tem que a frequência de corte f_{co} , o ξ como fator de qualidade o bloco PI. Apresenta-se o diagrama na figura 077.

Figura 077 - Modelo Médio Linearizado Simplificado para PLL com Filtro Notch



Fonte: Autoria própria (2022).

Através do modelo simplificado pode-se inferir os parâmetros do SISO tool demonstrados no quadro 19.

Quadro 19 - Parâmetros de entrada do SISO Tool

Bloco	Valor
F	1
C	$\frac{K_p s + K_I}{s}$
G	$\frac{(s^2 + (2\pi f_{co})^2)\pi}{(s^2 + 4\pi\xi f_{co}s + (2\pi f_{co})^2)s}$
H	1

Fonte: Autoria própria (2022).

5.3. Metodologia de projeto

Para realizar o projeto é preciso definir qual parâmetro será variável no sistema. Optou-se por fixar a frequência de corte e variar o ξ , portanto para tal tem-se:

$\xi > 1$, resposta superamortecida;

$\xi = 1$, resposta criticamente amortecida;

$\xi < 1$, resposta subamortecida.

Conforme apresentado tem-se três respostas neste circuito, sendo que elas são apresentadas no quadro 20.

Quadro 20 - Parâmetros de entrada

NOTCH	f_{co}	ξ
NF1	120Hz	0,707
NF2	120Hz	1
NF3	120Hz	1,707

Fonte: Autoria própria (2022).

O que se busca encontrar neste modelo de PLL é atenuar a componente harmônica de segunda ordem, pois nossa frequência fundamental pode sofrer desvios e os coeficientes do filtro devem corrigir rapidamente mantendo o resultado

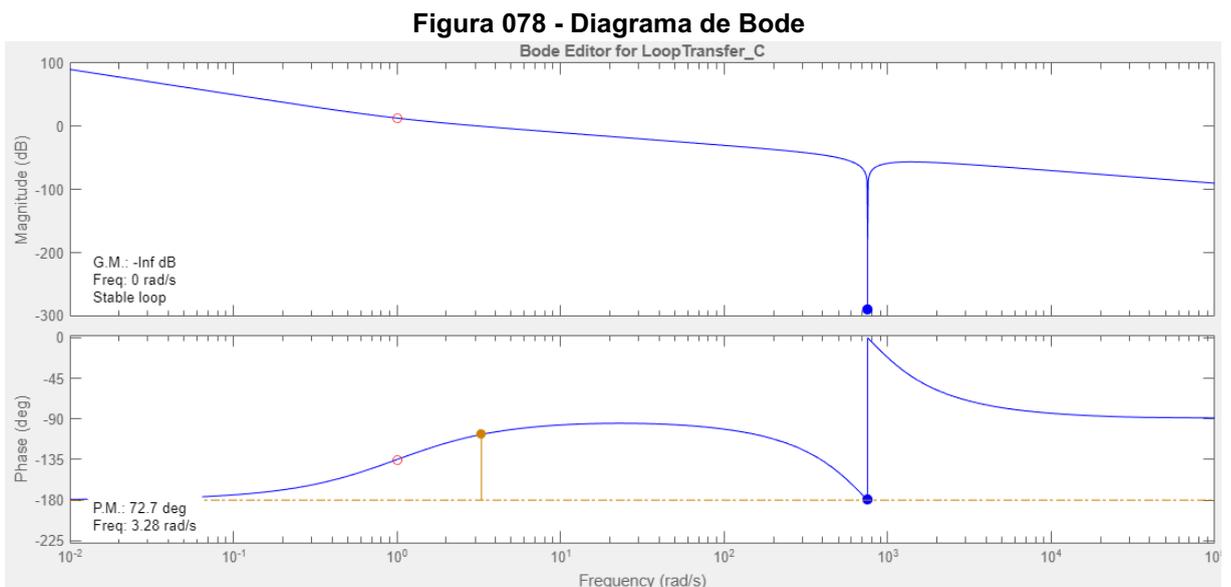
da frequência atenuada no dobro da fundamental. O diferencial deste filtro é que ele vai atenuar a oscilação de saída, melhorando o tempo de resposta do PLL através do melhor tratamento ao *ripple* dos sinais intrínsecos internos.

O filtro *notch* (NF) tem a característica de bloquear completamente a frequência de corte (f_{co}) a qual é projetado. Isso pode ser comprovado calculando-se o módulo na frequência do termo alternado de sua função de transferência apresentada na equação (16), chegando a equação (17).

$$|FPB(j240\pi)| = 20 \log \left(\frac{(f_{co}^2 - 120^2)}{\sqrt{(f_{co}^2 - 120^2)^2 + (240 \zeta f_{co})^2}} \right) \quad (17)$$

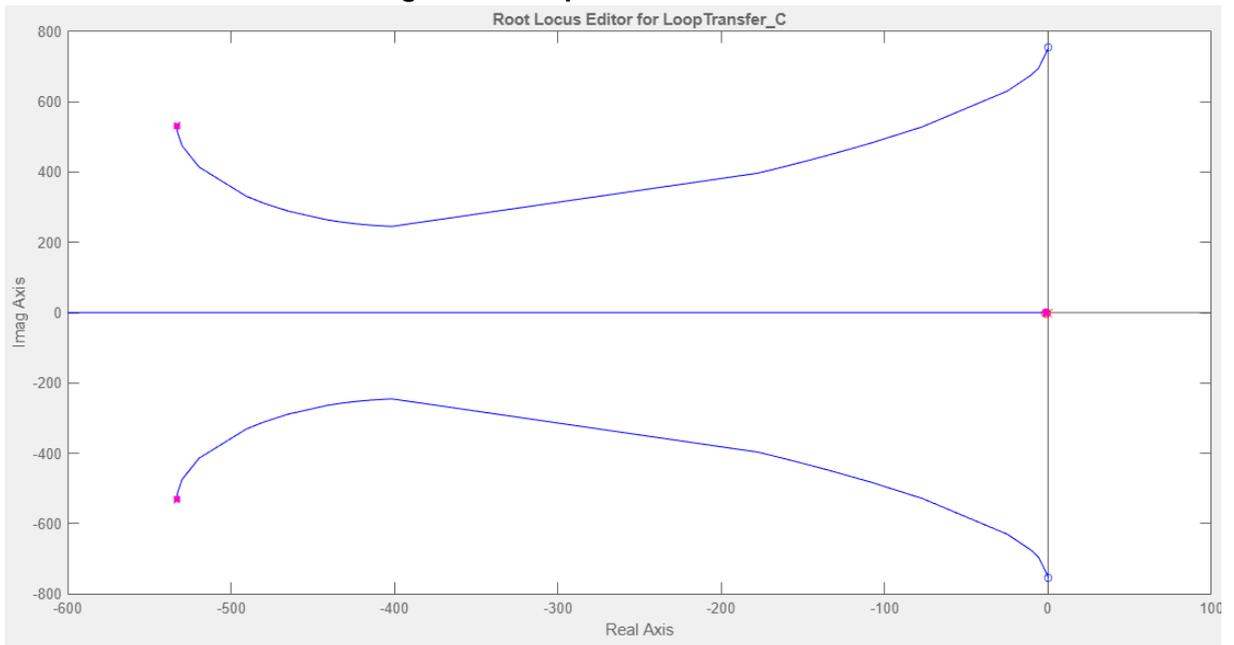
Pode-se observar que a medida que a frequência de corte (f_{co}) tende a 120 Hz, o numerador do módulo em valor absoluto tende a zero e o módulo em decibéis tende a $-\infty$, evidenciando a anulação do efeito do termo alternado do detector de fase (PD). Assim, a diretriz, que norteará os próximos projetos, é o tempo de estabilização do sistema (T_E).

Para NF1 se obtém como resposta o diagrama de Bode apresentado na figura 078.



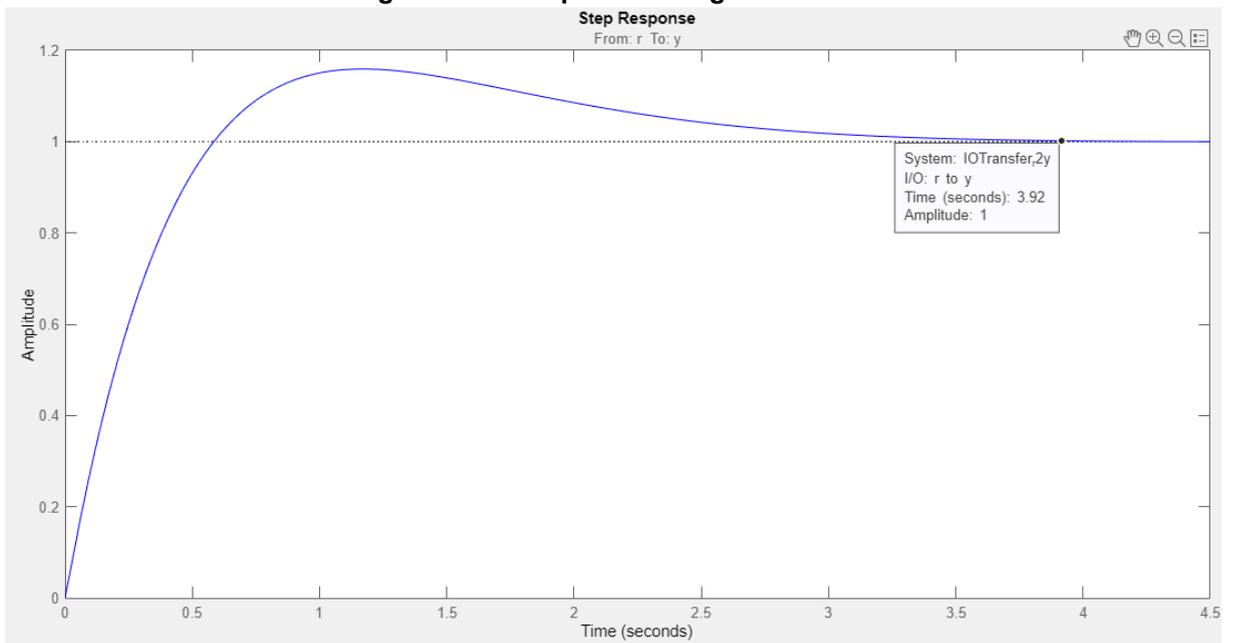
Fonte: Control System Designer do MATLAB® (2022).

Figura 079- Mapa do local das raízes

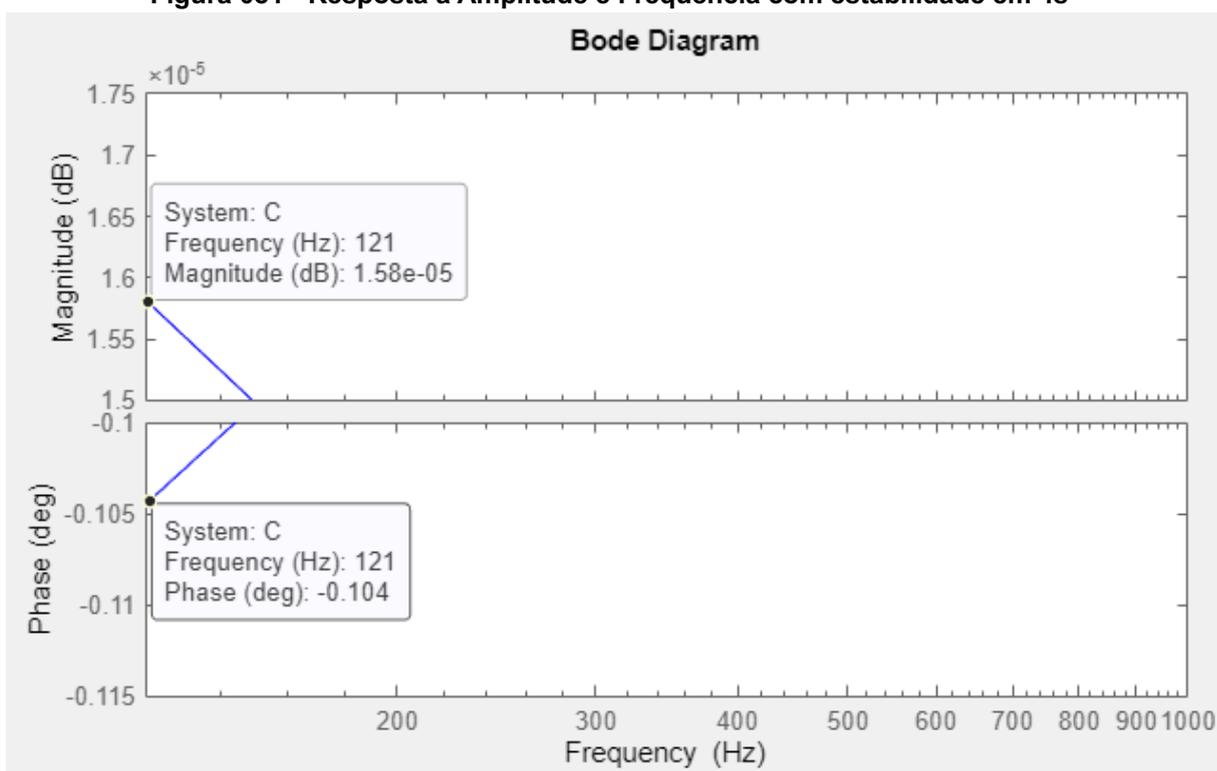


Fonte: Control System Designer do MATLAB® (2022)

Figura 080 - Resposta ao degrau na NF1



Fonte: Control System Designer do MATLAB® (2022).

Figura 081 - Resposta a Amplitude e Frequência com estabilidade em 4s

Fonte: Control System Designer do MATLAB® (2022).

É possível observar que os valores obtidos não são satisfatórios, pois a resposta de rastreamento do meu PLL é muito lenta, assim modificações nos polos devem ocorrer, portanto algumas das configurações possíveis são apresentadas no quadro 21.

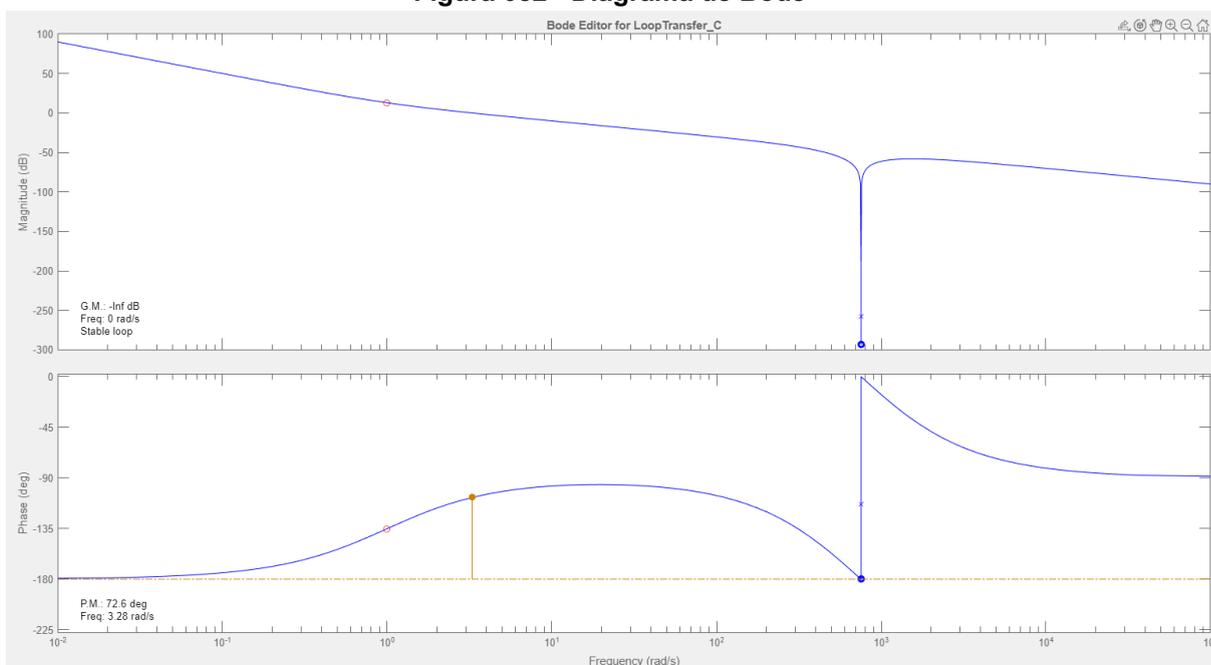
Quadro 21 - Síntese dos projetos efetuados com suas respectivas características

Projeto	f_{CO}	ξ	Diretriz do projeto	Mapa das Raízes	Ganhos do Controlador
17	120 Hz	0,707	$T_E = 0,083$ s	$z = -56,265$ $K = 1728,8$	$K_P = 30,726$ $K_I = 1728,8$
18	120 Hz	0,707	$T_E = 0,100$ s	$z = -46,531$ $K = 1173,0$	$K_P = 25,210$ $K_I = 1173,0$
19	120 Hz	0,707	$T_E = 0,133$ s	$z = -40,419$ $K = 797,7$	$K_P = 19,737$ $K_I = 797,7$
20	120 Hz	0,707	$T_E = 0,167$ s	$z = -30,794$ $K = 478,7$	$K_P = 15,545$ $K_I = 478,7$

Fonte: Autoria própria (2022).

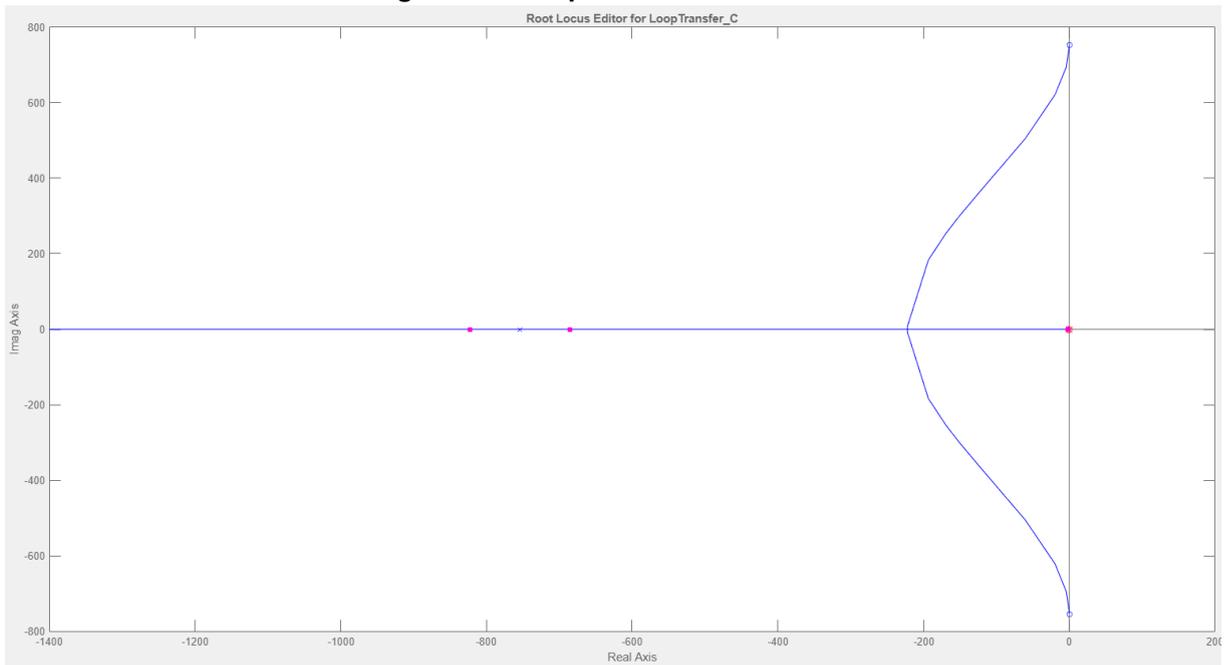
Para um novo projeto será mantido a frequência de corte em 120Hz e alterado o ξ para 1. Portanto, têm-se os gráficos obtidos do *software* apresentados nas figuras 082-085.

Figura 082 - Diagrama de Bode



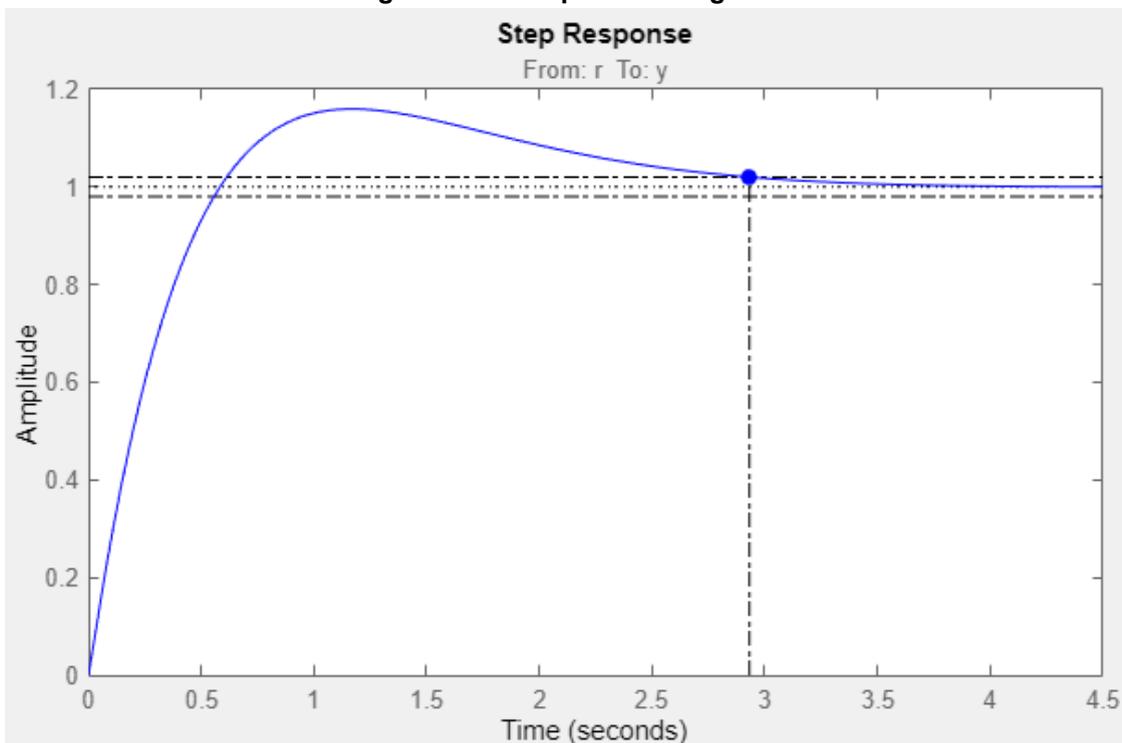
Fonte: Control System Designer do MATLAB® (2022)

Figura 083 - Mapa do local das raízes



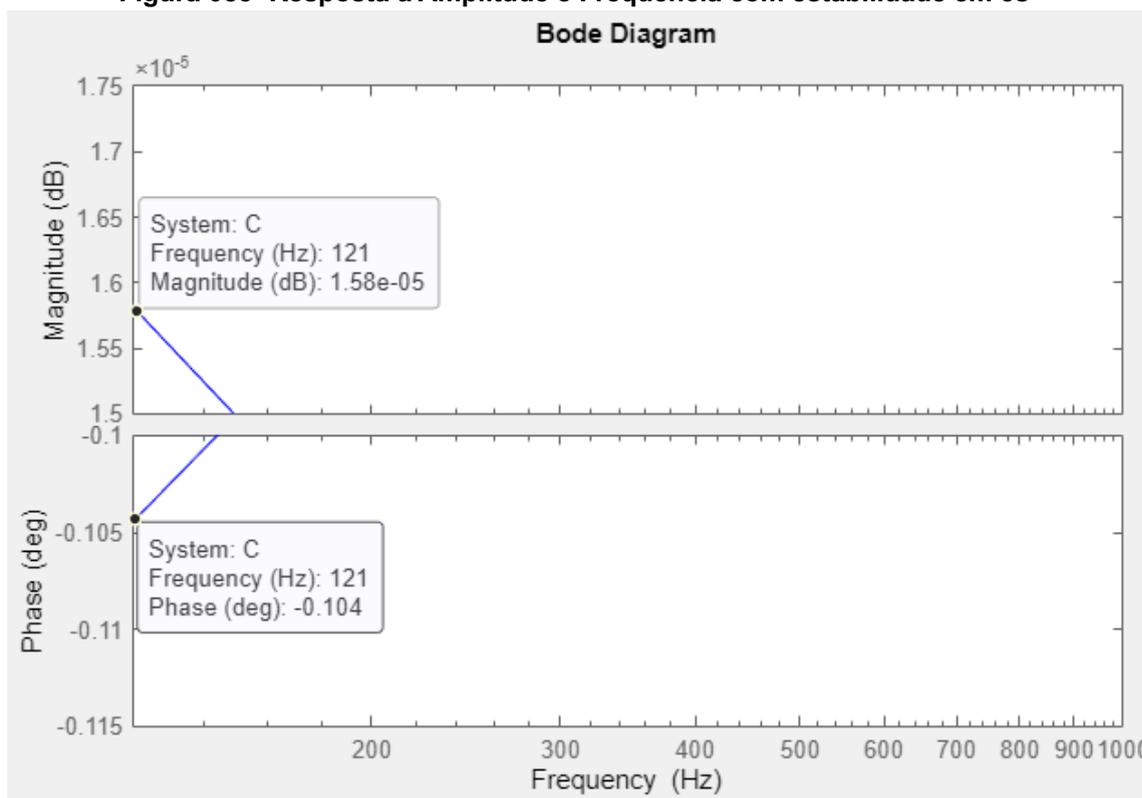
Fonte: Control System Designer do MATLAB® (2022)

Figura 084 - Resposta ao degrau na NF2



Fonte: Control System Designer do MATLAB® (2022).

Figura 085- Resposta a Amplitude e Frequência com estabilidade em 3s



Fonte: Control System Designer do MATLAB® (2022)

Pode-se observar que esta análise apresenta valores mais congruentes com a proposta do filtro, portanto, pode-se observar o quadro 22 com a síntese da simulação do projeto NF2.

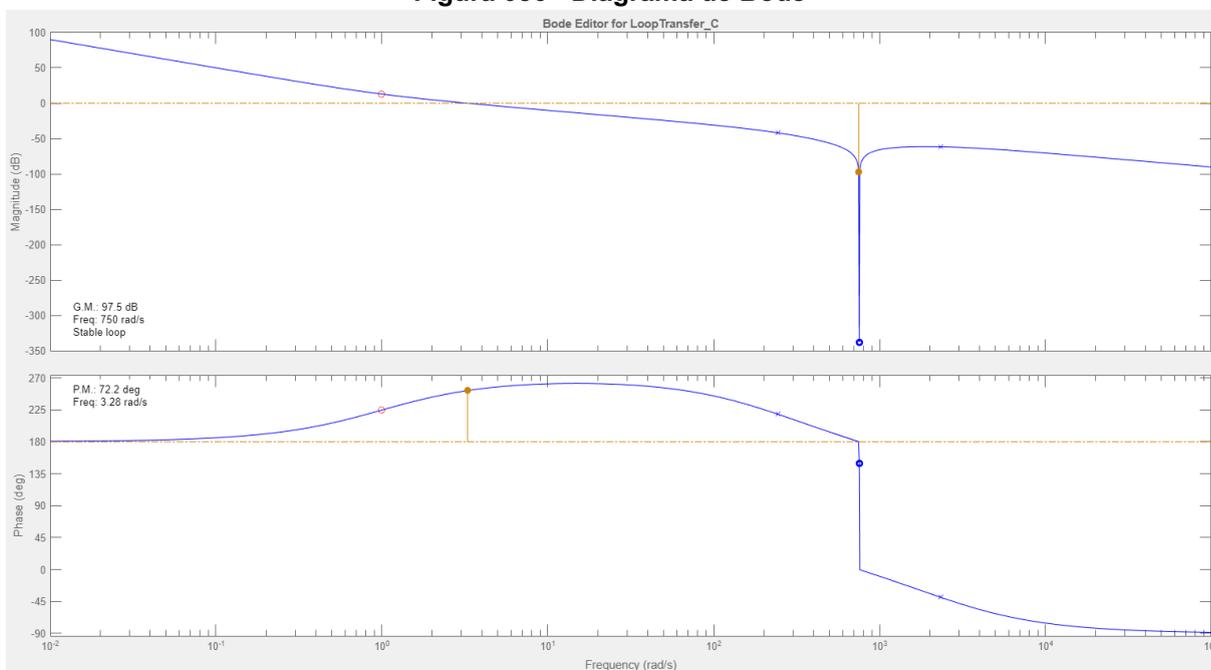
Quadro 22 - Síntese dos projetos efetuados com suas respectivas características

Projeto	f_{CO}	ξ	Diretriz do projeto	Mapa das Raízes	Ganhos do Controlador
21	120 Hz	1	$T_E = 0,100$ s	$z = -44,036$ $K = 1099,3$	$K_P = 24,963$ $K_I = 1099,3$
22	120 Hz	1	$T_E = 0,133$ s	$z = -42,105$ $K = 822,2$	$K_P = 19,527$ $K_I = 822,2$
23	120 Hz	1	$T_E = 0,167$ s	$z = -42,105$ $K = 598,05$	$K_P = 14,204$ $K_I = 598,05$

Fonte: Autoria própria (2022).

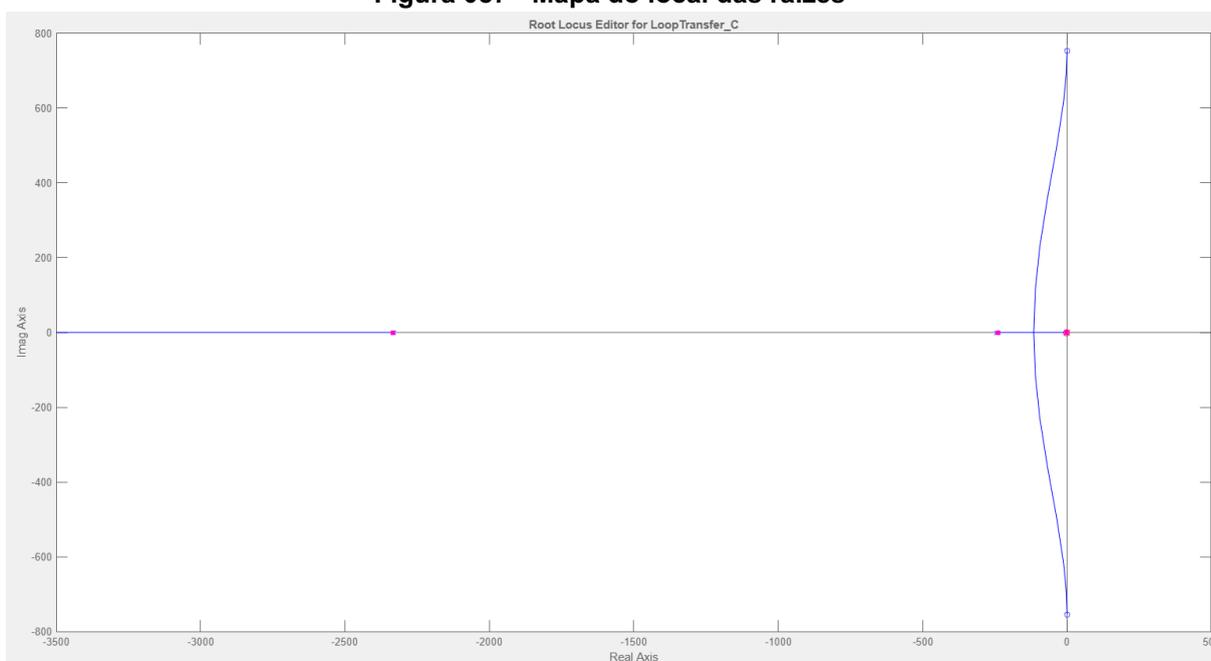
Para o projeto final que deve apresentar uma resposta subamortecida será utilizado ξ como 1,707, assim para NF3 têm-se os gráficos apresentados nas figuras 086-089.

Figura 086 - Diagrama de Bode



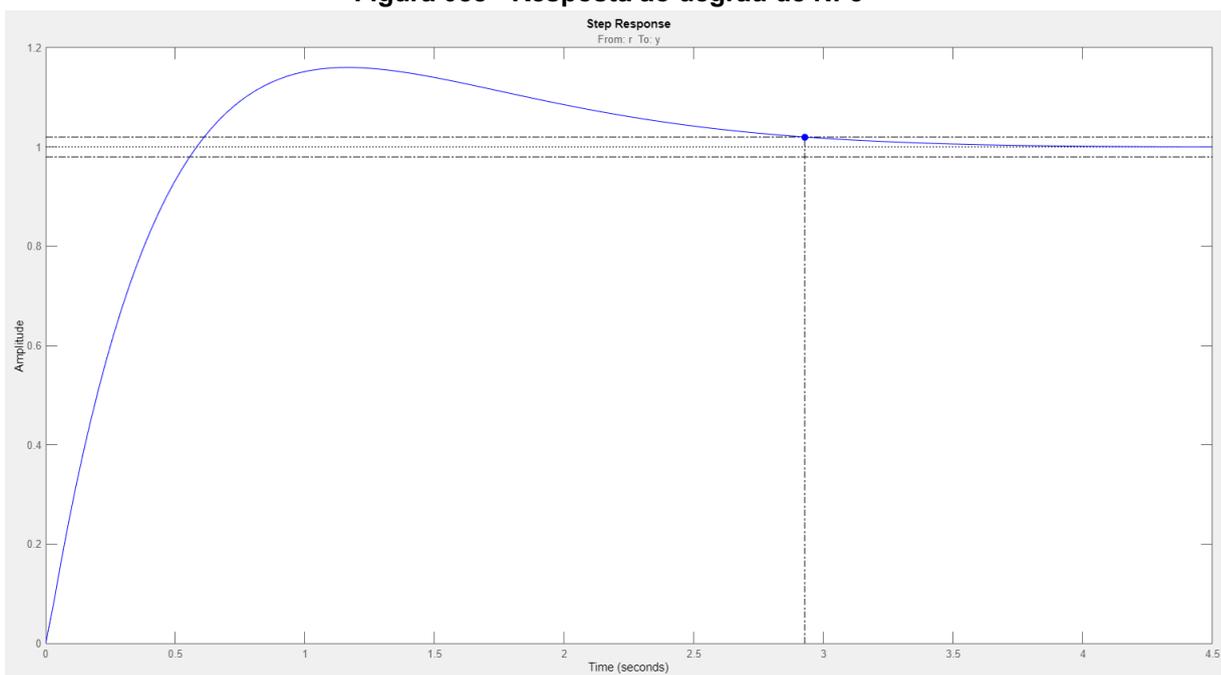
Fonte: Control System Designer do MATLAB® (2022)

Figura 087 - Mapa do local das raízes



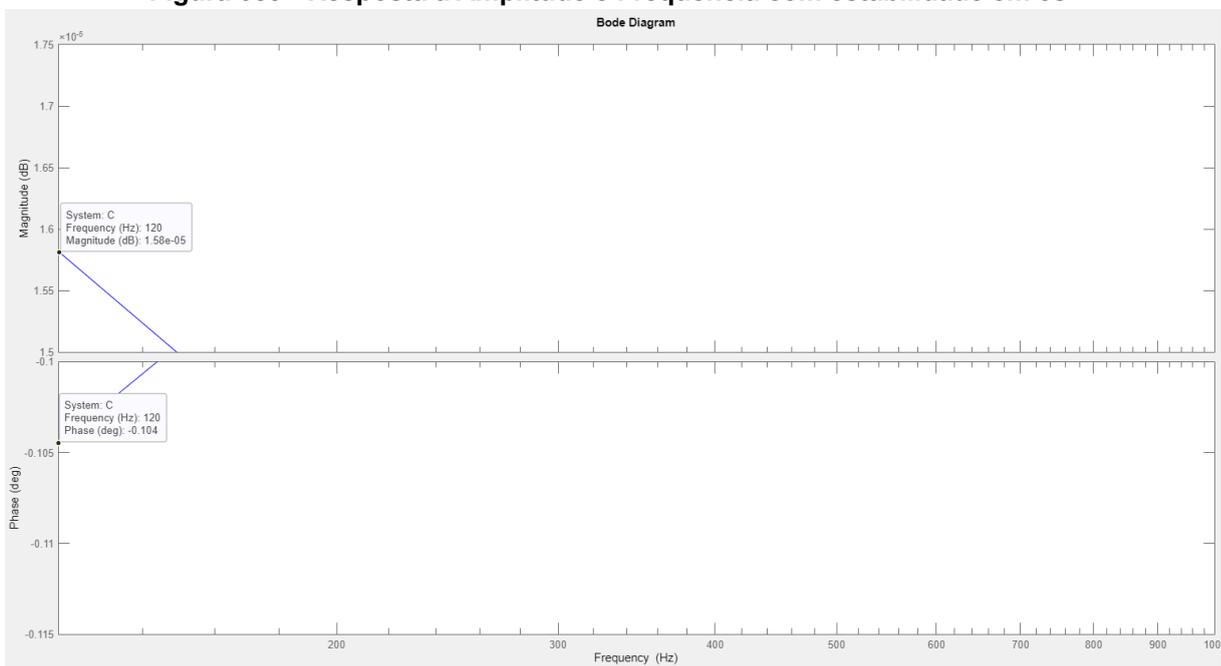
Fonte: Control System Designer do MATLAB® (2022)

Figura 088 - Resposta ao degrau de NF3



Fonte: Control System Designer do MATLAB® (2022).

Figura 089 - Resposta a Amplitude e Frequência com estabilidade em 3s



Fonte: Control System Designer do MATLAB® (2022).

Pode-se observar que esta análise apresenta valores similares ao circuito de NF2. Em todos os projetos foram aplicadas as mesmas metodologias utilizadas no filtro passa baixa para encontrar dados de amplitude e fase.

Quadro 23 - Síntese dos projetos efetuados com suas respectivas características

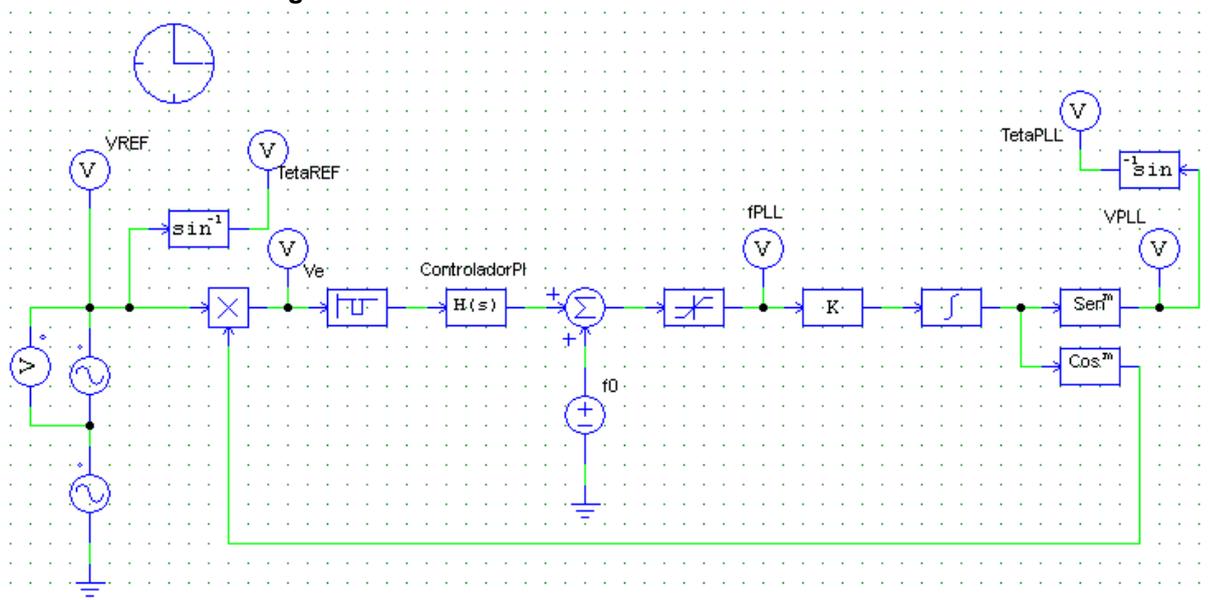
Projeto	f_{CO}	ξ	Diretriz do projeto	Mapa das Raízes	Ganhos do Controlador
24	120 Hz	1,707	$T_E = 0,106$ s	$z = -24,816$ $K = 587,13$	$K_P = 23,659$ $K_I = 587,13$
25	120 Hz	1,707	$T_E = 0,133$ s	$z = -20,75$ $K = 385,16$	$K_P = 18,562$ $K_I = 385,16$
26	120 Hz	1,707	$T_E = 0,167$ s	$z = -19,20$ $K = 231,17$	$K_P = 12,040$ $K_I = 231,17$

Fonte: Autoria própria (2022).

5.4. Simulação numérica

Para realizar a simulação numérica do circuito PLL com Filtro Notch (NF) foi realizado o circuito da Figura 090.

Figura 090 - Circuito do PLL com Filtro Notch no PSIM



Fonte: PSIM® (2022)

Conforme demais projetos será realizada simulação numérica de todos os projetos com os circuitos completos. Para comprovar a eficácia do filtro *notch* (NF), será observado a diferença entre a saída do V_{NF} e o V_{Emax} , evidenciando que em

termos gerais os valores para todos os projetos são similares, portanto se tem apenas um valor no quadro 24.

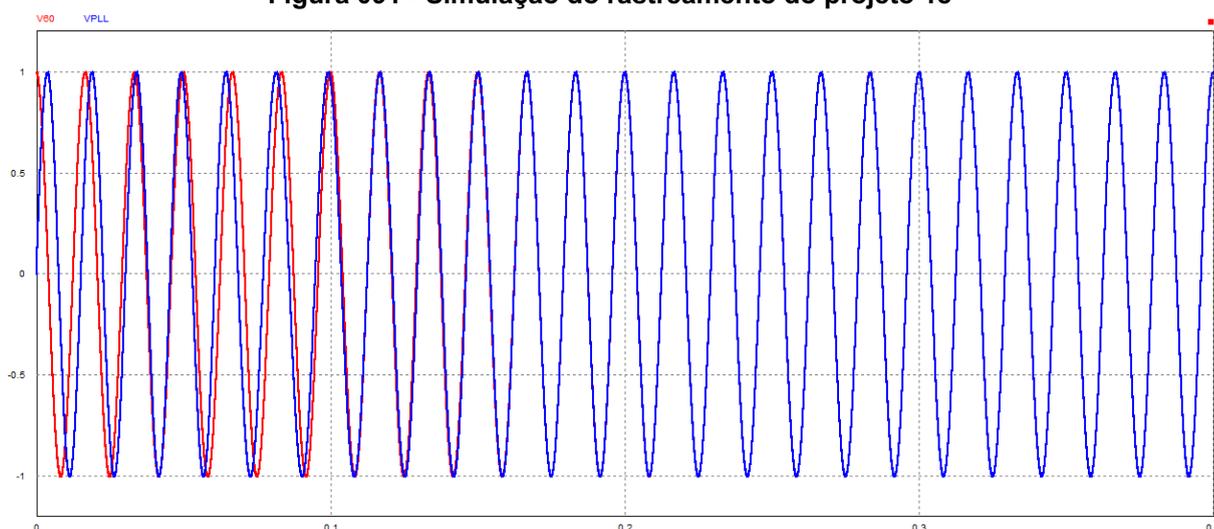
Quadro 24 – Atenuação gerada pelo Filtro Notch

Projeto	$V_{E_{MÁX}}$	$V_{NF_{MÁX}}$
17	0,9918	0,8599

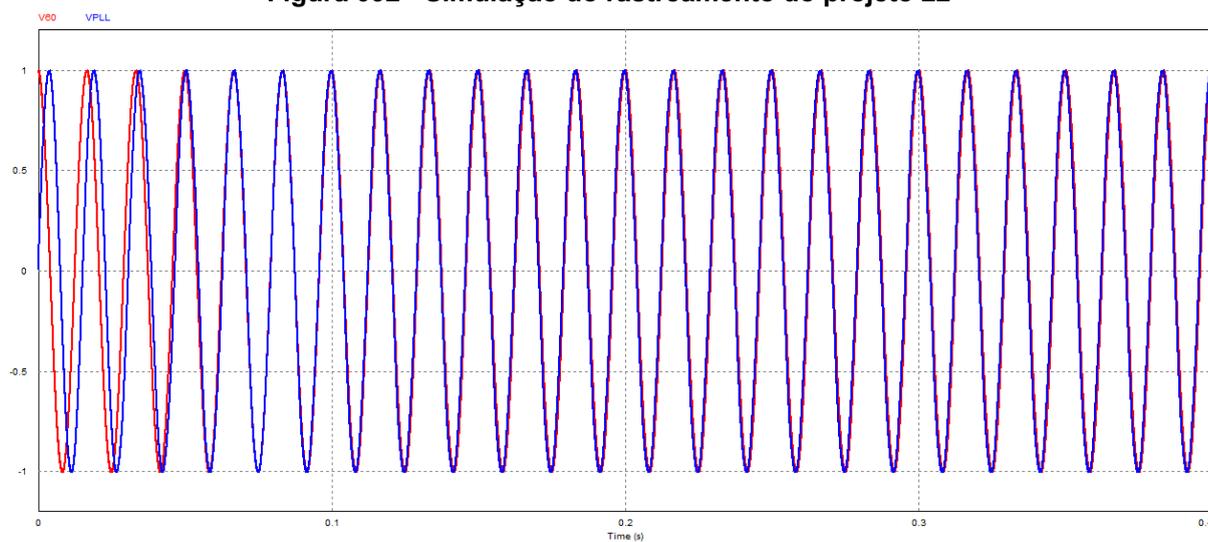
Fonte: Autoria própria (2022).

Foi definido que os tempos seriam padrões nas três categorias de projeto, sendo: 0,083; 0,100; 0,133 e 0,167. Desta forma pode-se apresentar as formas de onda em regime permanente para os projetos das figuras 091-093, onde se encontra em vermelho o sinal de referência e em azul o sinal de saída do filtro.

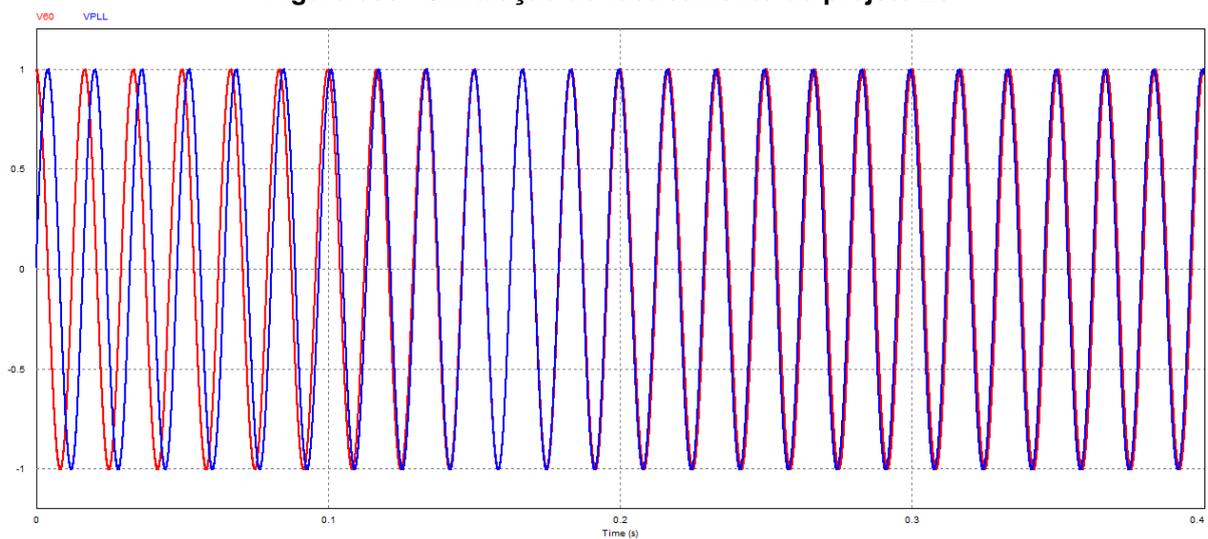
Figura 091 - Simulação do rastreamento do projeto 18



Fonte: PSIM® (2022)

Figura 092 - Simulação do rastreamento do projeto 22

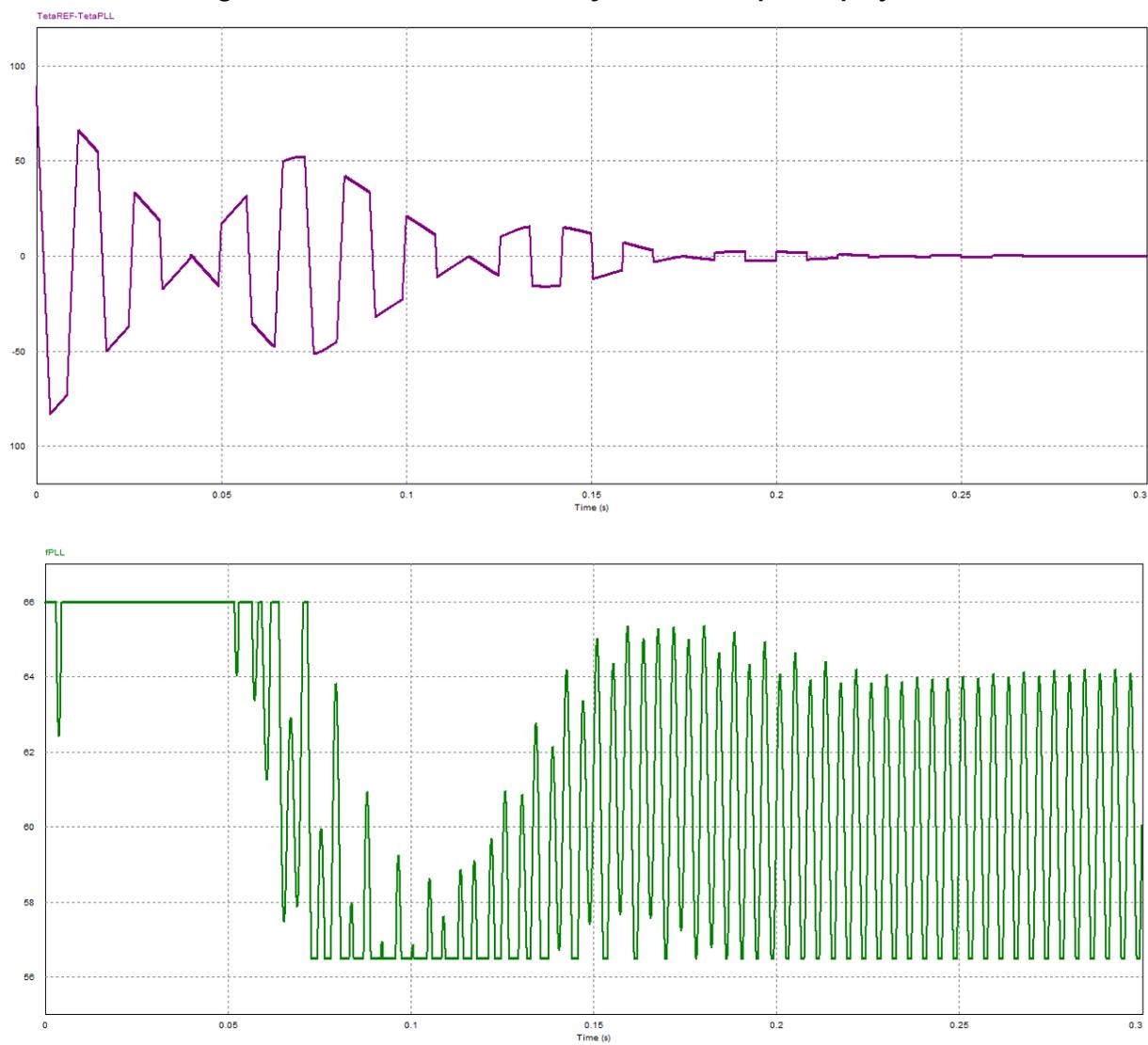
Fonte: PSIM® (2022)

Figura 093 - Simulação do rastreamento do projeto 26

Fonte: PSIM® (2022)

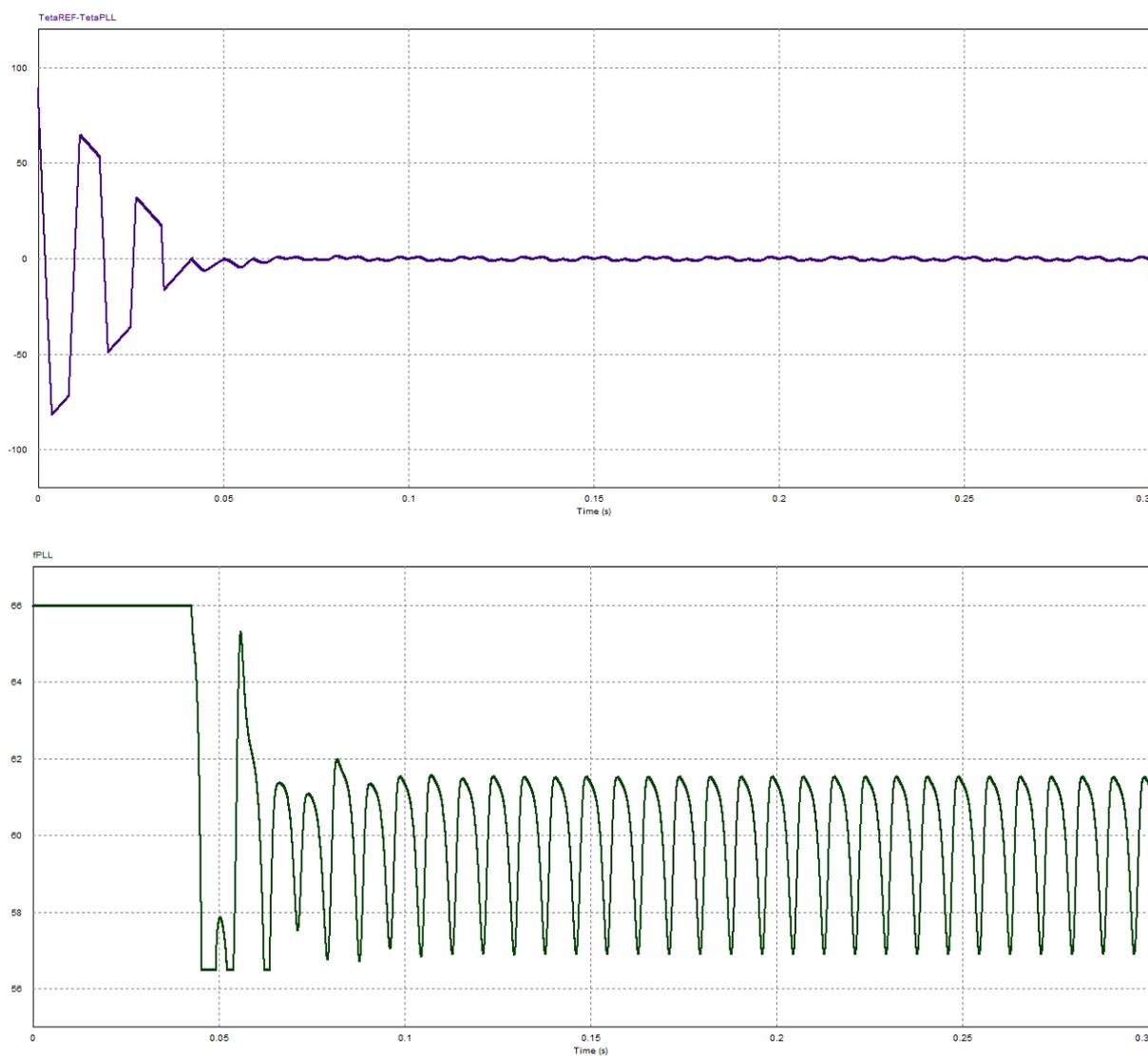
As figuras 094-096 na parte superior apresentam a diferença entre as fases de entrada e de saída, já na parte de baixo são apresentadas as formas de onda do controlador de alguns projetos.

Figura 094 - Resultado da simulação numérica para o projeto 18

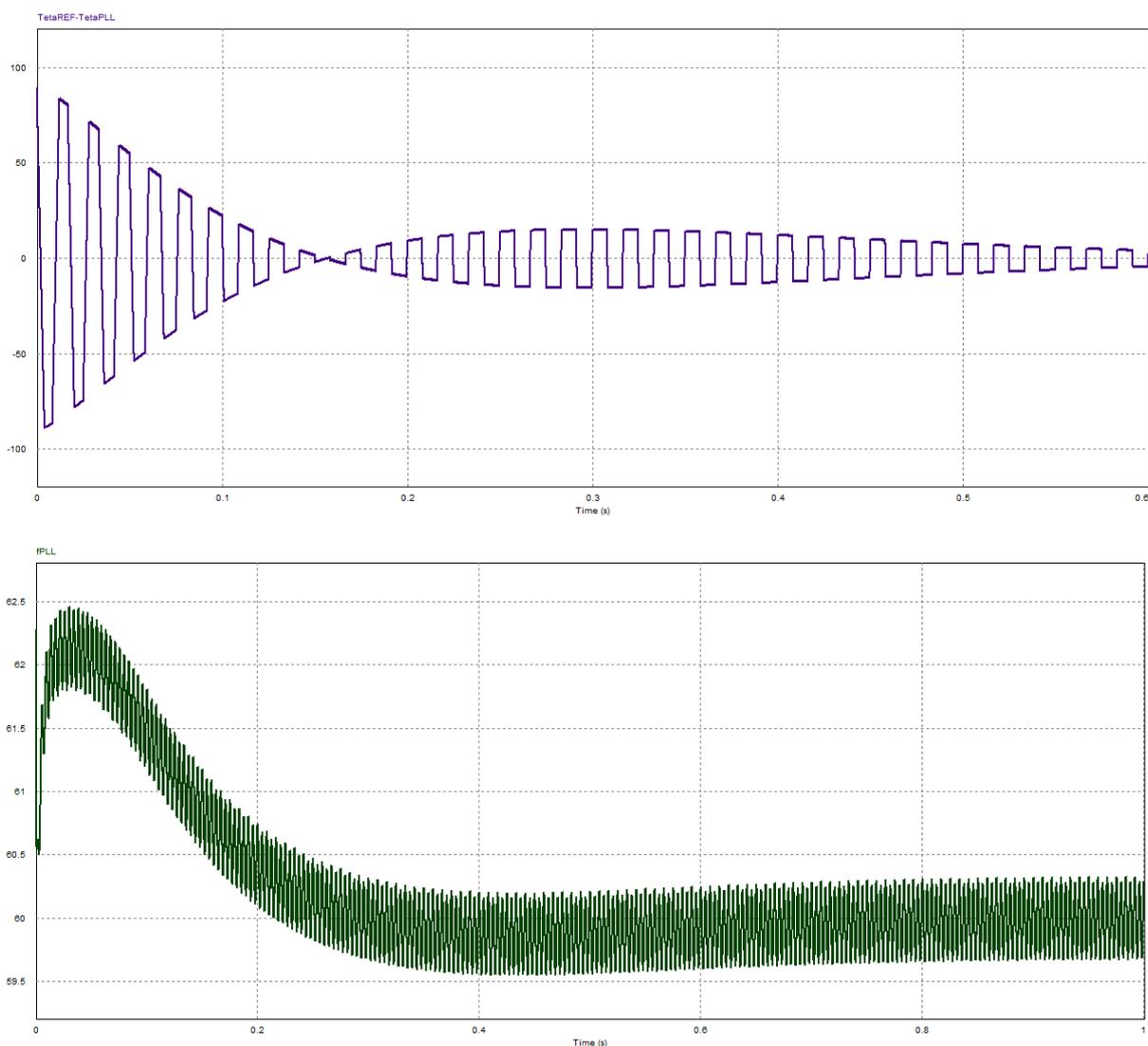


Fonte: PSIM® (2022)

Figura 095 - Resultado da simulação numérica para o projeto 22



Fonte: PSIM® (2022)

Figura 096 - Resultado da simulação numérica para o projeto 24

Fonte: PSIM® (2022)

5.5. Análise de resultados

Conforme já constatado anteriormente através dos resultados, o diagrama em blocos do projeto do bloco básico pode ser utilizado se adaptado às condições de funcionamento e análise do projeto em questão.

Os quadros 25-27 demonstram como diretriz do projeto a variação do tempo projetado e do tempo e erro máximo apresentado na simulação numérica.

Quadro 25 - Comparação de projetos com ξ igual a 0,707

Nº de Ref.	PROJETO	SIMULAÇÃO NUMÉRICA		
	Diretriz	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
17	$T_E = 0,083 s$	0,0724	0,880	1,26%
18	$T_E = 0,100 s$	0,3771	0,795	1,70%
19	$T_E = 0,133 s$	0,6394	0,622	1,78%
20	$T_E = 0,167 s$	0,7776	0,656	1,03%

Fonte: Autoria própria (2022).

Quadro 26 - Comparação de projetos com ξ igual a 1

Nº de Ref.	PROJETO	SIMULAÇÃO NUMÉRICA		
	Diretriz	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
21	$T_E = 0,100 s$	0,122	0,831	1,91%
22	$T_E = 0,133 s$	0,151	0,771	2,04%
23	$T_E = 0,167 s$	0,176	0,974	2,08%

Fonte: Autoria própria (2022).

Quadro 27 - Comparação de projetos com ξ igual a 1,707

Nº de Ref.	PROJETO	SIMULAÇÃO NUMÉRICA		
	Diretriz	T_E (s)	$\Delta f_{MÁX}$ (Hz)	TDH
24	$T_E = 0,106 s$	0,170	0,941	0,67%
25	$T_E = 0,133 s$	0,155	0,874	0,82%
26	$T_E = 0,167 s$	0,880	0,975	0,665%

Fonte: Autoria própria (2022).

Nos quadros 25-27 pôde-se observar a resposta do circuito a diversos cenários e que ao ter uma $\xi=0,707$ e pequeno valor para T_E maior será a $\Delta f_{MÁX}$,

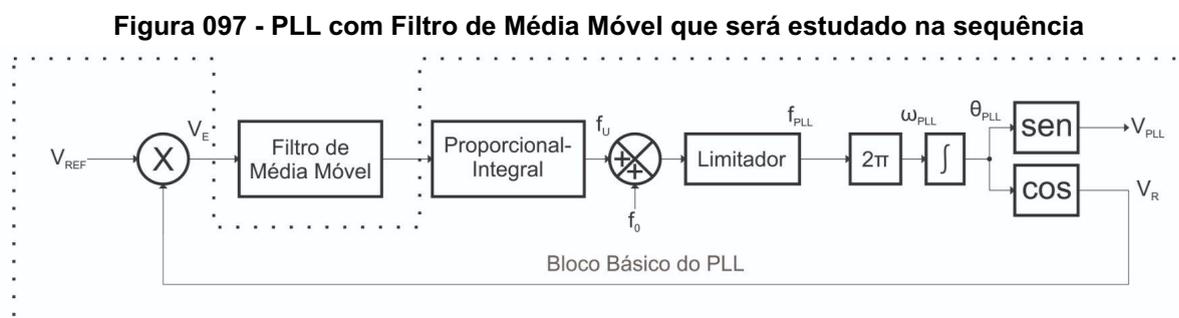
porém, mantendo o valor para ξ e atribuindo um valor maior para a T_E , tem-se um $\Delta f_{MÁX}$ menor. Os demais circuitos apresentam um ajuste mais próximo.

Portanto, observa-se que o tempo de estabilização tem relação com a taxa de distorção harmônica na saída. Que devido às escolhas de ξ e o quanto se faz necessário do PLL maior será o tempo de estabilização do PLL.

Os projetos encontraram e desta forma fixaram a frequência fundamental demonstrando que determinadas situações podem ser utilizadas para processamento.

6. PLL COM FILTRO DE MÉDIA MÓVEL

Outra alternativa sugerida por Golestan, Guerrero e Vasquez Golestan, Guerrero e Vasquez (2017, p. 9014), é adicionar um Filtro de Média Móvel (FMM), encontrado na literatura como *Moving Average Filter* - MAF, ao Controlador (PI) para tentar diminuir o efeito que o termo alternado do Detector de Fase (PD) tem sobre o sistema. Assim, o novo diagrama em blocos é apresentado na figura 097, onde é possível reconhecer o Bloco Básico estudado no capítulo anterior e o Filtro de Média Móvel (FMM) atuando em conjunto com o Controlador (LF).



Fonte: Autoria própria (2022).

6.1. Funcionamento

O filtro de média móvel (FMM) tende a realizar a média dos últimos valores antes de apresentá-los à saída, onde a quantidade de valores dependerá do tamanho de sua faixa de aquisição (T_A). A função de transferência que descreve seu comportamento é dada pela equação (18).

$$FMM(s) = \frac{1 - e^{-T_A s}}{T_A s} \quad (18)$$

Assim como Golestan et al. [7] utilizaram a técnica de aproximação de Padé de primeira ordem para simplificar a equação (17) e chegar a um filtro passa baixa, utilizou-se a mesma técnica, mas desta vez de terceira ordem, para chegar a função de transferência que será utilizada no projeto. Os comandos foram utilizados para efetuar a aproximação são apresentados na figura 098, substituindo-se o valor de X pelo valor da janela de aquisição (T_A).

Figura 098 - Comandos utilizados para efetuar a aproximação de Padé

```
FiltroMediaMovel.m  x  +
s=tf('s');
TA=X; %<-- Substituir valor
FMM=(1-pade(exp(-TA*s),3))/(TA*s);
```

Fonte: Autoria própria (2022).

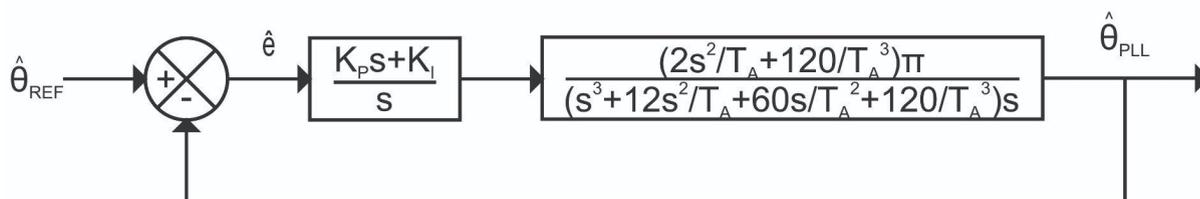
Depois de algumas operações básicas chega-se à equação (19), que representará a função de transferência que será utilizada para descrever o comportamento deste PLL.

$$FMM(s) = \frac{1 - e^{-T_A s}}{T_A s} \approx \frac{\frac{2}{T_A} s^2 + \frac{120}{T_A^3}}{s^3 + \frac{12}{T_A} s^2 + \frac{60}{T_A^2} s + \frac{120}{T_A^3}} \quad (19)$$

6.2. Análise matemática

Utilizando os mesmos passos do capítulo 2 (teoria de pequenos sinais, linearização e incorporação do filtro à planta) chega-se ao modelo médio linearizado simplificado para o PLL com filtro de média móvel (FMM) apresentado na figura 099.

Figura 099 - Modelo Médio Linearizado simplificado para o PLL com Filtro de Média Móvel



Fonte: Autoria própria (2022).

Os parâmetros para alimentação do *SISO tool*, são retirados da figura 100, levando ao quadro 28.

Quadro 28 – Parâmetros de entrada do *SISO tool*

Bloco	Valor
F	1
C	$\frac{K_P s + K_I}{s}$
G	$\frac{\left(\frac{2}{T_A} s^2 + \frac{120}{T_A^3}\right) \pi}{\left(s^3 + \frac{12}{T_A} s^2 + \frac{60}{T_A^2} s + \frac{120}{T_A^3}\right) s}$
H	1

Fonte: Autoria própria (2022).

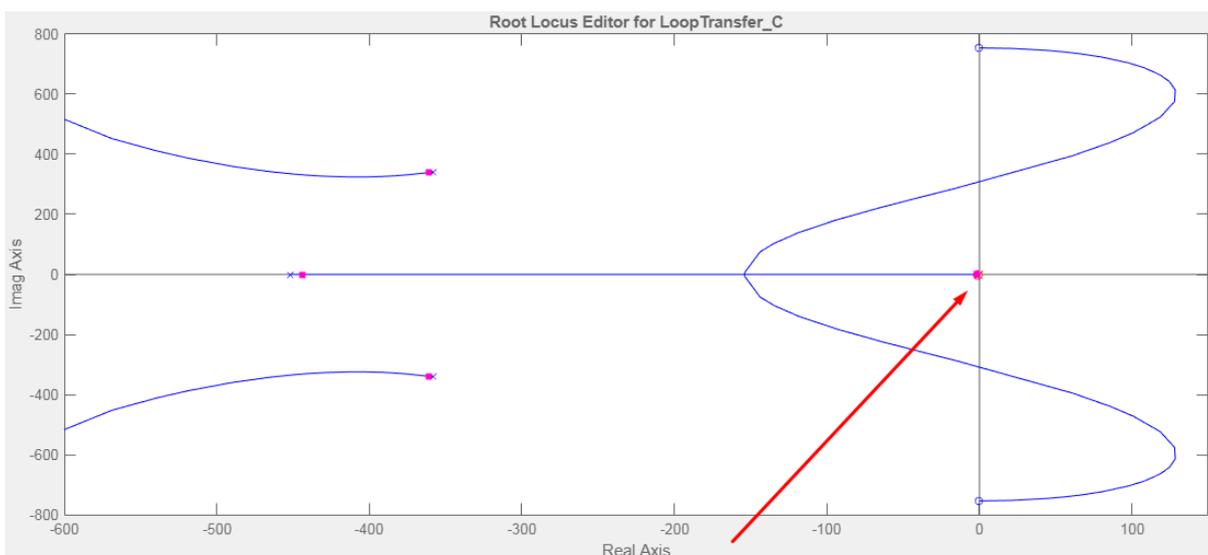
6.3. Metodologia de projeto

Para efetuar o projeto do PLL com filtro de média móvel (FMM), escolheu-se definir a frequência de corte do filtro (f_{CO}) como o inverso da janela de aquisição (T_A) com a multiplicação de um coeficiente que indica o deslocamento do vale em relação a f_{CO} por conta da aproximação adotada. Logo $f_{CO} = \frac{k_{FMM}}{T_A}$, onde $k_{FMM} = \frac{\sqrt{15}}{\pi}$. Como no projeto do PLL com filtro passa baixa (FPB), optou-se por projetar o filtro e incorporá-lo à planta, logo, o primeiro passo é definir o valor da frequência de corte (f_{CO}) para então calcular a janela de aquisição (T_A). Depois disso são enviadas as informações para o *SISO tool*.

A figura 100 apresenta o gráfico do lugar das raízes para a malha fechada do sistema, a área destacada está melhor apresentada na figura 101. É possível observar, que para o sistema em malha fechada do PLL com filtro de média móvel (FMM), existem dois pares de zeros complexos conjugados sobre a reta imaginária referente à planta e um zero real referente ao controlador, além de dois integradores, um referente à planta e outro ao controlador, um par complexo conjugado referente à planta e um polo real referente à planta.

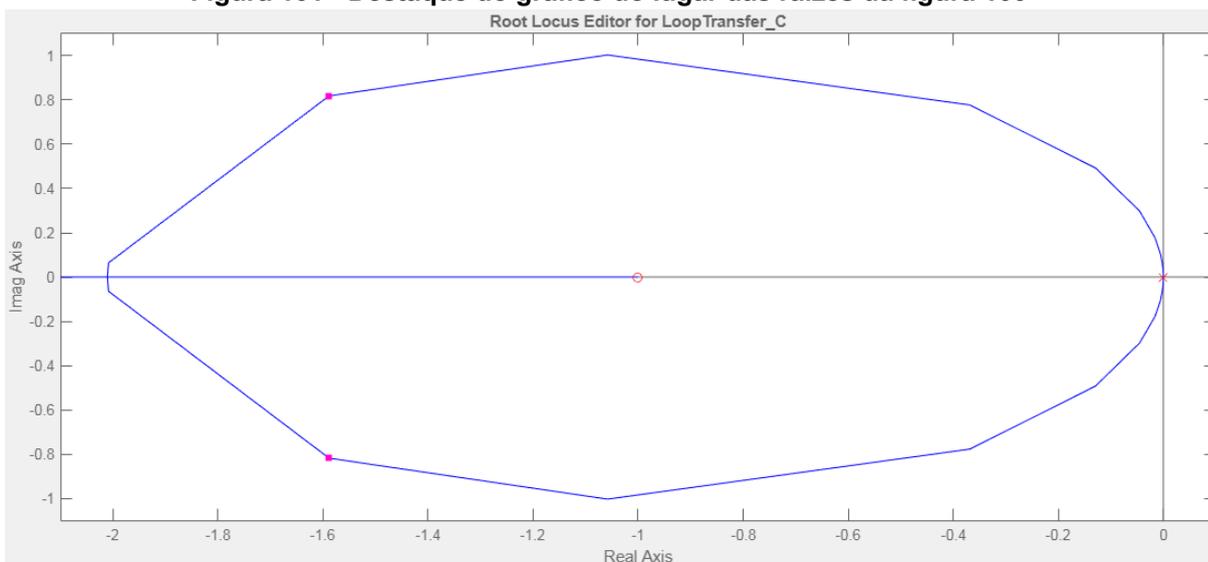
Assim como nos projetos anteriores, apenas o ponto de bifurcação próximo à origem e os polos da origem e o zero real serão utilizados no projeto do PLL com filtro de média móvel (FMM).

Figura 100 - Gráfico do lugar das raízes para o PLL



Fonte: Control System Designer do MATLAB® (2022).

Figura 101 - Destaque do gráfico do lugar das raízes da figura 100



Fonte: Control System Designer do MATLAB® (2022).

Como o filtro de média móvel (FMM) foi aproximado pela técnica de Padé na ordem três, apresentará apenas um vale de atenuação em k_{FMM}/T_A Hz. Assim, chega-se a $f_{CO} = 120$ Hz e $T_A = 10,273 \times 10^{-3}$ s.

O filtro de média móvel (FMM) tem uma característica próxima ao do filtro *notch* (NF). Isso pode ser observado calculando-se o módulo na frequência do termo alternado de sua função de transferência apresentada na equação (19), chegando a equação (20).

$$|FPB(j240\pi)| = 20 \log \left(\frac{(f_{co}^3 - 120^2 f_{co})}{\sqrt{(f_{co}^3 - 6f_{co}120^2)^2 + 15(120f_{co}^2 - 120^3)^2}} \right) \quad (20)$$

Pode-se observar que à medida que a frequência de corte (f_{co}) tende a 120 Hz, o numerador do módulo em valor absoluto tende a zero e o módulo em decibéis tende a $-\infty$, evidenciando a anulação do efeito do termo alternado do detector de fase (PD). Assim como no projeto anterior, a diretriz, que norteará os próximos projetos, será o tempo de estabilização do sistema (T_E).

A aquisição dos parâmetros do controlador seguiu a metodologia já apresentada, logo, seguindo o mesmo procedimento, chega-se às informações presentes no quadro 29.

Quadro 29 - Síntese dos projetos efetuados com suas respectivas características

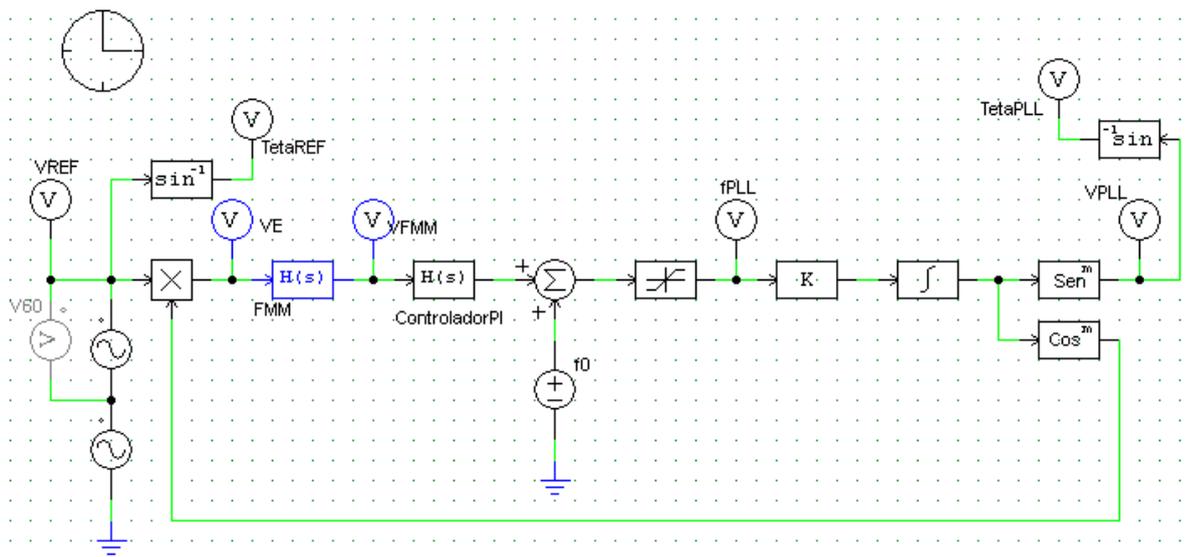
Projeto	Diretriz (T_E) (ms)	Zero	Ganho do Sistema	Ganhos do Controlador
27	90	-28,5	726,320	$K_P = 25,485$ $K_I = 726,320$
28	100	-25,9	625,720	$K_P = 24,159$ $K_I = 625,720$
29	133	-19,9	401,670	$K_P = 20,184$ $K_I = 401,670$
30	200	-13,40	197,370	$K_P = 14,729$ $K_I = 197,370$

Fonte: Autoria própria (2022)

6.4. Simulação numérica

Para efetuar a simulação do PLL com filtro de média móvel (FMM), montou-se o circuito da figura 102, onde a única alteração em relação às simulações anteriores é a adição do filtro de média móvel (FMM).

Figura 102 - Circuito do PLL com filtro de média móvel no PSIM®

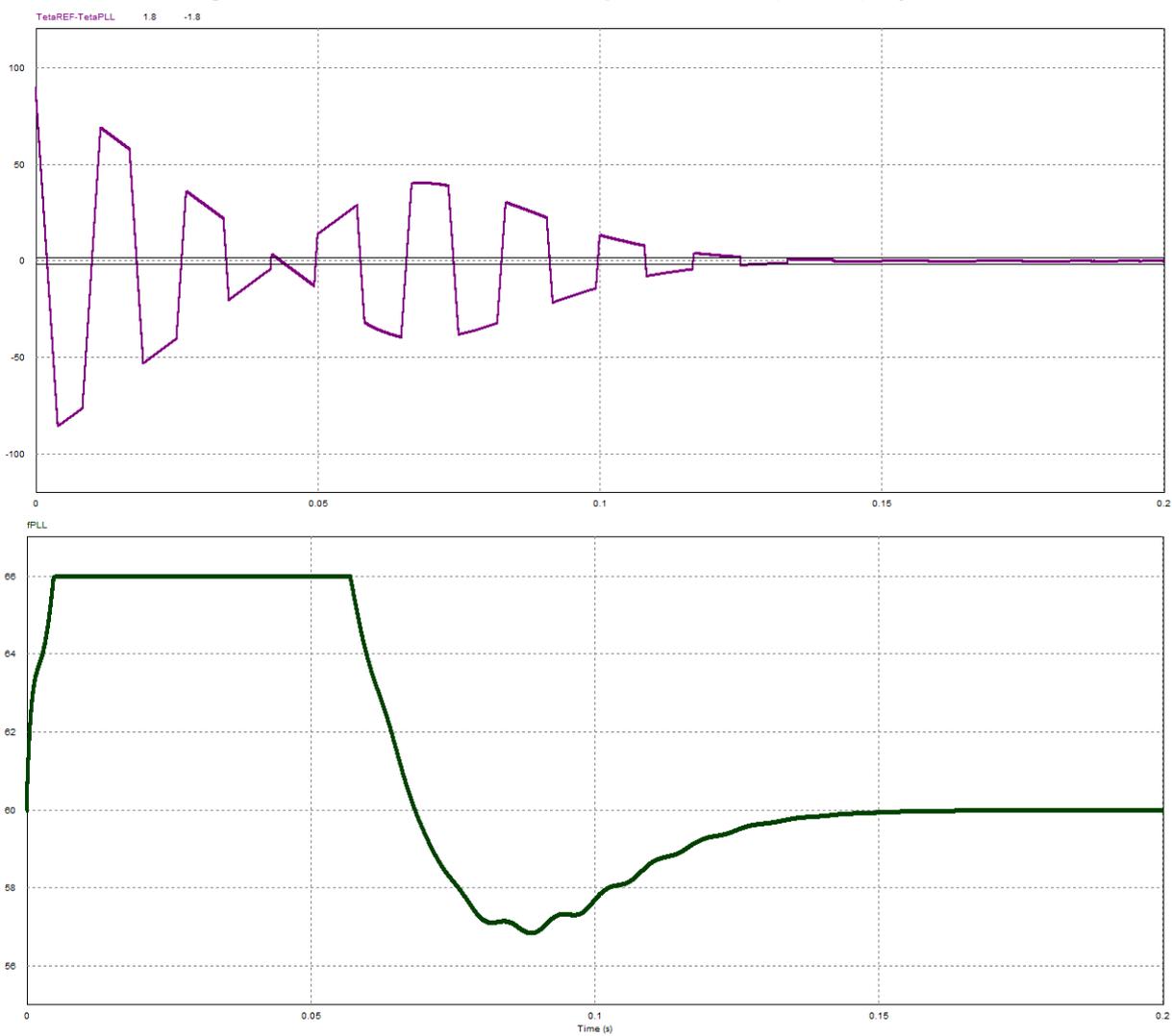


Fonte: PSIM® (2022)

Optou-se por efetuar as simulações numéricas de todos os projetos com os circuitos completos, dado que o efeito do limitador já foi observado nas simulações do Bloco Básico.

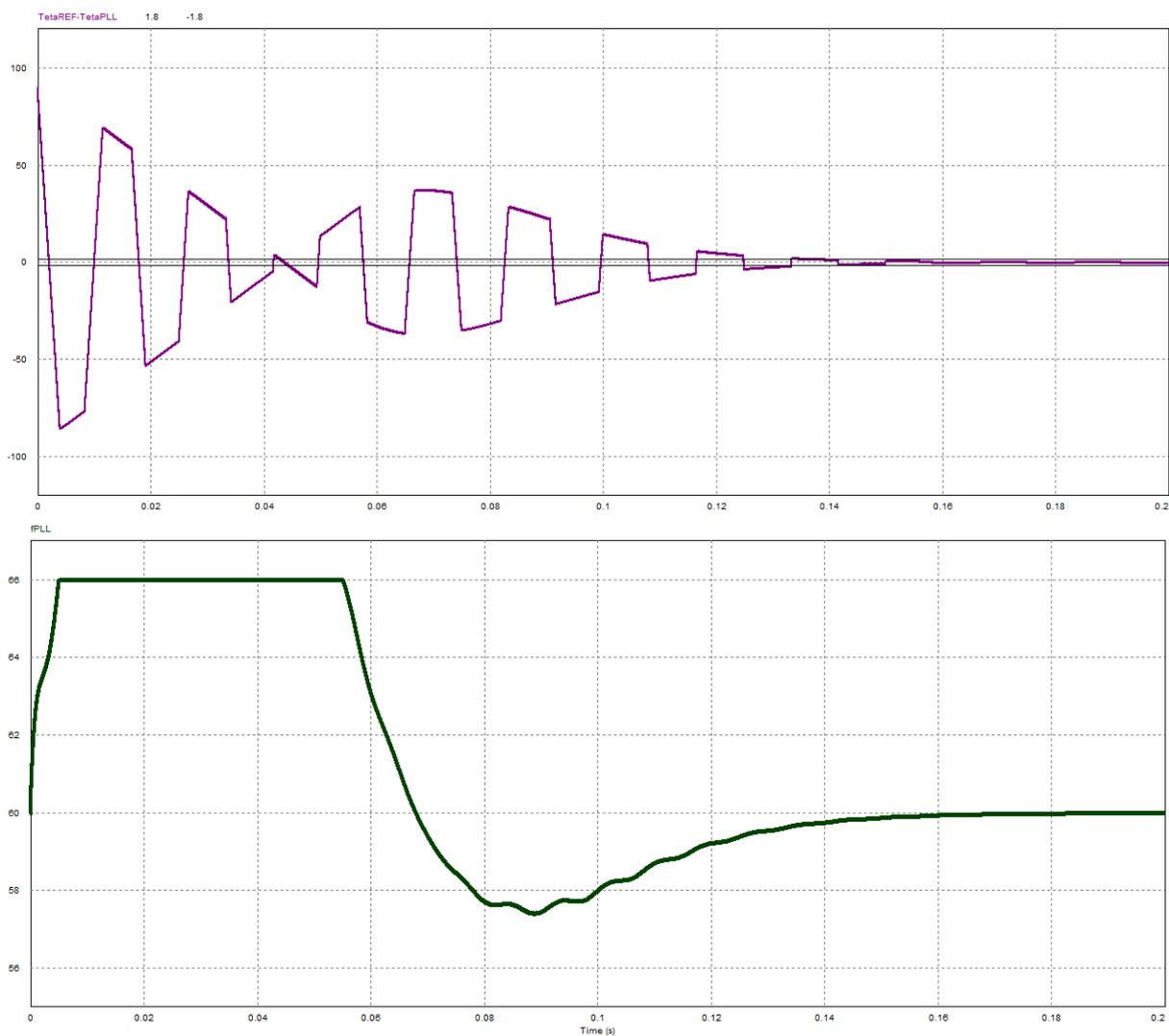
As figuras 103-106 apresentam, na parte superior, a diferença entre as fases de entrada (θ_{REF}) e de saída (θ_{PLL}) e, na parte inferior, as formas de onda da saída do controlador dos projetos sugeridos.

Figura 103 - Resultados da simulação numérica para o projeto 27



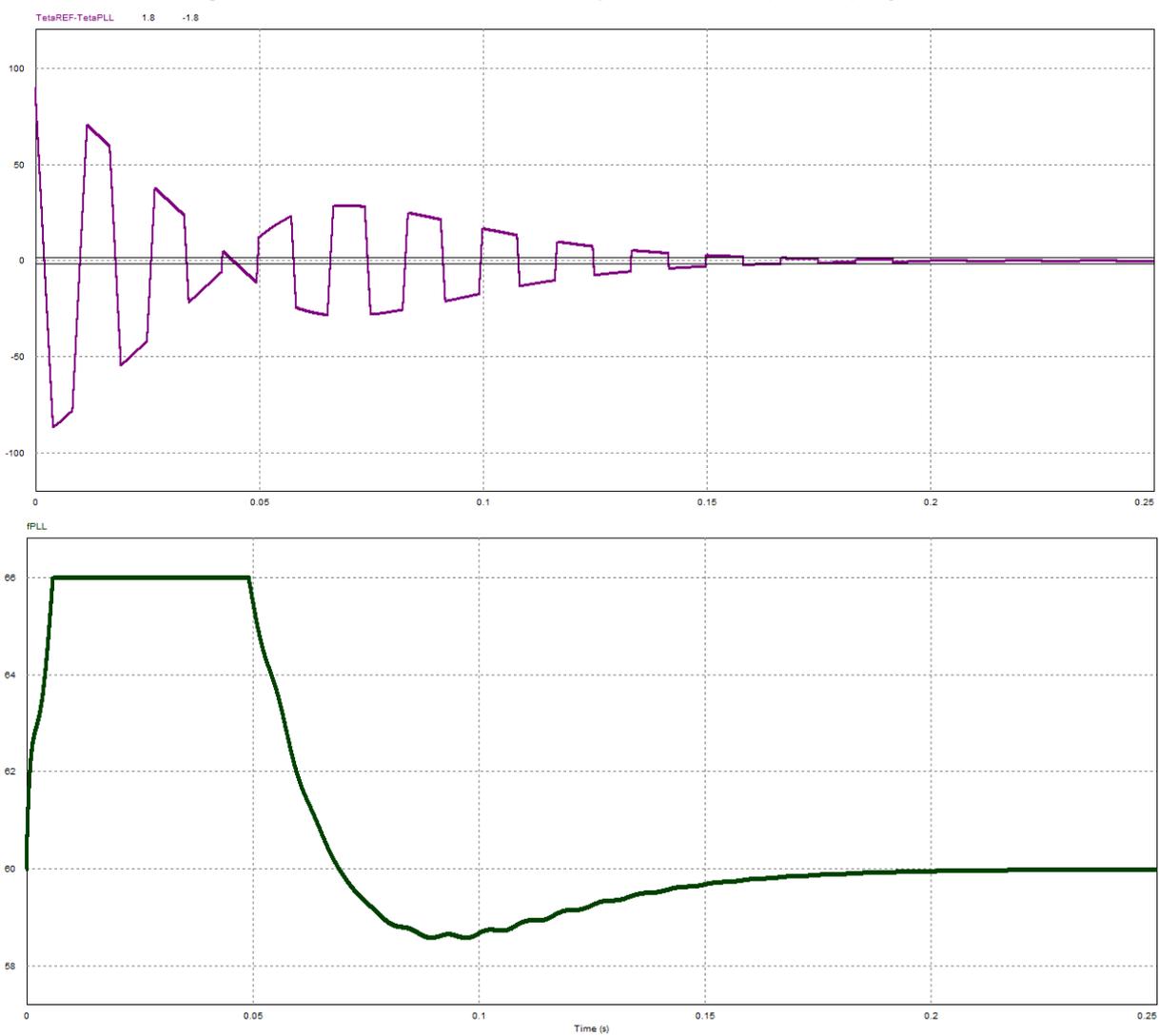
Fonte: PSIM® (2022)

Figura 104 - Resultados da simulação numérica para o projeto 28

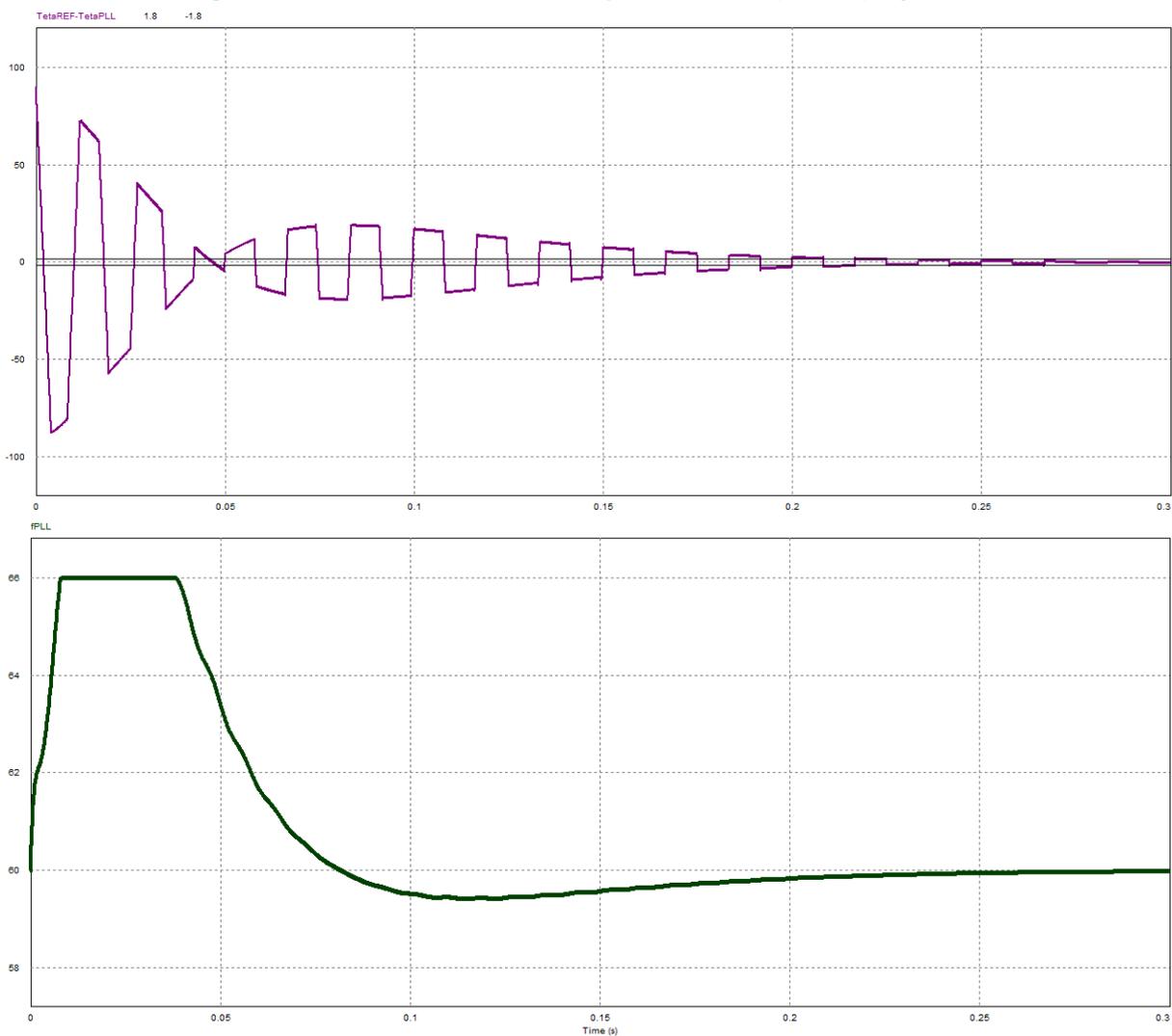


Fonte: PSIM® (2022)

Figura 105 - Resultados da simulação numérica para o projeto 29



Fonte: PSIM® (2022)

Figura 106 - Resultados da simulação numérica para o projeto 30

Fonte: PSIM® (2022)

Os resultados detalhados dos parâmetros analisados para cada projeto nas simulações numéricas são apresentados no quadro 30.

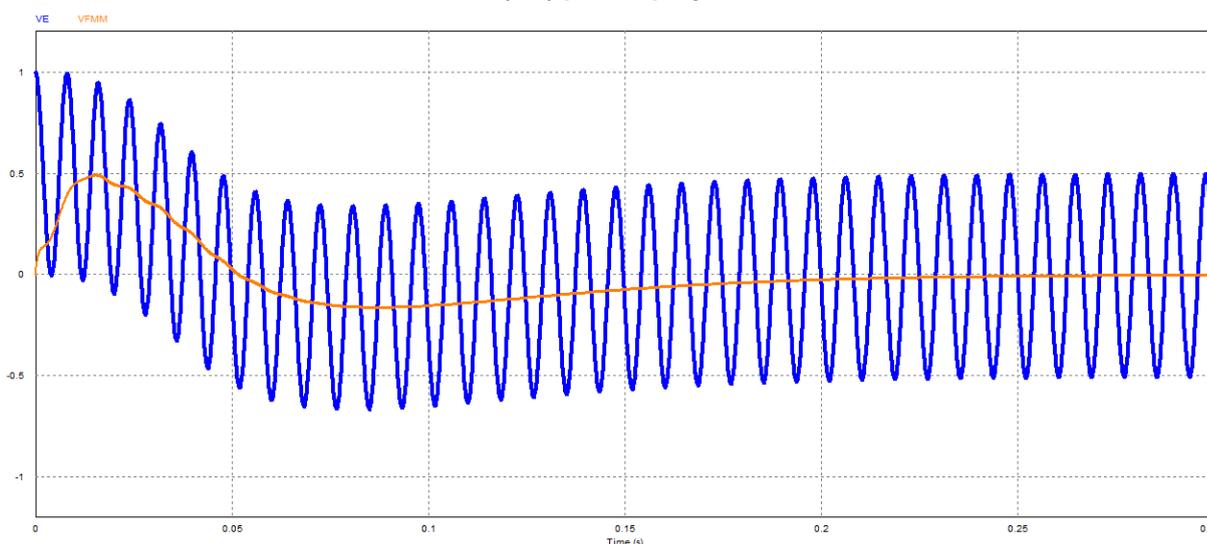
Quadro 30 - Resultados encontrados na simulação numérica para os PLLs

Projeto	T_E (ms)	$\Delta f_{MÁX}$ (Hz)	TDH
27	127	0,000	0,00%
28	135	0,000	0,00%
29	162	0,000	0,00%
30	215	0,000	0,00%

Fonte: Autoria própria (2022).

A figura 107 apresenta a diferença entre a saída do filtro (V_{FMM}) e o sinal de erro (V_E) do projeto 30, para enfatizar o funcionamento do Filtro de Médio Móvel (FMM), em azul encontra-se o sinal de erro (V_E) e em laranja o sinal da saída do Filtro de Médio Móvel (V_{FMM}).

Figura 107 - Diferença entre a saída do Filtro de Média Móvel e o sinal de erro do Detector de Fase (PD) para o projeto 30



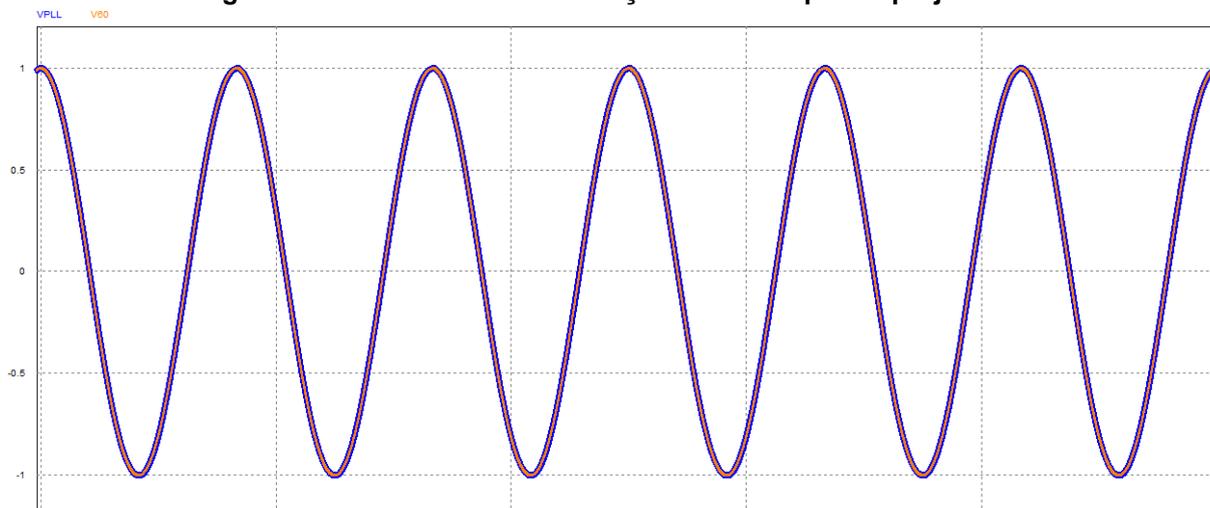
Fonte: PSIM® (2022)

Para finalizar as simulações numéricas, a fonte de tensão de entrada foi acrescida de sua terceira harmônica adicionando uma onda senoidal com 0,4 de amplitude e 180 Hz de frequência com 270° de defasagem, implicando em um TDH

de 40% (o quádruplo do permitido pela ANEEL). Logo o sinal de entrada (V_{REF}) apresenta grandes distorções, as mesmas já apresentadas na figura 034.

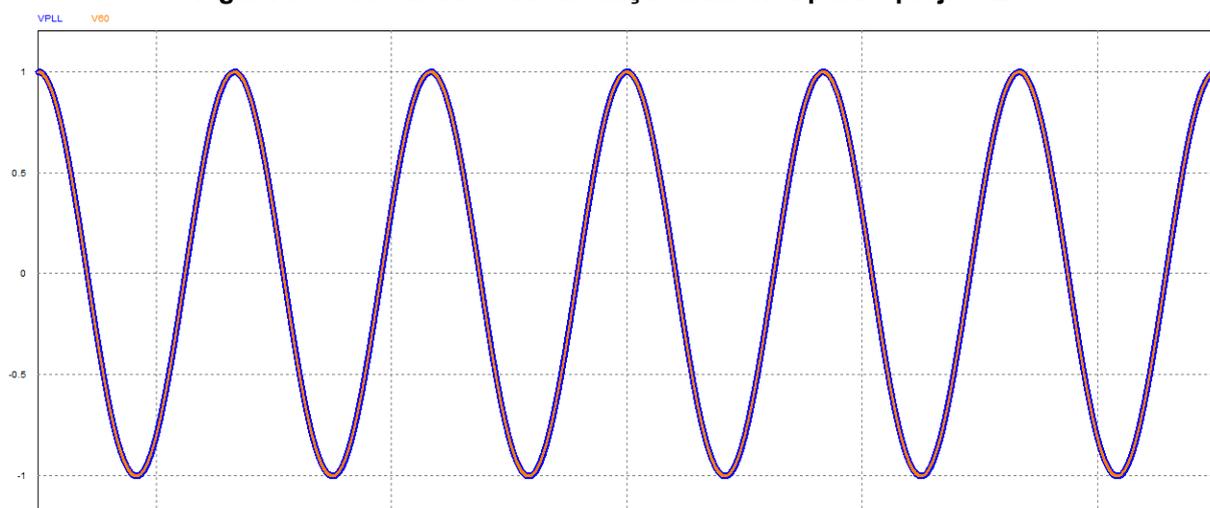
As figuras 108-111 apresentam os resultados das simulações submetidas ao sinal de entrada com distorção. Onde o sinal de saída (V_{PLL}) encontra-se em azul com maior espessura e a referência da onda fundamental (V_{60}) em laranja com menor espessura, apresentando o travamento em regime permanente.

Figura 108- Resultados da simulação numérica para o projeto 27

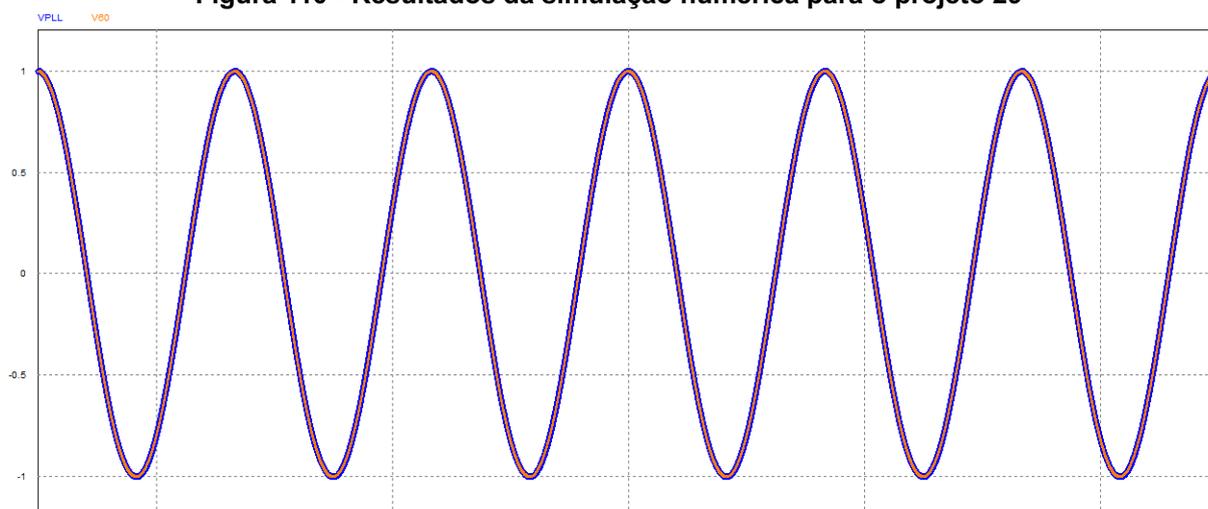


Fonte: PSIM® (2022)

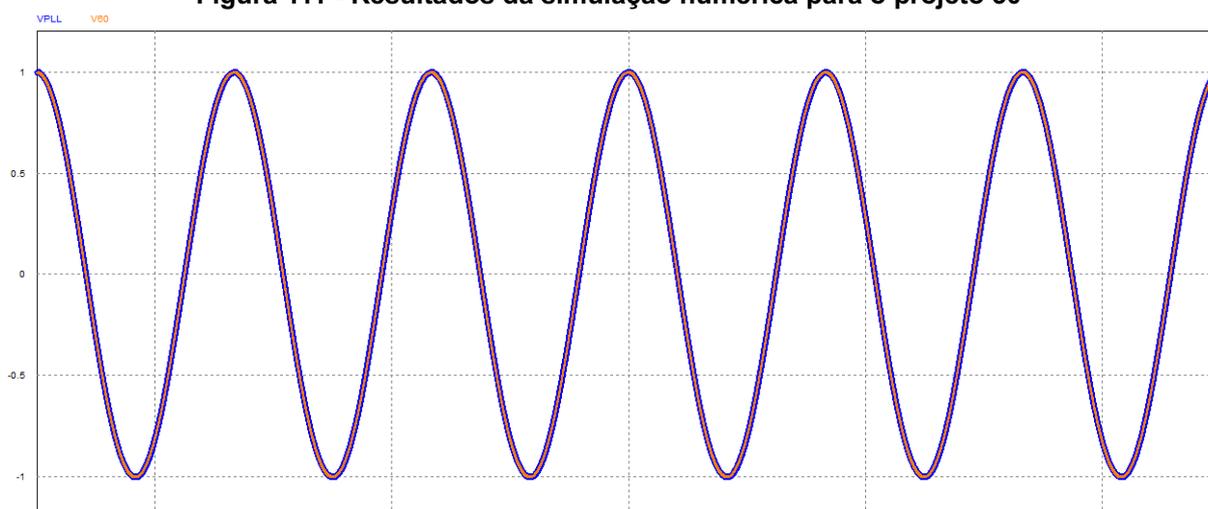
Figura 109 - Resultados da simulação numérica para o projeto 28



Fonte: PSIM® (2022)

Figura 110 - Resultados da simulação numérica para o projeto 29

Fonte: PSIM® (2022)

Figura 111 - Resultados da simulação numérica para o projeto 30

Fonte: PSIM® (2022)

6.5. Análise de resultados

Pode-se observar através dos resultados apresentados que a mesma metodologia utilizada nos demais PLLs que utilizem o bloco básico também pode ser utilizada para o PLL com filtro de média móvel (FMM), visto que o comportamento do sistema foi previsto com eficiência.

O quadro 31 apresenta os parâmetros de projeto e os resultados obtidos por simulação numérica para fins de comparação de desempenho, entre parênteses são apresentados os erros percentuais.

Quadro 31 - Comparação de desempenho de projetos

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	Diretriz (T_E) (ms)	Esperado	T_E (ms)	$\Delta f_{MÁX}$ (Hz)	TDH
27	90	$\Delta f_{MÁX} = 0,0 \text{ Hz}$	127 (41%)	0,000	0,00%
28	100		135 (35%)	0,000	0,00%
29	133		162 (21,8%)	0,000	0,00%
30	200		215 (7,5%)	0,000	0,00%

Fonte: Autoria própria (2022).

É possível observar que, apesar de o bloco limitador estar influenciando negativamente, as respostas do sistema foram próximas do projetado. Observa-se que quanto menos se exige do PLL, ou seja, quanto maior é o tempo de estabilização, menos erro ele apresenta. Outro ponto extremamente importante é que a perturbação originada no detector de fase (PD) foi totalmente bloqueada pelo filtro de média móvel (FMM) e, conseqüentemente, o mesmo não apresenta nenhuma taxa de distorção harmônica. Em [7], observa-se que o ponto de bloqueio é em exatamente f_{CO} , caso a frequência da entrada varie, o que é comum na rede elétrica, ou seja adicionado harmônicos, o bloqueio pode se enfraquecer, então novas medidas podem ser apresentadas para criar um sistema adaptativo para corrigir constantemente o valor de f_{CO} . O sistema adaptativo não faz parte do escopo deste trabalho.

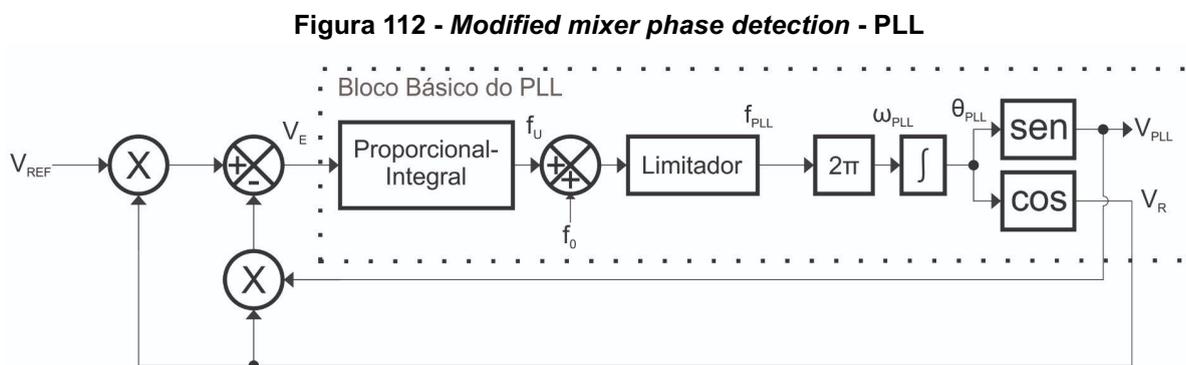
Ademais, todos os projetos rastrearam e travaram a frequência fundamental do sinal de entrada mesmo submetidos a grande distorção de sinal, provando sua utilidade para o processamento de energia.

7. PLL COM DETECTOR DE FASE MODIFICADO

Por fim, tem-se a última alternativa apresentada neste trabalho que é o PLL com detector de fase modificado, ou *modified mixer phase detection* (MMPD) na língua inglesa, que segundo Thacker et al. (2011, p. 2482) uma forma comum de ruído injetado em um PLL advém das variáveis aproximadas no segundo harmônico causando erros de controle e disparos em sistemas de proteção. Sua configuração é apresentada na figura 112.

Este método, devido à característica descrita, visa a redução no *ripple* a partir da segunda harmônica e quando é aplicado uma grande distorção há melhora na velocidade de sincronização.

A grande diferença entre esse PLL e os demais PLLs estudados é que será adicionado um multiplicador ao detector de fase (PD) e não ao controlador (LF). Essa nova multiplicação tende a eliminar parte do termo alternado presente no primeiro multiplicador e traz como grande vantagem ser mais eficiente à medida que a diferença entre as fases de entrada (θ_{REF}) e de saída (θ_{PLL}) diminua.



Fonte: Autoria própria (2022).

7.1. Funcionamento

O MMPD-PLL é utilizado para resolver a dupla frequência, já que se faz necessário cancelar esse termo antes do controlador através de componente oposto em ângulo de fase e funciona adequadamente quando a amplitude é de 1 p.u. e isto torna o controle mais complexo devido à implementação não ser regular.

A modificação no detector de fase traz a subtração de um termo alternado muito próximo do termo alternado já existente, diminuindo o efeito que traz ao

controlador a medida que o ângulo de saída (θ_{PLL}) se aproxima do ângulo de entrada (θ_{REF}), podendo chegar a ser totalmente anulado quando os dois ângulos forem iguais. O sinal de erro do MMPD é apresentado na equação (21) e seu desenvolvimento é demonstrado nas equações (22) e (23).

$$V_E = \text{sen}(\omega t + \theta_{REF}) \times \text{cos}(\omega t + \theta_{PLL}) - \text{sen}(\omega t + \theta_{PLL}) \times \text{cos}(\omega t + \theta_{PLL}) \quad (21)$$

$$V_E = \frac{1}{2} \left[\text{sen}(2\omega t + \theta_{REF} + \theta_{PLL}) + \text{sen}(\theta_{REF} - \theta_{PLL}) \right] - \frac{1}{2} \text{sen}(2\omega t + 2\theta_{PLL}) \quad (22)$$

$$V_E = \frac{1}{2} \left[\text{sen}(2\omega t + \theta_{REF} + \theta_{PLL}) - \text{sen}(2\omega t + 2\theta_{PLL}) + \text{sen}(\theta_{REF} - \theta_{PLL}) \right] \quad (23)$$

7.2. Análise matemática

Analisando o sinal de erro (V_E) do detector de fase modificado, apresentado na equação anterior, observa-se que o sistema a ser controlado continua sendo não-linear pela presença dos termos trigonométricos, assim, a linearização da expressão deve ocorrer da mesma maneira que nos outros PLLs apresentados: através da teoria de pequenos sinais.

Ao substituir $X = \bar{X} + \hat{X}$ nas variáveis do sistema e desprezar os termos médios, chega-se à equação (24).

$$\hat{e} = \frac{1}{2} \left[\text{sen}(2\omega t + \hat{\theta}_{REF} + \hat{\theta}_{PLL}) - \text{sen}(2\omega t + 2\hat{\theta}_{PLL}) + \text{sen}(\hat{\theta}_{REF} - \hat{\theta}_{PLL}) \right] \quad (24)$$

Sabendo que para ângulos pequenos não nulos $\text{sen}(\theta) \approx \theta$, tem-se a equação (25).¹¹

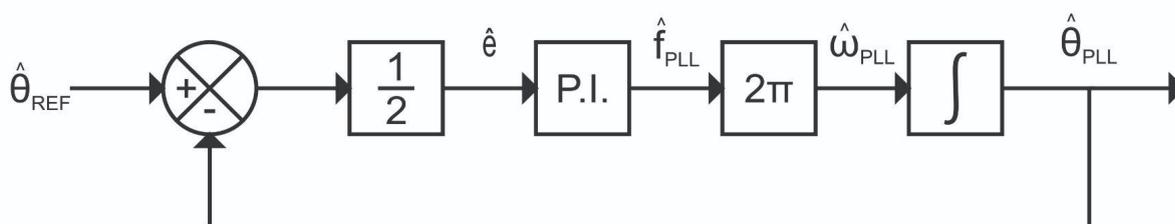
$$\hat{e} = \frac{1}{2} \left[\text{sen}(2\omega t + \hat{\theta}_{REF} + \hat{\theta}_{PLL}) - \text{sen}(2\omega t + 2\hat{\theta}_{PLL}) + \hat{\theta}_{REF} - \hat{\theta}_{PLL} \right] \quad (25)$$

¹¹ Através do truncamento da série de Taylor para a função seno.

Observa-se que ao efetuar a linearização desprezando-se os termos não lineares na equação, chega-se à equação que é a mesma para o bloco básico estudado no capítulo 2.

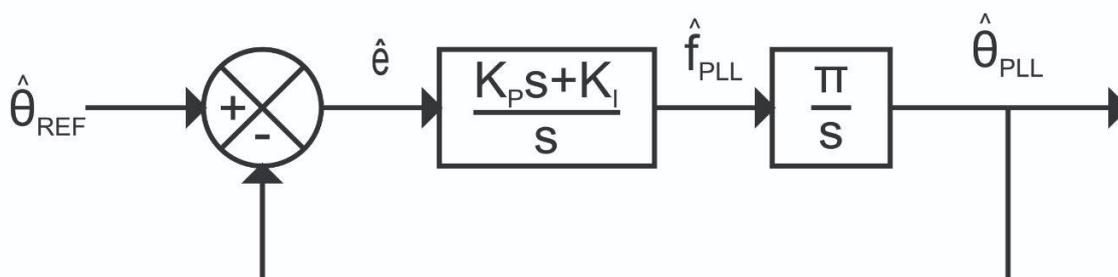
Assim, o modelo médio linearizado é igual ao Bloco Básico do PLL, o mesmo ocorre para o modelo simplificado. Esses modelos são representados nas figuras 113 e 114.

Figura 113 - Modelo Médio Linearizado para o MMPD



Fonte: Autoria própria (2022).

Figura 114 - Modelo Médio Linearizado simplificado do MMPD



Fonte: Autoria própria (2022).

As entradas para o *SISOtool* podem ser vistas no quadro 32.

Quadro 32 – Parâmetros de entrada do Control System Designer para o MMPD

Bloco	Valor
F	1
C	$\frac{K_p s + K_i}{s}$
G	$\frac{\pi}{s}$
H	1

Fonte: Autoria própria (2022).

7.3. Metodologia de projeto

Conforme demais projetos, foi utilizada a mesma metodologia, sendo a definição de planta em primeiro momento e depois utilização do comando *SISO tool* no software *Matlab* e aplicação dos parâmetros unitários do sistema.

Executando o comando do *SISOtool* a resposta obtida foi como já observado anteriormente no capítulo 2 que é um dado estabilizado. Possuindo por fim dois pólos em sistema de malha fechada sendo que um destes pólos já é existente e outro foi adicionado na origem do controlador para obter comportamento integral e eliminar o erro em regime.

Apesar do modelo linearizado ser o mesmo do bloco básico, o MMPD visa diminuir o efeito do termo alternado e anulá-lo em regime permanente. Sendo assim, a perturbação esperada é nula. Então, assim como no projeto anterior, a diretriz que norteará os próximos projetos, será o tempo de estabilização do sistema (T_E).

A aquisição dos parâmetros do controlador seguiu a metodologia já apresentada, logo, seguindo o mesmo procedimento, chega-se às informações presentes no quadro 33.

Quadro 33 - Síntese dos projetos efetuados com suas respectivas características

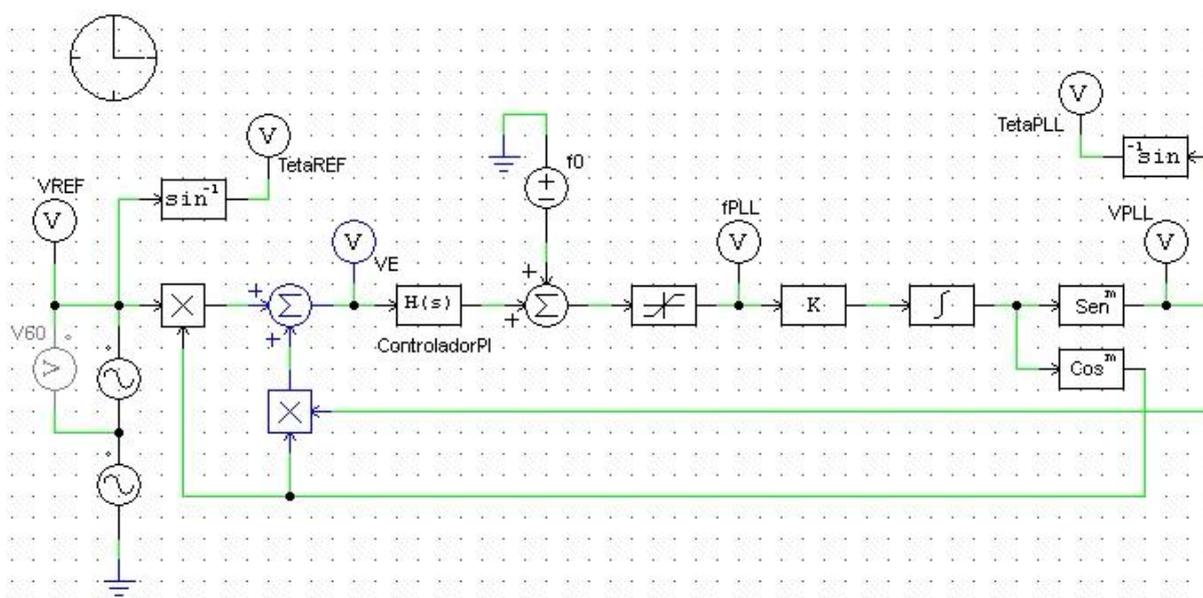
Projeto	Diretriz (T_E) (ms)	Zero	Ganho do Sistema	Ganhos do Controlador
31	90	-29,95	1142	$K_P = 38,130$ $K_I = 1142,0$
32	100	-26,90	921	$K_P = 34,238$ e $K_I = 921,0$
33	133	-20,20	520	$K_P = 25,743$ $K_I = 520,0$
34	200	-13,5	232	$K_P = 17,185$ $K_I = 232,0$

Fonte: Autoria própria (2022).

7.4. Simulação numérica

Para efetuar a simulação do PLL com detector de fase modificado, montou-se o circuito apresentado na figura 115, onde a única alteração em relação às simulações anteriores é a adição do multiplicador e do subtrator ao detector de fase.

Figura 115 - Circuito do PLL com detector de fase modificado no PSIM®

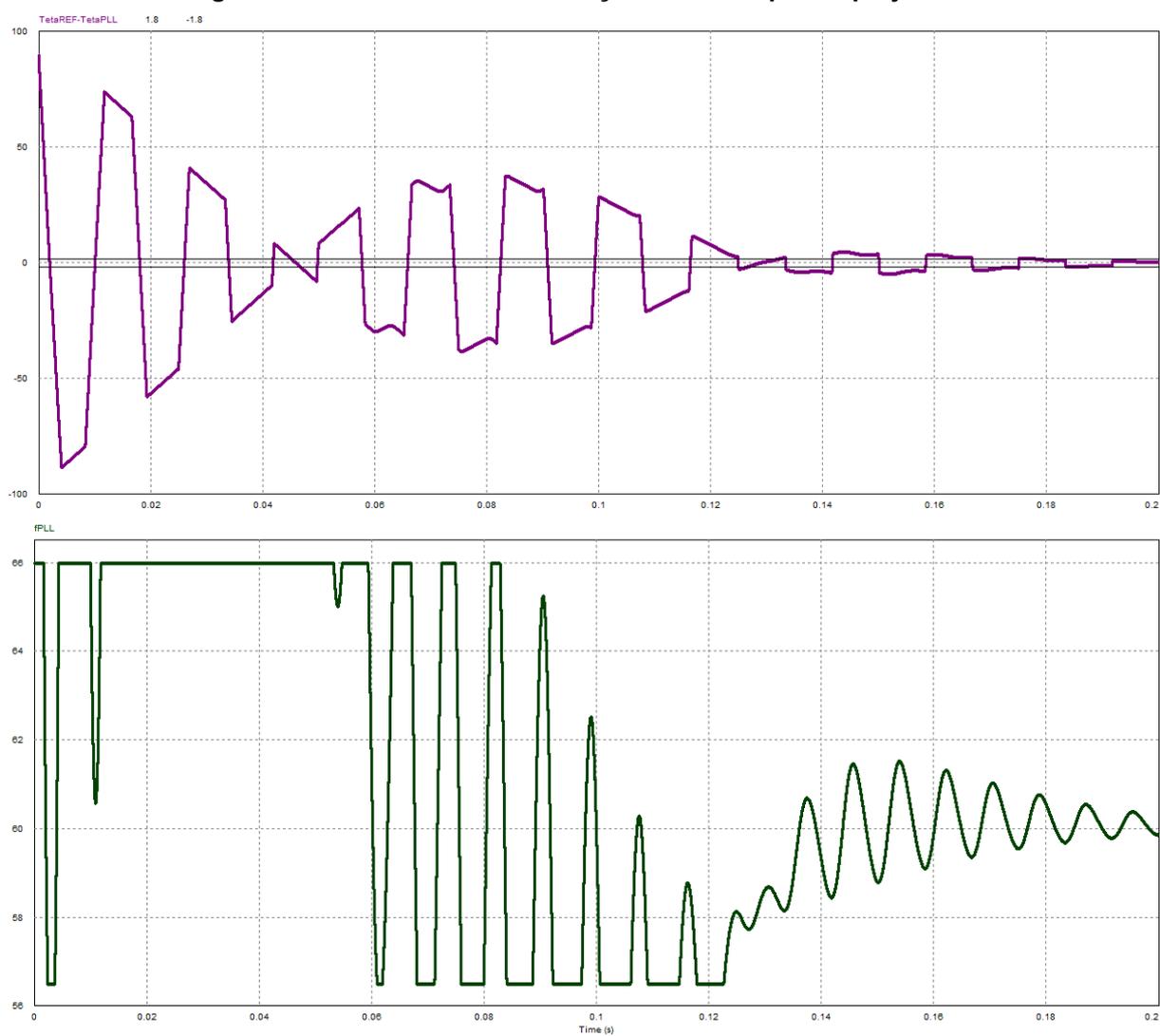


Fonte: PSIM® (2022)

Optou-se por efetuar as simulações numéricas de todos os projetos com os circuitos completos, dado que o efeito do limitador já foi observado nas simulações do Bloco Básico.

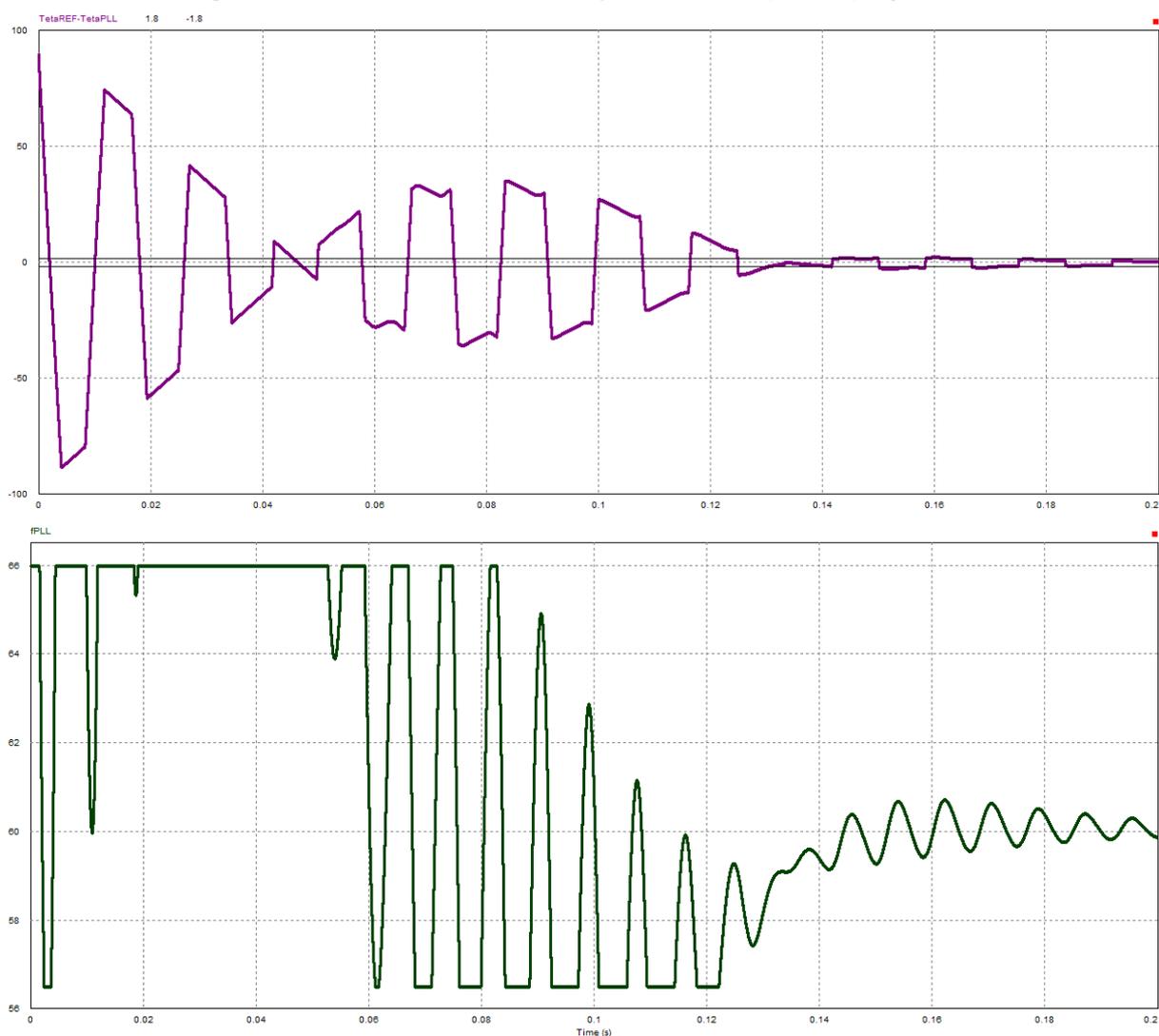
As figuras 116-119 apresentam, na parte superior, a diferença entre as fases de entrada (θ_{REF}) e de saída (θ_{PLL}) e, na parte inferior, as formas de onda da saída do controlador de todos projetos sugeridos.

Figura 116 - Resultados da simulação numérica para o projeto 31



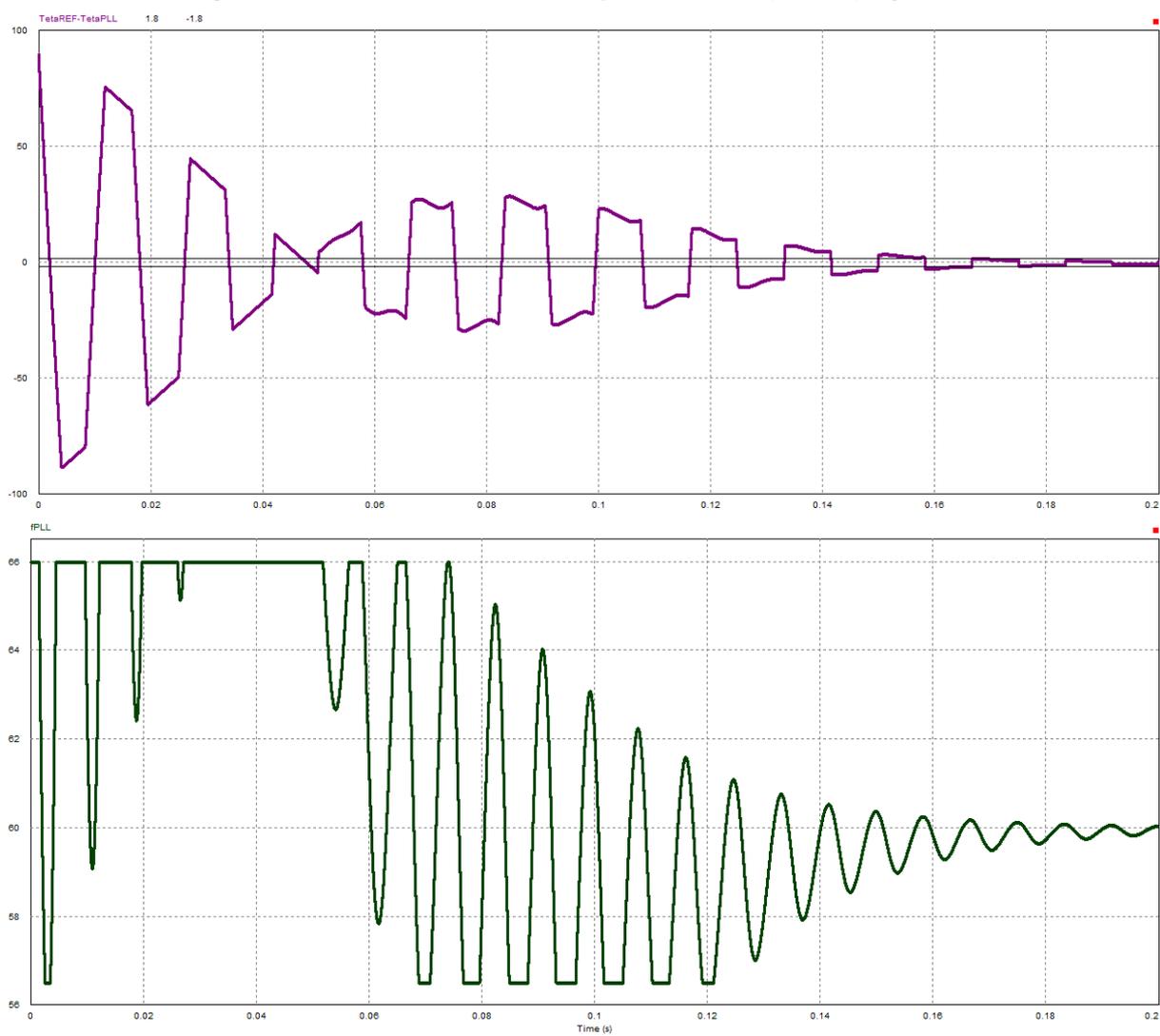
Fonte: PSIM® (2022)

Figura 117 - Resultados da simulação numérica para o projeto 32



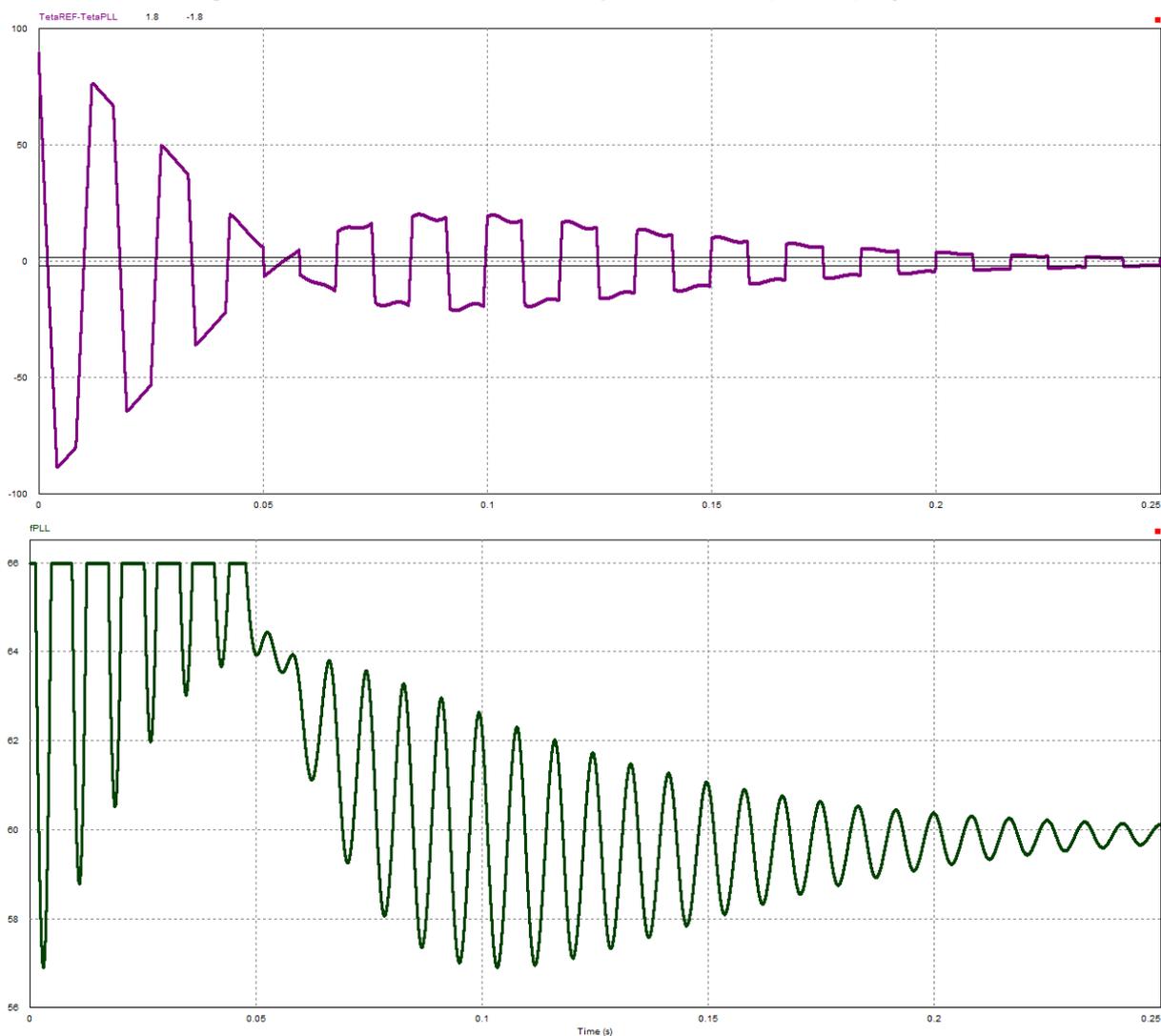
Fonte: PSIM® (2022)

Figura 118 - Resultados da simulação numérica para o projeto 33



Fonte: PSIM® (2022)

Figura 119 - Resultados da simulação numérica para o projeto 34



Fonte: PSIM® (2022)

Os resultados detalhados dos parâmetros analisados para cada projeto nas simulações numéricas são apresentados no quadro 34.

Quadro 34 - Resultados encontrados na simulação numérica para os PLLs

Projeto	T_E (ms)	$\Delta f_{MÁX}$ (Hz)	TDH
31	179	0,000	0,00%
32	170	0,000	0,00%
33	163	0,000	0,00%
34	238	0,000	0,00%

Fonte: Autoria própria (2022).

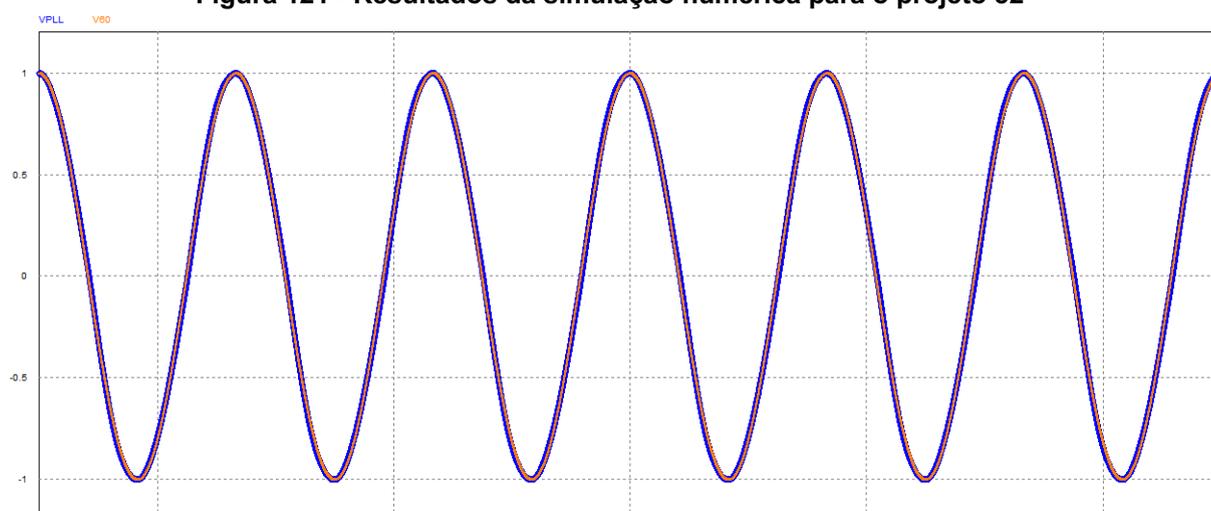
Para finalizar as simulações numéricas, a fonte de tensão de entrada foi acrescida de sua terceira harmônica adicionando uma onda senoidal com 0,4 de amplitude e 180 Hz de frequência com 270° de defasagem, implicando em um TDH de 40% (o quádruplo do permitido pela ANEEL). Logo o sinal de entrada (V_{REF}) apresenta grandes distorções, as mesmas já apresentadas na figura 034.

As figuras 120-123 apresentam os resultados das simulações submetidas ao sinal de entrada com distorção. Onde o sinal de saída (V_{PLL}) encontra-se em azul com maior espessura e a referência da onda fundamental (V_{60}) em laranja com menor espessura, apresentando o travamento em regime permanente.

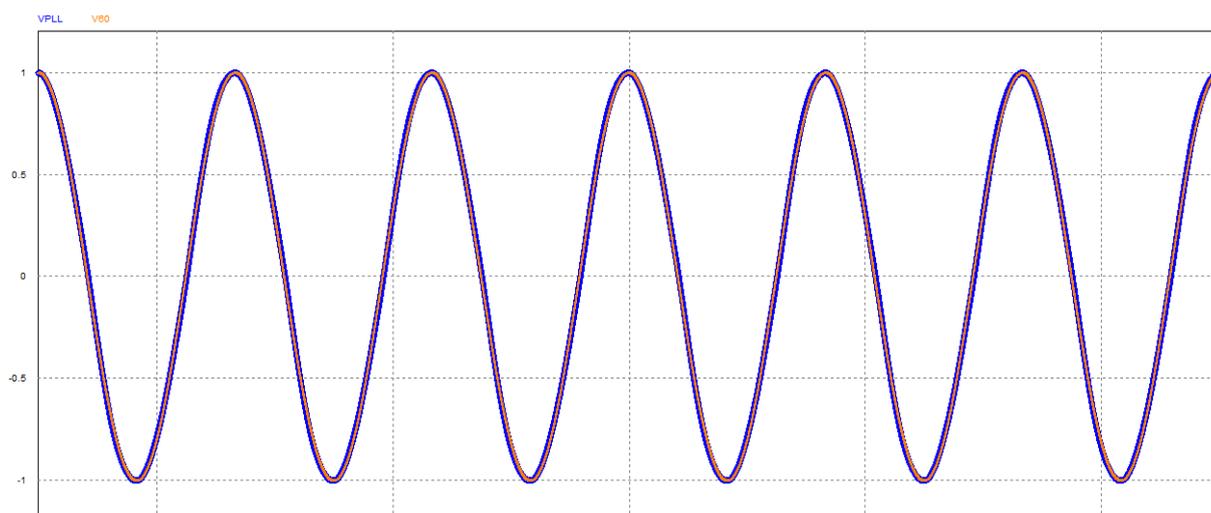
Figura 120 - Resultados da simulação numérica para o projeto 31



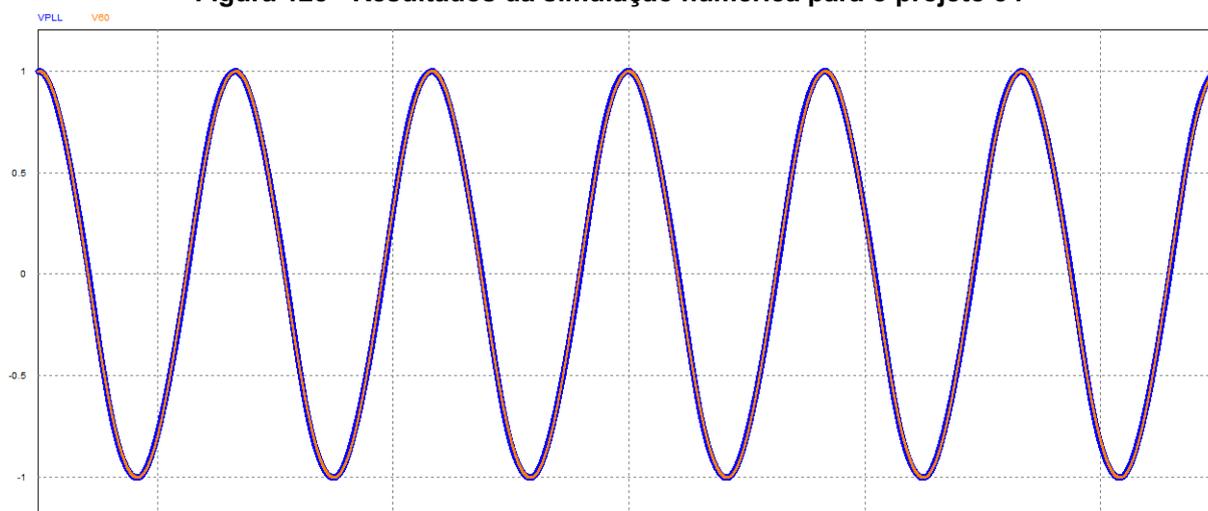
Fonte: PSIM® (2022)

Figura 121 - Resultados da simulação numérica para o projeto 32

Fonte: PSIM® (2022)

Figura 122 - Resultados da simulação numérica para o projeto 33

Fonte: PSIM® (2022)

Figura 123 - Resultados da simulação numérica para o projeto 34

Fonte: PSIM® (2022)

7.5. Análise de resultados

Pode-se observar através dos resultados apresentados que a mesma metodologia utilizada nos demais PLLs que utilizam o bloco básico também pode ser utilizada para o PLL com detector de fase modificado, dado que o comportamento do sistema foi previsto com eficiência.

O quadro 35 apresenta os parâmetros de projeto e os resultados obtidos por simulação numérica para fins de comparação de desempenho, entre parênteses são apresentados os erros percentuais.

Quadro 35 - Comparação de desempenho de projetos

Nº de Ref.	PROJETO		SIMULAÇÃO NUMÉRICA		
	Diretriz (T_E) (ms)	Esperado	T_E (ms)	$\Delta f_{MÁX}$ (Hz)	TDH
31	90	$\Delta f_{MÁX} = 0,0 \text{ Hz}$	179 (98,9%)	0,000	0,00%
32	100		170 (70%)	0,000	0,00%
33	133		163 (22,6%)	0,000	0,00%
34	200		238 (19%)	0,000	0,00%

Fonte: Autoria própria (2022).

É possível observar que há certas divergências nos resultados em relação ao tempo de estabilização projetado, grande parte disso ocorre por conta do bloco limitador que influencia negativamente. Mas observa-se que quanto menos se exige do PLL, ou seja, quanto maior é o tempo de estabilização, menos erro ele apresenta. Outro ponto extremamente importante é que a perturbação foi totalmente bloqueada pelo detector de fase modificado e, conseqüentemente, o mesmo não apresenta nenhuma taxa de distorção harmônica.

Outro ponto considerado foi a rastreabilidade dos projetos submetidos a grande distorção de sinal de entrada com adição de harmônicos. Nessa condição todos os projetos provaram sua utilidade para o processamento de energia ao travar com a frequência fundamental.

8 ANÁLISE DE RESULTADOS

Uma última análise precisa ser feita considerando todos os PLLs estudados. Para isso, escolheu-se os projetos que apresentam menor TDH em sua simulação numérica e os que apresentaram menor erro em relação à diretriz de projeto para cada PLL apresentado. Assim, é possível construir o quadro 36 que apresenta o resumo dos dados dos projetos com melhor desempenho de cada configuração estudada.

Quadro 36 - Comparação de desempenho de projetos

Nº de Ref.	Diretriz de Projeto	PLL	T_E (s)	TDH
04	$\Delta f_{M\acute{A}X} = 0,1 \text{ Hz}$	Bloco Básico	17,342	0,06%
16	$\Delta f_{M\acute{A}X} = 0,1 \text{ Hz}$	Filtro Passa Baixa	3,536	0,04%
26	$T_E = 0,167 \text{ s}$	Filtro Notch	0,880	0,66%
30	$T_E = 0,200 \text{ s}$	Filtro de Média Móvel	0,215	0,00%
34	$T_E = 0,200 \text{ s}$	Detector de Fase Modificado	0,238	0,00%

Fonte: Autoria própria (2022).

É possível observar uma evolução nas respostas à medida que foram sendo introduzidos os novos estudos. O projeto 04 foi feito com a análise desenvolvida no Bloco Básico e, como esperado, apresenta um tempo de estabilização extremamente alto. Já o projeto 16, correspondente ao PLL com Filtro Passa Baixa, mantém a eficiência com a TDH oferecendo uma resposta melhor em relação ao Bloco Básico.

O resultado do projeto 26 que corresponde ao PLL com Filtro Notch apresenta um pequeno desvio na TDH em relação aos projetos dos PLLs anteriores, mas essa característica é compensada pela sua grande melhora em relação ao tempo de estabilização, justificando seu estudo nessa sequência.

Um dos melhores projetos desenvolvidos neste trabalho foi o de número 30. Nele, foram aplicadas as análises do PLL com Filtro de Média Móvel para eliminar completamente as perturbações provenientes do termo alternado, desde que a frequência de operação seja conhecida e não se altere em regime permanente,

como é o caso da aplicação proposta na interligação de inversores à rede elétrica. Esse projeto apresentou: i) TDH nula, ii) menor tempo de estabilização da resposta ao degrau e iii) menor erro na simulação numérica em relação ao projetado.

Por fim, a melhor resposta do PLL com Detector de Fase Modificado e o de número 34. Apesar de apresentar uma resposta ligeiramente pior que o PLL anterior, a mesma é muito melhor que as respostas dos primeiros PLLs estudados. E ainda conta com uma análise matemática mais simples, conquistando seu lugar entre um dos melhores projetos estudados.

9 CONCLUSÃO

Além de reunir as informações básicas contidas na literatura e fazer o paralelo do conhecimento de PLLs da Eletrônica Analógica e a Eletrônica de Potência, o trabalho analisou quatro PLLs distintos que têm como ponto comum a utilização de um Bloco Básico. O emprego do Bloco Básico como ponto inicial do estudo contribuiu para criar uma base de comparação entre as vantagens e desvantagens entre o Bloco Básico, o PLL com Filtro Passa Baixa (FPB), o PLL com Filtro Notch (FN), o PLL com Filtro de Média Móvel e o PLL com Detector de Fase Modificado.

A análise matemática dos PLLs está pautada na multiplicação entre seno e cosseno e sua posterior análise pela teoria de pequenos sinais e linearização do sistema para chegar a um modelo médio linearizado que ainda foi simplificado para os moldes do *SISO tool* do MATLAB®. Tudo isso é possível graças ao funcionamento em torno do ponto de operação da rede elétrica.

Com o *SISO tool* foi elaborado diversos projetos através do método do Lugar das Raízes de maneira intuitiva e interativa, dispensando cálculos extensos e proporcionando uma visão holística do método. Apesar do método simplificado, os projetos implementados tiveram respostas positivas nas simulações numéricas efetuadas. Simulações essas que tiveram grande importância como base de comparação entre os projetos sugeridos.

Já no Bloco Básico vê-se a grande influência do limitador incluído no Controlador do PLL. Esse limitador é importante para atender a exigência da ANEEL de obedecer a certa faixa de variação de frequência mesmo em condições extremas de operação. Em contrapartida, a limitação imposta prejudica o esforço de controle e conseqüentemente a resposta do sistema tende a ser mais lenta. Ele atua de maneira negativa aumentando o tempo de estabilização enquanto positivamente reduz a taxa de distorção harmônica.

Foi observada a relação inversa entre o tempo de estabilização e a taxa de distorção harmônica, levando à necessidade de reprojeter o controlador PI sempre que os requisitos do sistema não forem atendidos.

O Bloco Básico, como previsto em projeto, apresenta uma resposta muito lenta quando a prioridade é diminuir a taxa de distorção harmônica através da

perturbação máxima do controlador. Constatando a necessidade da busca por alternativas que supram essa característica.

O primeiro PLL estudado com a adição de um Filtro ao Bloco Básico fornece um novo parâmetro de projeto para auxiliar na tomada de decisão, trata-se da frequência de corte. Seguindo a mesma metodologia, foi possível prever qual seria a atenuação da perturbação gerada pelo filtro. Observou-se que quanto menor a frequência de corte utilizada mais rápida é a resposta do sistema e menos taxa de distorção harmônica apresenta, justificando sua utilização como alternativa ao Bloco Básico.

O segundo PLL estudado, valeu-se de um filtro Notch para atenuar a perturbação através de uma faixa bem definida de atuação que bloqueia totalmente a frequência de corte, diferentemente do Filtro Passa Baixa que apenas atenua. Utilizando esse filtro foi possível concentrar os esforços apenas no tempo de estabilização já que não há perturbação no sistema em regime permanente. Observa-se relativa melhora no sistema com a alteração do valor de ξ , sendo que quanto menor, mais rápido o sistema se torna.

Já o terceiro PLL com a adição de um filtro, utilizou o Filtro de Média Móvel para bloquear a componente alternada do Detector de Fase (PD). Assim como o filtro Notch, apresenta uma faixa bem definida para atenuar a frequência de corte. Para este caso, surgiu a necessidade de efetuar algumas aproximações e devidas correções nos valores propostos, que quando devidamente ajustados proporcionaram funcionamento do PLL e o bloqueio das perturbações. Ele possui a capacidade de bloquear múltiplos da frequência de corte, o que seria bem empregado na entrada distorcida da rede elétrica, porém, essa característica não foi explorada neste trabalho, ficando como sugestão para próximas oportunidades.

O PLL com detector de fase modificado, tratado no último capítulo, conseguiu o mesmo efeito bloqueador de termos indesejáveis com a adição de um novo multiplicador ao detector de fase. Apesar de apresentar uma resposta mais lenta, se comparado ao PLL com filtro de média móvel, ainda pode ser utilizado graças ao seu projeto mais simples e sua resposta em regime permanente ser excelente.

Dado que o tempo de estabilização corresponde ao rastreamento do PLL e que quanto mais rápido rastrear menos tempo o inversor estará injetando reativos no

sistema ou aguardando para voltar à operação, o PLL que melhor respondeu a esse quesito foi o PLL com filtro Notch.

Por outro lado, tanto a ANEEL quanto a IEEE recomendam taxas de distorções harmônicas pequenas para que a qualidade da energia elétrica seja mantida, logo como o PLL está incluso em inversores de tensão que utilizarão sua referência e que os mesmos também injetam harmônicos, os PLLs com Filtro Notch e com Filtro de Média Móvel são os que conseguiram bloquear totalmente a componente com o dobro de frequência. Esses PLLs, porém, tem uma pequena faixa de atuação, onde fora dela a atenuação da perturbação é decrescente, sendo preciso novos mecanismos de adaptação dos valores de frequência de corte. Esses mecanismos estão disponíveis na literatura e podem fornecer base para novos estudos.

Outra configuração que corresponde com excelência a eliminar a perturbação é o PLL com detector de fase modificado que atua na neutralização do termo alternado antes do mesmo ser enviado ao controlador.

REFERÊNCIAS BIBLIOGRÁFICAS

GARDNER, Floyd M. **Phaselock Techniques**. 2. ed. Wiley, 1979. 285 p.

Agência Nacional de Energia Elétrica – ANEEL. **Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional – PRODIST**. 2021. 88 p. (Revisão 12). Disponível em: <https://www.aneel.gov.br/modulo-8>. Acesso em: 26 nov. 2021.

INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS - IEEE. **IEEE 519: Recommended Practice and Requirements for Harmonic Control in Electric Power Systems**. 2014. 29 p.

GOLESTAN, Saeed; GUERRERO, Josep M.; VASQUEZ, Juan C.. Single-Phase PLLs: a review of recent advances. **IEEE Transactions On Power Electronics**, v. 32, n. 12, p. 9013-9030, dez. 2017.

KARIMI-GHARTEMANI Masoud, KHAJEHODDIN S. Ali, JAIN Praveen K., BAKHSHAI Alireza e MOJIRI Mohsen. Addressing DC Component in PLL and Notch Filter Algorithms. **IEEE Transactions on Power Electronics**, v. 27, no. 1, p. 78-86, Jan. 2012.

FREIJEDO, F. D. et al. Tuning of phase-locked loops for power converters under distorted utility conditions. **IEEE Transactions on Industry Applications**, IEEE, v. 45, n. 6, p. 2039–2047, 2009.

GOLESTAN, Saeed *et al.* Moving Average Filter Based Phase-Locked Loops: performance analysis and design guidelines. **IEEE Transactions On Power Electronics**, v. 29, n. 6, p. 2750-2763, jun. 2014.

GOLESTAN, Saeed et al. Single-Phase PLLs: a review of recent advances. **IEEE Transactions On Power Electronics**. [S. L.], p. 9013-9030. dez. 2017. Disponível em: <https://ieeexplore.ieee.org/document/7819538>. Acesso em: 12 nov. 2021.

PEREZ, Marcelo A. et al. A Robust Phase-Locked Loop Algorithm to Synchronize Static-Power Converters With Polluted AC Systems. **IEEE Transactions On Industrial Electronics**. [S. L.], p. 2185-2192. maio 2008. Disponível em: <https://ieeexplore.ieee.org/document/4455600>. Acesso em: 13 nov. 2021.

LIU, Liming et al. A cascaded photovoltaic system integrating segmented energy storages with self-regulating power allocation control and wide range reactive power compensation. **IEEE Transactions On Power Electronics**. [S. L.], p. 3545-3559. dez. 2011. Disponível em: <https://ieeexplore.ieee.org/document/6021380>. Acesso em: 13 nov. 2021.

CARUGATI, Ignacio et al. Frequency Adaptive PLL for Polluted Single-Phase Grids. **IEEE Transactions On Power Electronics**. [S. L.], p. 2396-2404. maio 2012. Disponível em: <https://ieeexplore.ieee.org/abstract/document/6095374>. Acesso em: 14 nov. 2021.

GOLESTAN, Saeed et al. Moving Average Filter Based Phase-Locked Loops: Performance Analysis and Design Guidelines. **IEEE Transactions On Power Electronics**. [S. L.], p. 2750-2763. jun. 2014. Disponível em: <https://ieeexplore.ieee.org/document/6560420>. Acesso em: 14 nov. 2021.

ROHTEN, Jaime et al. Discrete synchronism methods for polluted single phase and unbalanced three-phase systems. **IEEE 23Rd International Symposium On Industrial Electronics**. Istanbul, p. 1347-1352. jun. 2014. Disponível em: <https://ieeexplore.ieee.org/document/6864810>. Acesso em: 20 nov. 2021.

BREZOCIĆ, Zdenko; KUDJÁK, Vladimír. Active RC Notch Filter for Phase-Locked Loop. **20Th International Conference Radioelektronika**. p. 1-4. abr. 2010. Disponível em: <https://ieeexplore.ieee.org/document/5478553>. Acesso em: 20 nov. 2021.

LESSA, Dayane Mendonça. **Uso Combinado de Filtros Digitais com Circuitos de Sincronismo Monofásicos**. 2019. 106 f. Dissertação (Mestrado) - Curso de Mestrado em Ciências, Ao Programa de Pós-Graduação em Engenharia Eletrônica, Centro de Tecnologia e Ciências, Universidade do Estado do Rio de Janeiro, Rio de Janeiro, 2019.

HE, Xiuqiang et al. A Generalized Design Framework of Notch Filter Based Frequency-Locked Loop for Three-Phase Grid Voltage. **IEEE Transactions On Industrial Electronics**. [S. L.], p. 7072-7084. set. 2018. Disponível em: <https://ieeexplore.ieee.org/document/8219714>. Acesso em: 21 nov. 2021.

SILVA, Marielle Jordane da et al. Equivalency between Adaptive Notch Filter PLL and Inverse Park PLL by Modeling and Parameter Adjustment. **IEEE Latin America Transactions**. Nova York, p. 2112-2121. dez. 2020. Disponível em: <https://ieeexplore.ieee.org/document/9400439>. Acesso em: 28 nov. 2021.

BELANDRIA, Luciano Emilio et al. Single-Phase PLL Based on an Adaptive Notch Filter. **Power Engineering and Electrical Engineering**. Ostrava, p. 169-179. set. 2020. Disponível em: <http://advances.utc.sk/index.php/AEEE/article/view/3807>. Acesso em: 02 dez. 2021.

THACKER, Timothy et al. Phase-Locked Loop Noise Reduction via Phase Detector Implementation for Single-Phase Systems. **IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS**, v. 58, ed. 6, 6 jun. 2011. DOI 10.1109/TIE.2010.2069070. Acesso em: 9 abr. 2022.

THACKER, Timothy N. **PHASE-LOCKED LOOPS, ISLANDING DETECTION AND MICROGRID OPERATION OF SINGLE-PHASE CONVERTER SYSTEMS**. 2009. 192 p. Dissertação (DOCTOR OF PHILOSOPHY IN ELECTRICAL ENGINEERING) - Faculty of the Virginia Polytechnic Institute and State University, Blacksburg, VA, 2009. Acesso em: 9 abr. 2022.