

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ**

**HENRIQUE MARIN VAN DER BROOCKE CAMPOS**

**CÉLULA A CAPACITOR CHAVEADO PARA A REDUÇÃO DO GANHO  
ESTÁTICO DE RETIFICADORES MONOFÁSICOS *BOOST* COM  
CORREÇÃO DO FATOR DE POTÊNCIA**

**CURITIBA**

**2025**

**HENRIQUE MARIN VAN DER BROOKE CAMPOS**

**CÉLULA A CAPACITOR CHAVEADO PARA A REDUÇÃO DO GANHO  
ESTÁTICO DE RETIFICADORES MONOFÁSICOS *BOOST* COM  
CORREÇÃO DO FATOR DE POTÊNCIA**

**Switched-capacitor cell for reducing the voltage gain of single-phase  
Boost PFC rectifiers**

Tese apresentada como requisito para obtenção do título de Doutor em Ciências do Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial da Universidade Tecnológica Federal do Paraná. Área de concentração: Engenharia de Automação e Sistemas.

Orientador: Prof. Dr. Alceu André Badin

Coorientador: Prof. Dr. Daniel Flores Cortez

**CURITIBA**

**2025**



[4.0 Internacional](https://creativecommons.org/licenses/by/4.0/)

Esta licença permite compartilhamento, remixe, adaptação e criação a partir do trabalho, mesmo para fins comerciais, desde que sejam atribuídos créditos ao(s) autor(es). Conteúdos elaborados por terceiros, citados e referenciados nesta obra não são cobertos pela licença.



HENRIQUE MARIN VAN DER BROOKE CAMPOS

**CÉLULA A CAPACITOR CHAVEADO PARA A REDUÇÃO DO GANHO ESTÁTICO DE RETIFICADORES  
MONOFÁSICOS BOOST COM CORREÇÃO DO FATOR DE POTÊNCIA**

Trabalho de pesquisa de doutorado apresentado como requisito para obtenção do título de Doutor Em Ciências da Universidade Tecnológica Federal do Paraná (UTFPR). Área de concentração: Engenharia De Automação E Sistemas.

Data de aprovação: 03 de Novembro de 2025

Dr. Alceu Andre Badin, Doutorado - Universidade Tecnológica Federal do Paraná

Dr. Roger Gules, Doutorado - Universidade Tecnológica Federal do Paraná

Dr. Rogers Demonti, Doutorado - Universidade Federal do Paraná (Ufpr)

Dr. Ronaldo Antonio Guisso, Doutorado - Universidade Tecnológica Federal do Paraná

Dr. Sergio Vidal Garcia Oliveira, Doutorado - Fundação Universidade do Estado de Santa Catarina (Udesc)

Documento gerado pelo Sistema Acadêmico da UTFPR a partir dos dados da Ata de Defesa em 03/11/2025.

Dedico este trabalho aos meus pais, que  
sempre me apoiaram na minha formação  
acadêmica.

## AGRADECIMENTOS

Agradeço ao meu orientador o professor Alceu André Badin que confiou em mim para desempenhar esta jornada difícil, sempre me orientando nesta desafiadora missão. Também ao professor Daniel Flores Cortez, meu coorientador, que não poupou esforços em sanar as dúvidas, tanto as mais simples quanto as mais complexas. Agradeço também aos demais professores e funcionários que tornam possível a existência do Laboratório de Processamento Eletrônico de Energia (LPEE) da UTFPR campus Curitiba, em especial o professor Eduardo Felix Romaneli, o professor Roger Gules (também membro da minha banca) e o professor Amauri Assef. Um agradecimento especial ao Jefferson Wilhelm Meyer Soares, com quem pude compartilhar o laboratório durante parte do meu doutorado e que me proporcionou trocas de conhecimento e ricos aprendizados. Agradeço aos professores da banca ainda não mencionados: Sergio Vidal Garcia Oliveira, Rogers Demonti e Ronaldo Antonio Guisso. Certamente a banca contribuiu muito para a versão final deste documento. Meus agradecimentos se estendem aos professores do Laboratório de Eletrônica de Potência, Qualidade de Energia e Energias Renováveis (LEPQER) da UTFPR campus Cornélio Procopio, em que pude cursar disciplinas, especialmente o professor Sérgio Augusto Oliveira da Silva e o professor Leonardo Poltronieri Sampaio. Agradeço, também, aos colegas de disciplinas e de laboratório que, também, compartilharam conhecimentos importantes. Gostaria de agradecer, também, aos Institutos Lactec, que me compreenderam e contrataram como pesquisador, na pessoa do Carlos Bianchin, Luciano Carstens e Rodrigo Riella. Um agradecimento a toda a equipe do Centro de Competências Embrapii Lactec *Future Grid* que me proporcionou diversas trocas de conhecimentos que foram engrandecedores, além de inspiradores, em especial ao pessoal da eletrônica de potência, o André Leone, o Édwin Tonolo, o William Rafael e o Rômulo Francisco.

Agradeço aos meus familiares, por toda a base e suporte que me deram, em especial aos meus pais, Hênio e Andrea, certamente sem eles nada disso seria possível. A minha esposa Beatriz, a minha família, aos amigos, ao Nilzo Andrade e a Ema Andrade pelas aulas e conselhos, e a todos que contribuíram direta ou indiretamente ao longo desta jornada, obrigado por todo apoio e pela compreensão nos tantos momentos de ausência que se fizeram necessários para que este trabalho pudesse ser concluído. Registro também os agradecimentos aos meus avós, por toda a base dada a nossa família. Por tudo isso, agradeço a Deus.

O último esforço da razão é reconhecer  
que existe uma infinidade de coisas que a  
ultrapassam (PASCAL, 1814).

## RESUMO

CAMPOS, Henrique Marin v. d. B.. CÉLULA A CAPACITOR CHAVEADO PARA A REDUÇÃO DO GANHO ESTÁTICO DE RETIFICADORES MONOFÁSICOS *BOOST* COM CORREÇÃO DO FATOR DE POTÊNCIA. 204 f. Tese de doutorado – Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial, Universidade Tecnológica Federal do Paraná. Curitiba, 2025.

Apresenta-se nesta tese uma nova célula a capacitor chaveado para reduzir o ganho estático de retificadores *Boost* PFC monofásicos. Nesta célula pode-se constatar o fato de a tensão ser naturalmente equilibrada entre os capacitores chaveados, que são comutados em série e em paralelo durante a operação do conversor. Esta célula possui a característica de reduzir o ganho estático do conversor *Boost* pela metade, tendo sido estudada a sua análise estática. Posteriormente, a célula em estudo foi aplicada em um retificador *Boost* PFC convencional e em um retificador *Boost* PFC *interleaved*. Foram obtidos modelos matemáticos linearizados para o cálculo de esforços de corrente, bem como as funções de transferência simplificadas para a implementação do controle em malha fechada. As simulações numéricas validaram os cálculos teóricos. Posteriormente, foram validados experimentalmente os dois protótipos construídos. Para o primeiro, denominado de retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático, foi obtido um rendimento máximo de 96,5% para 1,4 kW de potência na carga resistiva com fator de potência de entrada aproximadamente unitário. No segundo protótipo, denominado de retificador *Boost* PFC *interleaved* híbrido a capacitor chaveado com redução do ganho estático (sigla PFC IB-PFM-HSCC), foi medido um rendimento de 97,21% para cerca de 1 kW de carga resistiva. Ambos os protótipos apresentaram a THD da corrente de entrada em conformidade com a IEC 61000-3-2. Conclui-se, portanto, que a célula a capacitor chaveado proposta pode ser aplicada a retificadores *Boost* PFC, possibilitando um ganho estático que é a metade do ganho estático do conversor original em que a célula está associada. A célula proposta destina-se a aplicações que não requerem elevadas tensões de saída, comparativamente ao valor da tensão de entrada.

**Palavras-chave:** Conversores. Correção do fator de potência. Conversor híbrido a capacitor chaveado. Redução do ganho estático. Comutação suave.

## ABSTRACT

CAMPOS, Henrique Marin v. d. B.. SWITCHED-CAPACITOR CELL FOR REDUCING THE VOLTAGE GAIN OF SINGLE-PHASE *BOOST* PFC RECTIFIERS. 204 p. Tese de doutorado – Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial, Universidade Tecnológica Federal do Paraná. Curitiba, 2025.

This thesis introduces a novel switched-capacitor cell designed to reduce the voltage gain of single-phase *Boost* Power Factor Correction (PFC) rectifiers. A key feature of this cell is the inherent voltage balancing across its switched capacitors, which are alternately connected in series and parallel during converter operation. This proposed cell reduces the *Boost* converter's voltage gain by half, and its static analysis is thoroughly investigated. Subsequently, the studied cell is applied to a conventional PFC *Boost* rectifier and an *interleaved* PFC *Boost* rectifier. Linearized mathematical models are derived to calculate current stresses, along with simplified transfer functions for closed-loop control implementation. Numerical simulations validate the theoretical calculations. Experimental validation is then performed on two constructed prototypes. For the prototype, designated as a hybrid switched-capacitor PFC *Boost* rectifier with voltage gain reduction, a maximum efficiency of 96.5% is achieved at 1.4 kW of resistive load power. The second prototype, referred to as a hybrid *interleaved* switched-capacitor PFC *Boost* rectifier with voltage gain reduction, achieves an efficiency of 97.21% for approximately 1 kW of resistive load. Both prototypes demonstrate a near-unity input power factor and input current THD compliant with IEC 61000-3-2. In conclusion, the proposed switched-capacitor cell is well-suited for integration with *Boost* PFC rectifiers, effectively halving the voltage gain compared to the original converter configuration associated with the cell. The proposed cell is designed for applications that do not require higher output voltages in comparison to the input voltage.

**Keywords:** Converters. Power factor correction (PFC). Hybrid switched-capacitor converters. Voltage gain reduction. Soft switching.

## LISTA DE ILUSTRAÇÕES

Figura 1 – Diagrama de blocos de um sistema em eletrônica de potência...	27
Figura 2 – Principais estratégias para a redução de ganho estático de conversores .....	33
Figura 3 – Retificador PFC <i>Boost</i> convencional .....	34
Figura 4 – Retificador PFC de dois estágios típico .....	34
Figura 5 – Retificador PFC <i>Boost</i> em série ao <i>Buck</i> CC-CC .....	35
Figura 6 – Estágio de entrada do carregador de baterias de lítio: Retificador SEPIC PFC.....	35
Figura 7 – Retificador PFC <i>Cuk</i> a indutor chaveado.....	36
Figura 8 – Retificador PFC <i>Cuk bridgeless</i> a indutor chaveado .....	36
Figura 9 – Retificador PFC <i>bridgeless</i> baseado no <i>Cuk</i> com comutação suave em ampla faixa de tensão de entrada e carga .....	37
Figura 10 – Conversor <i>Cuk</i> CC-CC de duas entradas com comutação suave .....	38
Figura 11 - Retificadores abaixadores de alto ganho (a) SEPIC PFC de alto ganho. (b) <i>Cuk</i> PFC de alto ganho .....	39
Figura 12 – Retificador PFC <i>bridgeless</i> baseado no <i>Cuk</i> para o carregamento de bateria em veículos elétricos .....	40
Figura 13 – Conversor CC-CC abaixador de alto ganho utilizando a técnica de indutores com enrolamentos cruzados acoplados.....	41
Figura 14 – Conversor CC-CC <i>Buck-Boost</i> com comutação suave e bidirecional .....	41
Figura 15 – Retificador PFC <i>bridgeless Cuk</i> proposto por LIN <i>et al</i> .....	42
Figura 16 – Retificador PFC monofásico <i>bridgeless</i> baseado no <i>Cuk</i> .....	43
Figura 17 – Retificador PFC <i>Buck-Boost bridgeless</i> .....	44
Figura 18 - Conversor <i>Buck-Boost</i> com um <i>Boost interleaved</i> .....	46
Figura 19 - Conversor <i>Buck-Boost</i> e <i>Buck</i> quadrático .....	46
Figura 20 – Topologia proposta 1: Retificador <i>Boost</i> PFC monofásico híbrido a capacitor chaveado com redução do ganho estático mínimo .....	49
Figura 21 – Topologia proposta 2: Retificador <i>Boost</i> PFC <i>interleaved</i> híbrido a capacitor chaveado com redução do ganho estático mínimo .....	49
Figura 22 – (a) Retificador elevador Villard, (b) dobrador de tensão) e (c) multiplicador de tensão Cockroft-Walton ou do tipo <i>ladder</i> .....	52

Figura 23 - Conversor CC-CC básico a capacitor chaveado .....	52
Figura 24 – Formas de onda básicas do conversor CC-CC básico a capacitor chaveado .....	53
Figura 25 – Modelo em regime permanente visto pela carga.....	53
Figura 26 – Modos de operação da célula a capacitor chaveado.....	56
Figura 27 – Retificador a capacitor chaveado com dois estados topológicos .....	57
Figura 28 – Estados topológicos do retificador a capacitor chaveado .....	57
Figura 29 - Retificador abaixador a capacitor chaveado para baixas potências .....	58
Figura 30 – Retificador PFC a capacitor chaveado ressonante e abaixador	58
Figura 31 – Retificador PFC a capacitor chaveado de sete níveis e abaixador .....	59
Figura 32 - Retificador Híbrido a capacitor chaveado com três transistores.	59
Figura 33 – Formação da célula a capacitor chaveado proposta nesta tese	60
Figura 34 – Diagrama de blocos genérico do conversor CC-CC <i>Boost</i> com a célula a capacitor chaveado para a redução do ganho estático .....	61
Figura 35 - Família de retificadores <i>Boost</i> PFC híbridos a capacitor chaveado com redução do ganho estático.....	62
Figura 36 - Formas de onda genéricas dos retificadores <i>Boost</i> PFC híbridos a capacitor chaveado com redução do ganho estático – variação 1 .....	63
Figura 37 – Retificador <i>Boost</i> PFC híbrido a capacitor chaveado .....	64
Figura 38 - Retificador <i>Boost</i> PFC monofásico com célula a capacitor chaveado para redução do ganho estático mínimo .....	67
Figura 39 – Esboço das formas de onda referente aos estados topológicos do retificador <i>Boost</i> PFC híbrido a capacitor chaveado com redução do ganho estático (fora de escala) .....	68
Figura 40 - Estados topológicos do retificador PFC a capacitor chaveado híbrido e com redução do ganho estático.....	69
Figura 41 – Comparação entre a razão cíclica do conversor proposto ( $d_2$ ) e o do <i>Boost</i> PFC clássico ( $d_1$ ).....	71
Figura 42 – Ondulação de corrente parametrizada do indutor .....	73
Figura 43 – Esforços de corrente em valores eficazes normalizados em função do índice de modulação equivalente M.....	75

Figura 44 - Estrutura básica do conversor CA-CC para a implementação da estratégia de controle .....	77
Figura 45 – Diagrama de blocos para a estratégia de controle da tensão e da corrente do conversor proposto .....	77
Figura 46 – Circuito equivalente para modelagem do controle da tensão de saída com carga resistiva e controle da corrente por valores médios. ....	80
Figura 47 – Diagrama de bode do sistema equivalente para a malha de tensão em laço aberto sem o compensador de tensão. Ganho estimado de 30,7 dB e fase de -69,9 graus. Margem de fase de 90,5 graus.....	81
Figura 48 – Diagrama de bode do sistema equivalente para a malha de tensão em laço aberto com o compensador de tensão. Ganho estimado em 0 dB e margem de fase de 88,9 graus (frequência de cruzamento: 10 Hz)..	81
Figura 49 – Resposta a entrada em degrau unitário do sistema equivalente para a malha de tensão em laço aberto com o compensador de tensão. ....	82
Figura 50 – Distribuição estimada de perdas do retificador <i>Boost</i> PFC híbrido a capacitor chaveado com redução do ganho estático em carga de 1 kW ...	88
Figura 51 - Curva de rendimento teórico do retificador <i>Boost</i> PFC híbrido a capacitor chaveado com redução do ganho estático: operação no ponto A.	88
Figura 52 - Curva de rendimento teórico do retificador <i>Boost</i> PFC híbrido a capacitor chaveado com redução do ganho estático: operação no ponto B.	89
Figura 53 – Resultados de simulação em regime permanente com carga de 1 kW: tensão e corrente de entrada ( $i_g$ e $v_g$ ); tensão sobre o indutor de entrada ( $v_L$ ); tensão comutada do conversor ( $v_{ab}$ ) .....	90
Figura 54 - Resultados de simulação em regime permanente com carga de 1 kW: corrente de entrada ( $i_g$ ); tensão de saída ( $v_o$ ); tensões sobre os capacitores ( $v_{c1}$ e $v_{co}$ ) .....	91
Figura 55 – Resultados de simulação em regime permanente com carga de 1 kW: corrente no transistor $i_{S1}$ ; corrente no transistor $i_{S2}$ ; corrente no capacitor $i_{C1}$ ; corrente no capacitor $i_{Co}$ .....	91
Figura 56 – Resultado de simulação mediante a um degrau de carga de 50% para 100% da carga de 1 kW: tensão de saída $v_o$ e tensão no capacitor $v_{c1}$ ; corrente de carga $i_o$ (Ponto de operação “B”) .....	91

Figura 57 - Resultado de simulação mediante a um degrau de carga de 100% para 50% da carga de 1 kW: tensão de saída $v_o$ e tensão no capacitor $v_{C1}$ ; corrente de carga $i_o$ (Ponto de operação "B") .....	92
Figura 58 – Resultados de simulação em regime permanente com carga de 1 kW: comutação dissipativa nos transistores ( $S_1$ e $S_2$ ) .....	92
Figura 59 - Resultados de simulação em regime permanente com carga de 1 kW: comutação dissipativa nos diodos ( $D_5$ e $D_6$ ).....	92
Figura 60 – Foto do protótipo construído.....	94
Figura 61 – Resultados experimentais no ponto de operação A com carga de 1 kW: tensão e corrente de entrada ( $i_g$ e $v_g$ ) e tensão e corrente de saída ( $i_o$ e $v_o$ ). FP = 0,992.....	94
Figura 62 – Resultados experimentais no ponto de operação A: tensão de entrada ( $v_g$ ) e tensão comutada ( $v_{ab}$ ).....	95
Figura 63 - Resultados experimentais no ponto de operação A: tensão nos capacitores ( $v_{C1}$ e $v_{C0}$ ) mediante a um degrau de carga de 40% para 100% (1 kW) .....	95
Figura 64 - Resultados experimentais no ponto de operação A: tensão nos capacitores ( $v_{C1}$ e $v_{C0}$ ) mediante a um degrau de carga de 100% (1 kW) para 40% .....	96
Figura 65 – Resultados experimentais no ponto de operação A: espectro harmônico da corrente de entrada com carga de 1 kW .....	97
Figura 66 - Resultados experimentais no ponto de operação A: temperatura durante a operação com carga de 1 kW.....	98
Figura 67 - Resultados experimentais no ponto de operação B: corrente e tensão de entrada ( $v_g$ e $i_g$ ) e corrente e tensão de saída ( $v_o$ e $i_o$ ) com carga de 1 kW. FP = 0,958.....	98
Figura 68 - Resultados experimentais no ponto de operação B: temperatura durante a operação com carga de 1 kW.....	99
Figura 69 – Rendimento experimental dos protótipos com entrada de 127V e com entrada de 220V .....	99
Figura 70 – Célula presente no conversor IBC-SFM com modulação em frequência aplicável a retificadores <i>Boost</i> PFC .....	103
Figura 71 – Retificador <i>Boost</i> PFC <i>interleaved</i> híbrido a capacitor chaveado com redução do ganho estático mínimo .....	103

Figura 72 – Estados topológicos do conversor proposto .....	106
Figura 73 – Esboço das formas de onda referente aos estados topológicos do conversor proposto (fora de escala) .....	108
Figura 74 – Transição de bloqueio do diodo $D_1$ .....	109
Figura 75 – Corrente de roda-livre no quarto estado topológico.....	110
Figura 76 – Transição do bloqueio do transistor $S_1$ e entrada em condução do diodo $D_1$ .....	111
Figura 77 - Esforços de corrente em valores eficazes normalizados em função do índice de modulação equivalente M do conversor proposto .....	121
Figura 78 – Estratégia de controle do retificador <i>Boost PFC interleaved</i> híbrido a capacitor chaveado com redução do ganho estático .....	123
Figura 79 – Diagrama de blocos da malha de controle de tensão do conversor proposto .....	125
Figura 80 – Diagrama de bode do sistema em laço aberto, $G_V(s)$ , sem o compensador de tensão. Ganho estimado de 139 dB e fase estimada de -58 graus.....	125
Figura 81 – Diagrama de bode do sistema em laço aberto, $G_V(s)$ , com o compensador de tensão. Ganho unitário, 0 dB, e margem de fase 71,2 graus (frequência de cruzamento: 3,06 Hz).....	126
Figura 82 - Distribuição estimada de perdas do conversor IB-PFM-HSCC com carga de 1 kW.....	131
Figura 83 – Rendimento teórico do conversor IB-PFM-HSCC .....	131
Figura 84 - IB-PFM-HSCC – Resultado de simulação em regime permanente: tensão e corrente de entrada ( $v_g$ e $i_g$ ) em alguns ciclos da rede elétrica com carga de 1 kW .....	132
Figura 85 – IB-PFM-HSCC – Resultado de simulação em regime permanente: tensão de saída ( $v_o$ ) e tensão comutada pelo conversor ( $v_{ab}$ ) com carga de 1 kW.....	132
Figura 86 – IB-PFM-HSCC – Resultado de simulação em regime permanente: corrente no indutor de entrada ( $i_L$ ) (a) e no indutor magnetizante ( $i_{Lm}$ ) (b) com carga de 1 kW .....	133
Figura 87 – IB-PFM-HSCC – Resultado de simulação em regime permanente: corrente e tensão no transistor $S_1$ com carga de 1 kW .....	133

Figura 88 – IB-PFM-HSCC – Resultado de simulação em regime permanente: corrente e tensão no transistor $S_3$ com carga de 1 kW .....	134
Figura 89 – IB-PFM-HSCC – Resultado de simulação em regime permanente: corrente e tensão no diodo $D_1$ com carga de 1 kW .....	134
Figura 90 – Resultado de simulação em regime permanente: Corrente no capacitor $C_1$ e no capacitor $C_2$ com carga de 1 kW .....	135
Figura 91 – IB-PFM-HSCC Resultado de simulação mediante a um degrau de carga de 50% para 100% (1 kW) no instante 0,45 s para teste da malha de controle da tensão de saída: tensão de saída $v_o$ e tensão nos capacitores $v_{C1}$ e $v_{C2}$ ; corrente de carga $i_o$ .....	136
Figura 92 - IB-PFM-HSCC Resultado de simulação mediante a um degrau de carga de 100% (1 kW) para 50% no instante 0,45 s para teste da malha de controle da tensão de saída: tensão de saída $v_o$ e tensão nos capacitores $v_{C1}$ e $v_{C2}$ ; corrente de carga $i_o$ .....	136
Figura 93 – Foto do protótipo construído.....	137
Figura 94 - Resultados experimentais com carga 40% da carga de 1 kW em malha aberta: tensão e corrente de entrada ( $i_g$ e $v_g$ ) e tensão e corrente de saída ( $i_o$ e $v_o$ ). FP = 0,983.....	138
Figura 95 – Resultados experimentais em carga de 1 kW em malha aberta: tensão e corrente de entrada ( $i_g$ e $v_g$ ) e tensão e corrente de saída ( $i_o$ e $v_o$ ). FP = 0,996.....	139
Figura 96 – Resultados experimentais com carga 20% da carga de 1 kW em malha aberta: corrente no transistor $S_1$ ( $i_{S1}$ ) e tensão no transistor $S_1$ ( $v_{S1}$ ) .....	139
Figura 97 - Resultados experimentais com carga de 1 kW em malha aberta: corrente no transistor $S_1$ ( $i_{S1}$ ) e tensão no transistor $S_1$ ( $v_{S1}$ ).....	140
Figura 98 – Resultados experimentais com carga de 1 kW em malha aberta: corrente no transistor $S_3$ ( $i_{S3}$ ) e tensão no transistor $S_3$ ( $v_{S3}$ ).....	140
Figura 99 - Resultados experimentais com carga 20% da carga de 1 kW em malha aberta: corrente no capacitor chaveado $C_1$ ( $i_{C1}$ ) e tensão entre os terminais <i>gate</i> e <i>source</i> no transistor $S_1$ ( $v_{GS1}$ ).....	141
Figura 100 – Resultados experimentais com carga de 1 kW em malha aberta: corrente no capacitor chaveado $C_1$ ( $i_{C1}$ ), tensão entre os terminais	

<i>gate</i> e <i>source</i> no transistor $S_1$ ( $v_{gs1}$ ) e tensão entre o dreno e o <i>source</i> no transistor $S_1$ ( $V_{S1}$ ) .....	142
Figura 101 - Resultados experimentais com variação de carga em malha aberta: curva de rendimento e THD da corrente de entrada .....	142
Figura 102 - Resultados experimentais com carga de 1 kW em malha aberta: espectro harmônico da corrente de entrada .....	143
Figura 103 – Resultado experimental mediante a um degrau de carga de 50% para 100% da carga de 1 kW: tensão de saída e corrente de saída ..	143
Figura 104 - Resultado experimental mediante a um degrau de carga de 80% para 50% da carga de 1 kW: tensão de saída e corrente de saída ....	144
Figura 105 - Resultados experimentais com carga de 1 kW em malha aberta: temperatura no transistor $S_1$ .....	145
Figura 106 - Resultados experimentais com carga de 1 kW em malha aberta: temperatura nos diodos $D_1$ e $D_2$ .....	145
Figura 107 - Resultados experimentais com carga de 1 kW em malha aberta: temperatura no transistor $S_3$ .....	146
Figura 108 - Resultados experimentais com carga de 1 kW em malha aberta: temperatura no núcleo dos indutores acoplados .....	146
Figura 109 - Resultados experimentais com carga de 1 kW em malha aberta: temperatura nos diodos $D_3$ e $D_4$ .....	147
Figura 110 - Diagrama de blocos genérico da família de conversores CC-CC com a célula a capacitor chaveado para a redução do ganho estático .....	151
Figura 111 – Fonte de alimentação de entrada genérica, a partir de entrada CC ou CA retificada .....	152
Figura 112 – Conversor <i>Buck-Boost</i> híbrido a capacitor chaveado com redução do ganho estático .....	152
Figura 113 - Formas de onda para o conversor <i>Buck-Boost</i> híbrido a capacitor chaveado com redução do ganho estático .....	153
Figura 114 - Conversor SEPIC híbrido a capacitor chaveado com redução do ganho estático .....	153
Figura 115 – Formas de onda para o conversor SEPIC híbrido a capacitor chaveado com redução do ganho estático .....	153
Figura 116 – Possibilidade de ampliar a redução do ganho estático utilizando a célula proposta em paralelo .....	154

## LISTA DE TABELAS

Tabela 1 – Comparativo entre as topologias da revisão bibliográfica apresentada, com redução do ganho estático mínimo .....	48
Tabela 2 – Comparativo entre as topologias propostas 1 e 2 e outras topologias com redução do ganho estático mínimo .....	50
Tabela 3 - Descrição dos terminais do circuito proposto .....	62
Tabela 4 - Esforços de corrente em valores eficazes nos semicondutores e capacitores para operação PFC. $\beta = \arctan(M1-M2)$ .....	75
Tabela 5 – Parâmetros do diagrama de blocos do sistema de controle da topologia proposta 1 .....	78
Tabela 6 - Parâmetros do protótipo: PFC <i>Boost</i> híbrido a capacitor chaveado com redução do ganho estático.....	83
Tabela 7 – Componentes do protótipo: PFC <i>Boost</i> híbrido a capacitor chaveado com redução do ganho estático .....	84
Tabela 8 – Estimativa de perdas do retificador <i>Boost</i> PFC híbrido a capacitor chaveado com redução do ganho estático em carga de 1 kW. ....	87
Tabela 9 – Comparativo de esforços de corrente: valores teóricos e de simulação (Ponto de operação B).....	93
Tabela 10 – Comparativo entre a topologia proposta e outras topologias com redução de ganho estático mínimo .....	100
Tabela 11 – Estados de condução e bloqueio dos elementos no primeiro estado topológico.....	113
Tabela 12 - Estados de condução e bloqueio dos elementos no segundo estado topológico.....	114
Tabela 13 - Estados de condução e bloqueio dos elementos no terceiro estado topológico.....	114
Tabela 14 - Estados de condução e bloqueio dos elementos no quarto estado topológico.....	115
Tabela 15 - Esforços de corrente em valores eficazes nos semicondutores e capacitores para operação PFC do conversor proposto.....	121
Tabela 16 – Parâmetros do projeto: Retificador <i>Boost</i> PFC <i>interleaved</i> híbrido a capacitor chaveado com redução do ganho estático e modulação em frequência de pulso .....	127

Tabela 17 – Componentes do projeto: Retificador <i>Boost PFC interleaved</i> híbrido a capacitor chaveado com redução do ganho estático e modulação em frequência de pulso .....	127
Tabela 18 - Estimativa de perdas por condução do IB-PFM-HSCC com carga de 1 kW .....	130
Tabela 19 – IB-PFM-HSCC: Comparativo de esforços de corrente entre os valores teóricos e de simulação com carga de 1 kW .....	136
Tabela 20 - Parâmetros do projeto do indutor acoplado.....	178
Tabela 21 – Parâmetros de base do projeto do indutor acoplado .....	179
Tabela 22 – Parâmetros do núcleo do indutor acoplado .....	179
Tabela 23 – Valores calculados para o projeto do indutor acoplado .....	180

## LISTA DE ABREVIATURAS E SIGLAS

ATR	Indutor acoplado (ou autotransformador)
CA	Corrente Alternada
CA-CC	Corrente Alternada para Corrente Contínua
CC	Corrente Contínua
CC-CC	Corrente Contínua para Corrente Contínua
CCM	Modo de Condução Contínua ( <i>Continuous Conduction Mode</i> )
CI	Circuito integrado
DCM	Modo de Condução Descontínua ( <i>Discontinuous Conduction Mode</i> )
DSP	Processador digital de sinais ( <i>digital signal processor</i> )
EMC	Compatibilidade eletromagnética ( <i>electromagnetic compatibility</i> )
EMI	Interferência eletromagnética ( <i>electromagnetic interference</i> )
FP	Fator de potência
HSCC	Conversor híbrido a capacitor chaveado ( <i>hybrid switched-capacitor converter</i> )
HVDC	Alta tensão em Corrente Contínua ( <i>High-voltage Direct Current</i> )
IBC-SFM	Conversor <i>Boost interleaved</i> com modulação em frequência ( <i>interleaved Boost converter with switching frequency modulation</i> )
IEC	Comissão Eletrotécnica Internacional ( <i>International Electrotechnical Commission</i> )
IGBT	Transistor bipolar de porta isolada ( <i>insulated-gate bipolar transistor</i> )
LED	Diodo Emissor de Luz ( <i>Light Emitting Diode</i> )
MOSFET	Transistor de efeito de campo de óxido metálico semiconductor ( <i>metal oxide semiconductor field effect transistor</i> )
PFC	Correção de Fator de Potência ( <i>Power Factor Correction</i> )
PFM	Modulação por frequência de pulso ( <i>pulse frequency modulation</i> )
PI	Controlador proporcional e integral
PLL	Malha de captura de fase ( <i>phase locked loop</i> )
PWM	Modulação por Largura de Pulso ( <i>Pulse Width</i>

*Modulation)*

PFC	Retificador <i>Boost PFC interleaved</i> híbrido a capacitor chaveado com
IB-PFM-	redução do ganho estático e modulação PFM
HSCC	
pu	Por unidade
PI	Compensador do tipo proporcional-integral
RMS	Valor eficaz ( <i>root mean square</i> )
SEPIC	<i>Single-Ended Primary Inductor Converter</i>
SFM	Modulação por frequência de comutação ( <i>Switching frequency modulation</i> )
THD	Distorção harmônica total ( <i>total harmonic distortion</i> )
THD <sub>i</sub>	Distorção harmônica total de corrente ( <i>current total harmonic distortion</i> )
ZCS	Comutação sob corrente nula ( <i>zero current switching</i> )
ZCT	Transição com corrente nula ( <i>zero current transition</i> )
ZCZVT	Transição com corrente e tensão nula ( <i>zero current zero voltage transition</i> )
ZVT	Transição com tensão nula ( <i>zero voltage transition</i> )
ZVS	Comutação sob tensão nula ( <i>zero voltage switching</i> )

## LISTA DE SÍMBOLOS

$a$	Conexão com o terminal do indutor de entrada, que está em série com a fonte de alimentação
ATR	Indutor acoplado (ou autotransformador)
$A_e$	Área da secção transversal do núcleo [m <sup>2</sup> ]
$A_w$	Área da “janela” do núcleo [m <sup>2</sup> ]
$b$	Conexão com o terminal de referência ou neutro da fonte de alimentação de entrada
$B_{max}$	Densidade magnética máxima [T]
°C	Graus Celsius
$C_D$	Capacitância intrínseca dos diodos [F]
$C_o$	Capacitor ou capacitância de saída [F]
$C_S$	Capacitância intrínseca dos interruptores ou transistores [F]
$C_v$	Compensador de tensão
$C_i$	Compensador de corrente
$D$	Duty cycle – Razão cíclica
$d$	razão cíclica variável
$D_1$ e $D_2$	Diodos
$D_{b1}$ e $D_{b2}$	Diodos de uma ponte de diodos
$\tilde{d}(t)$	Perturbação na razão cíclica do conversor
$\Delta i_L$	Ondulação de corrente no indutor L [A]
$\overline{\Delta i_L}$	Ondulação de corrente no indutor normalizada [A]
$\overline{\Delta i_{Lmax}}$	Ondulação de corrente no indutor máxima normalizada [A]
$\Delta V_{Co}$	Ondulação de tensão no capacitor de saída [V]
$e_v$	Erro da malha de tensão [V]
$e_i$	Erro da malha de corrente [A]
$E_{oss}$	Energia dissipada devido a capacitância intrínseca dos semicondutores [J]
$\delta$	Razão cíclica efetiva do conversor
$f_e$	Frequência de comutação efetiva [Hz]
$f_s$	Frequência de comutação [Hz]
$f_g$	Frequência da rede elétrica [Hz]
G	Ganho estático

$G_{nom}$	Ajuste de ganho da saída do compensador de tensão
$G_i$	Função de transferência da malha de controle de corrente
$G_{vo}$	Função de transferência da malha de controle de tensão
$g_{in}$	Condutância de entrada
$i_D$	Corrente instantânea no diodo [A]
$i_{Dp}$	Valor de pico da corrente no diodo [A]
$i_{Dm}$	Valor médio da corrente no diodo [A]
$i_i$	Corrente instantânea de entrada [A]
$i_L$	Corrente instantânea no indutor L [A]
$I_L$	Valor médio da corrente no indutor L [A]
$i_{4Lm}$	Corrente instantânea no indutor de magnetização [A]
$i_o$	Valor instantâneo da corrente de saída [A]
$i_{Co}$	Valor instantâneo da corrente do capacitor de saída [A]
$i_s$	Valor instantâneo da corrente no transistor [A]
$I_{rl}$	Corrente de roda livre [A]
$I_{rms}$	Valor eficaz de corrente num componente [A]
$\overline{I_{rms}}$	Valor eficaz de corrente normalizada num componente [A]
$I_p$	Valor de pico de corrente num componente [A]
$i_{g,ref}$	Valor de referência da corrente de entrada [A]
$ i_g $	Valor absoluto da corrente de entrada [A]
$i_{conv}$	Corrente entregue pelo conversor ao barramento CC [A]
$i_{4Lm}$	Corrente no indutor de magnetização de um enrolamento dos indutores acoplados [A]
$I_{g,ef}$	Valor eficaz da corrente de entrada do conversor <i>Boost</i> PFC [A]
$I_{Scomutacao}$	Valor da corrente no semiconductor no instante em que ocorre a comutação [A]
$I_{Wp}$	Valor de pico da corrente no enrolamento do indutor acoplado [A]
$i_{Wef}$	Valor eficaz da corrente no enrolamento do indutor acoplado [A]
$\tilde{i}_L(t)$	Perturbação de pequeno sinal na corrente do indutor [A]
$L_{mag}$	Indutância magnetizante dos indutores acoplados [H]
$L_m$	Indutância própria de um enrolamento dos indutores acoplados [H]
$L_{mp}$	Indutância magnetizante de projeto

$M$	Índice de modulação equivalente do retificador <i>Boost</i> PFC
$n$	Relação de transformação
$\eta$	Rendimento do conversor
$\rho_{ref}$	Parâmetro para regular a transferência de corrente (e de potência) do conversor
$P_i$	Potência de entrada do conversor [W]
$P_o$	Potência de saída do conversor [W]
$P_{Scond}$	Potência dissipada pelo transistor por efeito Joule [W]
$P_{Scom}$	Potência dissipada pelo transistor por comutação [W]
$P_{Dcond}$	Potência dissipada pelo diodo [W]
$P_{L,cond}$	Potência dissipada nos enrolamentos do indutor [W]
$P_{C,cond}$	Potência dissipada nos capacitores devido a resistência [W]
$P_{oss}$	Perdas fixas nos semicondutores [W]
$P_{nucleo}$	Perdas no núcleo de componentes magnéticos [W]
$R_{DSon}$	Resistência entre dreno e fonte do transistor [ $\Omega$ ]
$R_{eq}$	Resistência equivalente [ $\Omega$ ]
$R_o$ e $R_L$	Resistor ou resistência de carga [ $\Omega$ ]
$S_1, S_2, S_x$	Transistores
$T_s$	Período de comutação [s]
$\langle T_s(t) \rangle_{T_s}$	Valor médio do período de comutação em um período de comutação [s]
$T_e$	Período de comutação efetivo [s]
$t_{on}$	Intervalo de tempo em que o transistor está conduzindo [s]
$t_{i1}$	Intervalo de tempo que afeta a comutação do conversor do cap. 5 [s]
$t_{i2}$	Intervalo de tempo da descarga do capacitor intrínseco do diodo $D_1$ [s]
$THDi$	Distorção harmônica total da corrente de entrada ( <i>Total Harmonic Distortion</i> )
$\tau$	Constante de tempo do circuito [s]
$V_e$	Volume do núcleo [m <sup>3</sup> ]
$V_F$	Queda de tensão direta no diodo [V]
$v_{in}$ ou $v_i, v_g$	Tensão de entrada [V]

$V_{gs1}$ ,	Sinais de comando dos transistores $S_1$ e $S_2$ [V]
$V_{gs2}$	
$v_L$	Valor instantâneo de tensão no indutor L [V]
$V_L$	Valor médio da tensão no indutor L [V]
$V_o$	Valor médio da tensão de saída [V]
$V_{Spico}$	Valor da tensão no semiconductor no instante em que ocorre a comutação
$V_{pn}$	Tensão de entrada genérica da família de retificadores <i>Boost</i> PFC com redução do ganho estático
$V_{zn}$	Tensão de saída genérica da família de retificadores <i>Boost</i> PFC com redução do ganho estático
$V_{zy}$	Tensão de saída genérica [V]
$V_{xy}$	Tensão de entrada genérica [V]
$V_p$	Valor de pico da tensão de entrada [V]
$ v_g $	Valor absoluto da tensão de entrada [V]
$V_{feed}$	Ação de <i>feedforward</i> na malha de controle de corrente
$\langle v_L(t) \rangle_{T_s}$	Valor médio da tensão sobre o indutor em um período de comutação
$\langle v_o(t) \rangle_{T_s}$	Valor médio da tensão de saída em um período de comutação
$\widetilde{V}_o(t)$	Perturbação de pequeno sinal na tensão de saída [V]
$\widetilde{V}_{in}(t)$	Perturbação na tensão de entrada [V]
X	Entrada da célula no conversor IBC-SFM
Y	Saída positiva da célula no conversor IBC-SFM
Z	Saída negativa da célula no conversor IBC-SFM

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>27</b>
<b>1.1</b>	<b>Objetivos .....</b>	<b>29</b>
1.1.1	Objetivo Geral.....	29
1.1.2	Objetivos Específicos .....	29
<b>1.2</b>	<b>Estrutura do trabalho .....</b>	<b>29</b>
<b>1.3</b>	<b>Publicações.....</b>	<b>30</b>
<b>1.4</b>	<b>Contribuições .....</b>	<b>31</b>
<b>2</b>	<b>REVISÃO BIBLIOGRÁFICA .....</b>	<b>32</b>
<b>2.1</b>	<b>Introdução .....</b>	<b>32</b>
<b>2.2</b>	<b>Redução do ganho estático de conversores .....</b>	<b>32</b>
<b>2.3</b>	<b>Topologias baseadas no SEPIC, <i>Cuk</i>, <i>Boost</i> e <i>Buck-Boost</i> para a redução do ganho estático mínimo .....</b>	<b>35</b>
<b>2.4</b>	<b>Estudo comparativo entre as topologias com redução do ganho estático mínimo.....</b>	<b>46</b>
<b>2.5</b>	<b>Conclusão .....</b>	<b>50</b>
<b>3</b>	<b>CÉLULA A CAPACITOR CHAVEADO PARA A REDUÇÃO DO GANHO ESTÁTICO DE RETIFICADORES MONOFÁSICOS PFC <i>BOOST</i>.....</b>	<b>51</b>
<b>3.1</b>	<b>Introdução .....</b>	<b>51</b>
<b>3.2</b>	<b>Conceitos e topologias iniciais .....</b>	<b>51</b>
<b>3.3</b>	<b>Conversores híbridos a capacitor chaveado .....</b>	<b>54</b>
<b>3.4</b>	<b>Critério de seleção dos capacitores chaveados .....</b>	<b>55</b>
<b>3.5</b>	<b>A técnica de capacitores chaveados para reduzir o ganho estático .....</b>	<b>56</b>
<b>3.6</b>	<b>A célula de comutação proposta .....</b>	<b>59</b>
<b>3.7</b>	<b>Conclusão .....</b>	<b>64</b>

<b>4</b>	<b>RETIFICADOR <i>BOOST</i> PFC HÍBRIDO A CAPACITOR CHAVEADO COM REDUÇÃO DO GANHO ESTÁTICO E MODULAÇÃO PWM</b>	<b>66</b>
4.1	Introdução	66
4.2	Apresentação do retificador <i>Boost</i> PFC monofásico híbrido a capacitor chaveado com redução do ganho estático	66
4.3	Primeiro estado topológico	69
4.4	Segundo estado topológico	70
4.5	Ganho estático	70
4.6	Ondulação de corrente no indutor de entrada	71
4.7	Ondulação de tensão no capacitor de saída	73
4.8	Resumo dos esforços de corrente nos semicondutores e capacitores	74
4.9	Modelagem e controle	75
4.9.1	Estratégia de controle	76
4.9.2	Modelo por valores médios da corrente de entrada	78
4.9.3	Modelo por valores médios da tensão de saída	79
4.9.4	Considerações acerca dos parâmetros do controlador	82
4.10	Definições de projeto	82
4.10.1	Estimativa de perdas no conversor da variação topológica	85
4.11	Resultados de simulação	89
4.12	Resultados experimentais	93
4.13	Conclusão	100
<b>5</b>	<b>RETIFICADOR <i>BOOST</i> PFC <i>INTERLEAVED</i> HÍBRIDO A CAPACITOR CHAVEADO COM REDUÇÃO DO GANHO ESTÁTICO</b>	<b>102</b>
5.1	Introdução	102
5.2	Fundamentos acerca da operação da topologia proposta	103

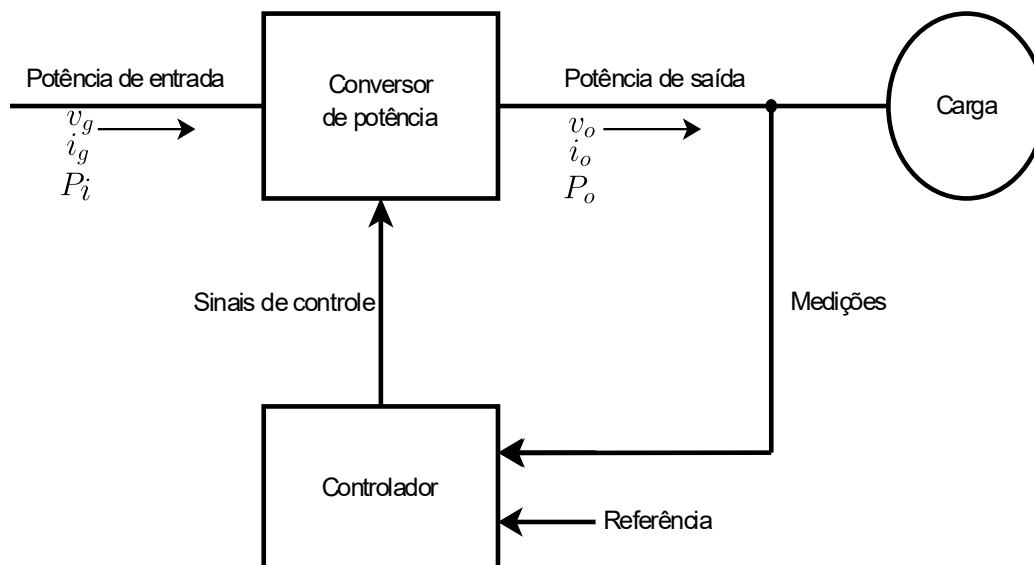
5.2.1	Considerações acerca da comutação suave .....	109
5.2.2	Frequência efetiva e equação aprimorada da corrente no indutor .....	111
<b>5.3</b>	<b>Estudo do conversor proposto .....</b>	<b>112</b>
5.3.1	Primeiro estado topológico .....	113
5.3.2	Segundo estado topológico .....	113
5.3.3	Terceiro estado topológico .....	114
5.3.4	Quarto estado topológico.....	114
<b>5.4</b>	<b>Ganho estático.....</b>	<b>115</b>
<b>5.5</b>	<b>Ondulação de corrente no indutor de entrada .....</b>	<b>115</b>
<b>5.6</b>	<b>Ondulação de tensão no capacitor de saída.....</b>	<b>115</b>
<b>5.7</b>	<b>Análise de esforços de corrente .....</b>	<b>116</b>
5.7.1	Expressão do valor médio da corrente nos transistores $S1$ e $S2$ .....	116
5.7.2	Expressão do valor eficaz da corrente nos transistores $S1$ e $S2$ .....	116
5.7.3	Expressão do valor médio da corrente nos transistores $S3$ e $S4$ e nos diodos $D3$ e $D5$ .....	117
5.7.4	Expressão do valor eficaz da corrente nos transistores $S3$ e $S4$ e nos diodos $D3$ e $D5$ .....	117
5.7.5	Expressão do valor médio da corrente nos diodos $D1$ , $D2$ , $D4$ e $D6$ ..	118
5.7.6	Expressão do valor eficaz da corrente nos diodos $D1$ , $D2$ , $D4$ e $D6$ ..	118
5.7.7	Expressão do valor eficaz da corrente nos capacitores $C1$ e $C2$ .....	119
5.7.8	Expressão do valor eficaz da corrente no capacitor $C_o$ .....	119
5.7.9	Expressão dos valores médio e eficaz da corrente nos diodos $Db1$ , $Db2$ , $Db3$ e $Db4$ .....	120
5.7.10	Resumo dos esforços de corrente nos semicondutores e capacitores .....	120

<b>5.8</b>	<b>Modelagem e controle</b> .....	<b>121</b>
5.8.1	Estratégia de controle.....	122
5.8.2	Modelo por valores médios da tensão de saída .....	123
5.8.3	Considerações acerca dos parâmetros do controlador .....	126
<b>5.9</b>	<b>Definições de projeto</b> .....	<b>126</b>
5.9.1	Estimativa de perdas no retificador <i>Boost PFC interleaved</i> híbrido a capacitor chaveado com redução do ganho estático .....	129
<b>5.10</b>	<b>Resultados de simulação</b> .....	<b>131</b>
<b>5.11</b>	<b>Resultados experimentais</b> .....	<b>136</b>
<b>5.12</b>	<b>Conclusão</b> .....	<b>147</b>
<b>6</b>	<b>CONSIDERAÇÕES FINAIS</b> .....	<b>148</b>
6.1	Sugestões de trabalhos futuros .....	150
	<b>REFERÊNCIAS</b> .....	<b>155</b>
	<b>APÊNDICE A - ESTUDO DOS ESFORÇOS DE CORRENTE NA TOPOLOGIA DE RETIFICADOR <i>BOOST PFC</i> HÍBRIDO A CAPACITOR CHAVEADO COM REDUÇÃO DO GANHO ESTÁTICO E MODULAÇÃO PWM</b> .....	<b>168</b>
	<b>APÊNDICE B - MEMORIAL DE CÁLCULO DE PERDAS NOS CONVERSORES</b> .....	<b>174</b>
	<b>APÊNDICE C – PROJETO DO INDUTOR ACOPLADO</b> .....	<b>177</b>
	<b>APÊNDICE D – ESQUEMÁTICO DO RETIFICADOR <i>BOOST PFC</i> HÍBRIDO A CAPACITOR CHAVEADO COM REDUÇÃO DO GANHO ESTÁTICO</b> .	<b>181</b>
	<b>APÊNDICE E – ESQUEMÁTICO DO RETIFICADOR <i>BOOST PFC</i> <i>INTERLEAVED</i> HÍBRIDO A CAPACITOR CHAVEADO COM REDUÇÃO DO GANHO ESTÁTICO</b> .....	<b>183</b>
	<b>APÊNDICE F – CÓDIGO BASE UTILIZADO NOS RETIFICADORES <i>BOOST PFC</i> PROPOSTOS</b> .....	<b>186</b>

## 1 INTRODUÇÃO

A área de interesse da eletrônica de potência pode ser definida como a conversão e o controle eficiente de potência através do uso de dispositivos semicondutores de potência. A Figura 1 mostra um diagrama de blocos que ilustra os principais elementos presentes num conversor estático de energia, conforme Mohan, Undeland e Robbins (1995).

**Figura 1 – Diagrama de blocos de um sistema em eletrônica de potência.**



**Fonte: Adaptado de (MOHAN; UNDELAND; ROBBINS, 1995).**

Quando se trata do processamento eletrônico de energia, nota-se dois estágios: o do conversor de potência e o do controlador. No que tange ao estágio do conversor de potência, pode-se citar a chamada conversão de corrente alternada para corrente contínua (CA para CC ou CA-CC, em inglês AC-DC), sendo este processo denominado de retificação. Os retificadores podem realizar essa conversão utilizando apenas resistores, capacitores e indutores, além de semicondutores. Quando se trata da conexão destes conversores de potência com a rede elétrica, alguns parâmetros tornam-se de grande importância, tal como o fator de potência e a Distorção Harmônica Total (DHT) ou *Total Harmonic Distortion* (THD) de corrente.

No âmbito dos retificadores com correção do fator de potência, do inglês *Power Factor Correction* (PFC), pode-se citar como principais semicondutores utilizados os MOSFETs e os IGBTs.

Assim sendo, uma variedade de aplicações utilizam semicondutores operando em diversas faixas de frequências de comutação, tais como carregadores de baterias, fontes chaveadas para os mais diversos equipamentos (eletrônicos em geral, LEDs,

*modems*, televisores, refrigeradores, entre outros), sistemas com suprimento de energia ininterrupta tais como *no-breaks*, transmissão de energia elétrica em corrente contínua, reatores eletrônicos para lâmpadas fluorescentes, filtros ativos de potência, inversores de frequência para o acionamento de motores e inversores para sistemas fotovoltaicos e eólicos (FONSECA *et al.*, 2017; KHALILIAN; ADIB; ESTEKI, 2018; MALSCHITZKY; ALBUQUERQUE; AGOSTINI; NASCIMENTO, 2018; MA *et al.*, 2017; SALAZAR-PÉREZ *et al.*, 2021; LE *et al.*, 2018; PRAKASH; KALPANA; SINGH; BHUVANESWARI, 2018; BIELA; BADSTUEBNER; KOLAR, 2009; KASPER *et al.*, 2017; MISHRA; MAJI; NAG, 2018; SIU; HO, 2020).

Dentre os exemplos de aplicação de retificadores não controlados pode-se citar o retificador monofásico ou trifásico a diodos com filtro capacitivo, que drenam correntes com reduzido fator de potência e elevada THD de corrente (BARBI, 2005). Situação semelhante ocorrerá em retificadores controlados que não possuam uma técnica para a correção do fator de potência, tal como o retificador *Boost*.

Desse modo, tem-se uma degradação de qualidade de energia elétrica, que é objeto de normas técnicas, tais como a IEC 61000-3-2 (2019) e a IEC 61000-3-4 (1998), que definem limites máximos para a THD de corrente drenada pelos equipamentos, de acordo com a aplicação. Esse parâmetro de THD está relacionado com a compatibilidade eletromagnética ou *electromagnetic compatibility* (EMC), além da interferência eletromagnética ou *electromagnetic interference* (EMI), sendo que os ruídos eletromagnéticos são comumente oriundos das elevadas taxas de variação da tensão em relação ao tempo nos transistores (GOLMAKANI; HEYDARI; ALGHAR, 2022; MAINALI; ORUGANTI, 2010).

Algumas soluções para a deterioração da qualidade da energia elétrica são: uso de filtros passivos, uso de filtros ativos e uso de retificadores PFC (BUSARELLO; POMILIO; SIMÕES, 2016, WANG *et al.*, 2022; KHALID *et al.*, 2019). Nesta tese, a última solução foi explorada, sendo necessário o controle ativo para que o fator de potência de entrada do retificador controlado seja corrigido, ou seja, tornado aproximadamente unitário.

Cabe citar, ainda, as aplicações que requerem que a tensão de saída seja inferior ao valor de pico da tensão de entrada, ou quando não se tem como objetivo o elevado ganho estático. Pode-se citar como exemplos: os conversores que alimentam LEDs, fontes de alimentação para equipamentos de telecomunicações, sistemas de

carregamento de baterias e aplicações de controle de velocidade de motores CC. Outro exemplo de aplicação são as fontes de alimentação com entrada universal.

Cabe citar, ainda, microrredes híbridas ou microrredes CC em que haja um barramento CC destinado a alimentar cargas com tensão nominal inferior ao valor de pico da tensão CA de entrada ou inferior a magnitude da tensão CC de entrada (LEONE, 2023).

## **1.1 Objetivos**

### **1.1.1 Objetivo Geral**

Este trabalho tem por objetivo propor, modelar e validar uma célula a capacitor chaveado para a redução do ganho estático mínimo aplicada a retificadores *Boost* monofásicos com correção de fator de potência.

### **1.1.2 Objetivos Específicos**

- Desenvolver a revisão bibliográfica sobre aplicações que requerem a redução de ganho estático envolvendo conversores CC-CC e PFC, além de conversores híbridos a capacitor chaveado com elevado fator de potência;
- Desenvolver a análise teórica, análise matemática, procedimento de projeto e especificação dos componentes e sistemas dos retificadores *Boost* PFC propostos. Determinar os modelos para controle das estruturas;
- Analisar a operação e avaliar o projeto realizado através de simulações numéricas;
- Desenvolver protótipos e validar experimentalmente as análises dos conversores desenvolvidos. Fazer a análise do desempenho estático e dinâmico nas diferentes condições de operação, verificando a compatibilidade com normas que limitam a distorção harmônica total de corrente.

## **1.2 Estrutura do trabalho**

Neste capítulo é apresentada a introdução e a contextualização desta tese, além do objetivo geral, dos objetivos específicos e as contribuições.

No capítulo 2 foi feita a revisão bibliográfica, contendo diferentes aplicações de retificadores monofásicos PFC, além de conversores CC-CC, em que há a necessidade de reduzir o ganho estático mínimo.

No capítulo 3 é feita uma generalização da célula a capacitor chaveado proposta nesta tese, tendo em vista a aplicação em retificadores *Boost* PFC.

No capítulo 4 é escolhida uma topologia da Figura 35 para estudo teórico e experimental. É feita a análise estática em que são descritos os estados topológicos, as principais formas de onda, as equações dos esforços de corrente, além do ganho estático e o dimensionamento dos elementos passivos (indutores e capacitores). É apresentada a modelagem orientada ao controle do conversor escolhido, tendo sido aplicada a técnica de valores médios e foram obtidas as funções de transferência das malhas de controle de tensão e corrente. Em seguida são apresentados os procedimentos de projeto do conversor escolhido, além dos resultados de simulação e experimentais.

No capítulo 5 é apresentado o estudo teórico e experimental do retificador *Boost* PFC *interleaved* híbrido a capacitor chaveado com redução do ganho estático. A operação e análise estática são descritas, bem como o dimensionamento dos principais componentes. É apresentada a modelagem orientada ao controle do conversor escolhido, tendo sido aplicada a técnica de valores médios e foram obtidas as funções de transferência da malha de controle de tensão. Em seguida são apresentados os procedimentos de projeto do conversor escolhido, além dos resultados de simulação e experimentais.

No capítulo 6 são apresentadas as considerações finais do trabalho, além de sugestões de trabalhos futuros.

### 1.3 Publicações

O presente trabalho culminou no artigo científico publicado na revista “IEEE *Transactions on Power Electronics*”, em que é apresentado o retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático:

- “Single-Phase Hybrid Switched-Capacitor PFC *Boost* Rectifier With Low Voltage Gain”. IEEE *Transactions on Power Electronics*, 2023. (CAMPOS *et al.*, 2023).

Também é fruto deste trabalho o artigo científico em elaboração que apresenta o retificador *Boost* PFC *interleaved* híbrido a capacitor chaveado com redução do ganho estático:

- “Single-phase Current Sensorless Hybrid Switched-Capacitor PFC *Boost Interleaved* Rectifier With Reduced Voltage Gain”. IEEE *Access*, 2026. (CAMPOS *et al.*, 2026).

#### 1.4 Contribuições

Este trabalho contribuiu com a proposta de uma célula de comutação a capacitor chaveado para a redução do ganho estático mínimo de retificadores *Boost* PFC monofásicos, contribuindo principalmente nos seguintes pontos:

- análise do princípio de operação da célula a capacitor chaveado e generalização;
- proposição de uma topologia de retificador *Boost* PFC com redução do ganho estático;
- proposição de uma topologia de retificador *Boost* PFC *interleaved* que apresenta características de comutação suave e dispensa o uso de sensores de corrente por ter uma característica de entrada seguidora de tensão, podendo ser aplicada em fontes de alimentação com múltiplas faixas de tensão (Ex.: 220 V e 127 V).

## 2 REVISÃO BIBLIOGRÁFICA

### 2.1 Introdução

Este capítulo se propõe a apresentar a revisão bibliográfica que destaca as diferentes topologias com diferentes aplicações, tendo como premissa básica a redução do ganho estático mínimo, isto é, redução da razão entre a tensão de saída e a tensão de entrada em regime permanente. Algumas topologias isoladas são citadas, porém não sendo o foco desta revisão bibliográfica por não fazer parte do escopo desta tese. Pode-se constatar que diversas topologias com diferentes células de comutação são citadas, destacando-se principalmente as células *Buck*, *Buck-Boost*, *SEPIC* e *Cuk*. Um fator limitante em utilizar topologias baseadas no *SEPIC* e no *Cuk* é que já partem de ao menos dois indutores, diferentemente de topologias baseadas no *Boost* que partem de um único indutor. No caso do *Buck-Boost* há a necessidade do filtro de entrada em virtude da descontinuidade inerente da corrente de entrada, partindo, também, de pelo menos dois indutores. Soluções envolvendo o conversor *Buck* existem na literatura, porém não representam, em geral, uma inovação, visto que este conversor já é projetado para ser abaixador de tensão, diferentemente do conversor *Boost* que é comumente projetado como elevador de tensão.

### 2.2 Redução do ganho estático de conversores

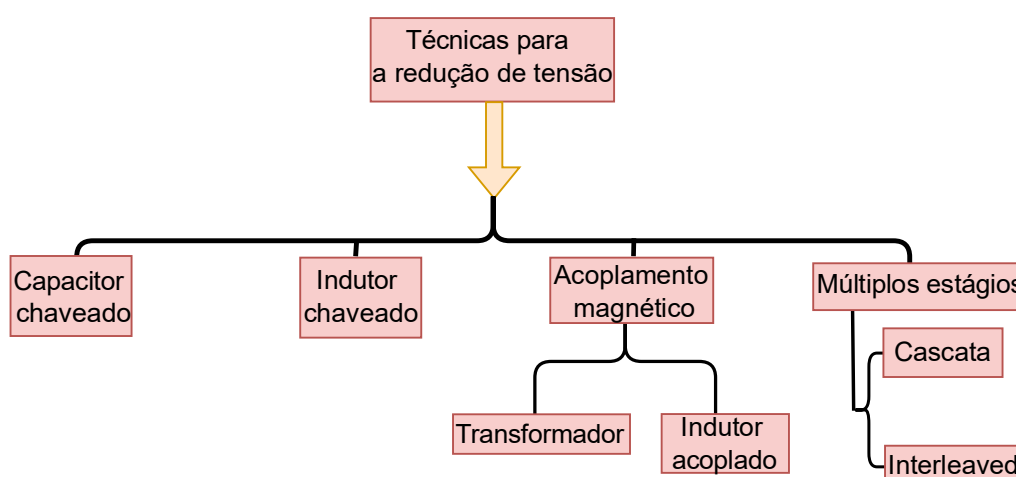
Há aplicações típicas de conversores CA-CC com correção do fator de potência que requerem um ganho estático alto, como é o caso das aplicações envolvendo equipamentos médicos, radares, lasers, raio-X, fontes renováveis de energia e sistemas de tração ferroviária (CORTEZ, 2015; GUIMARÃES, 2022; SOARES; BADIN, 2022; COSTA; ILLA FONT; LAZZARIN, 2018; COSTA *et al.*, 2021; GUIMARÃES; CORTEZ; BADIN, 2021; CORTEZ; BARBI, 2015; AXELROD; BERKOVICH; IOINOVICI, 2008; DIAS; LAZZARIN, 2021; DIAS; LAZZARIN, 2018; LANGE; SOEIRO; ORTMANN; HELDWEIN, 2015; CORTEZ; BARBI, 2016; KOHLER; CORTEZ, 2020; XIE; LI, 2019; EVZELMAN; BEN-YAAKOV, 2014; KRAVETZ, 2023).

Todavia, em outras aplicações a tensão de saída deve ser inferior a tensão de entrada, tal como em LEDs, fontes de alimentação para equipamentos de telecomunicações, carregadores de baterias e motores DC em aplicações de controle de velocidade (FONSECA *et al.*, 2017; KHALILIAN; ADIB; ESTEKI, 2018; MALSCHITZKY; ALBUQUERQUE; AGOSTINI; NASCIMENTO, 2018; MA *et al.*, 2017; SALAZAR-PÉREZ *et al.*, 2021; LE; GERBER; KLINE; SANDERS; KINGET, 2018;

PRAKASH; KALPANA; SINGH; BHUVANESWARI, 2018; BIELA; BADSTUEBNER; KOLAR, 2009; KASPER *et al.*, 2017; MISHRA; MAJI; NAG, 2018; SIU; HO, 2020).

As principais estratégias para reduzir a tensão de saída de um conversor são apresentadas na Figura 2 (WANG; DUSMEZ; KHALIGH, 2014; ANANTHAPADMANABHA; MAURYA; ARYA, 2018; GUPTA; KUSHWAHA; SINGH, 2021; SHAMELI; MAGHSOUDI; FARZANEHFARD, 2024; SUN; BAE, 2022; BABAEI; MONFARED, 2022; SHARMA; SINGH, 2024; KHALILI; MOLAVI; FARZANEHFARD, 2021; REZVANYVARDOM; MIRZAEI, 2021; LIN; JIN; WANG; LUO, 2021; GUPTA; MAZUMDER, 2022; DUTTA *et al.*, 2022; SINGH; GUPTA; SINGH, 2023; SIU; HO, 2020; CHEN; MAKSIMOVIC; ERICKSON, 2006; AL-SAFFAR; ISMAIL; SABZALI, 2009).

**Figura 2 – Principais estratégias para a redução de ganho estático de conversores**

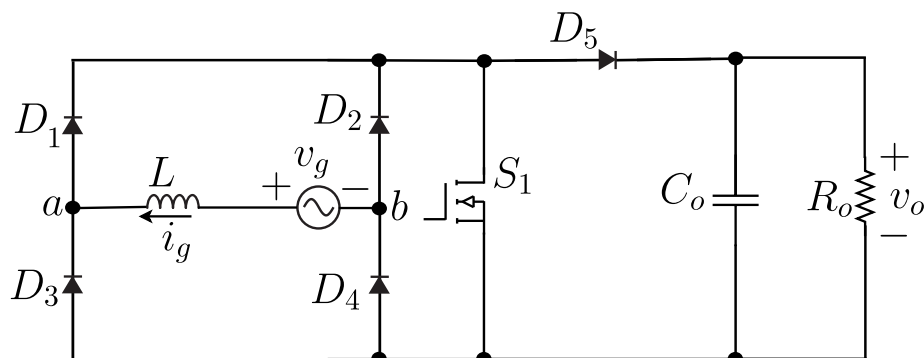


**Fonte: Autoria própria.**

Com o objetivo de realizar um estudo comparativo viável, esta pesquisa se concentra nas técnicas de capacitor e indutor chaveado, uma vez que a inclusão de transformadores nas topologias, embora confira maior flexibilidade à faixa de tensão de saída, resulta em perdas significativas nos núcleos magnéticos e enrolamentos.

A topologia *Boost* convencional, da Figura 3, não satisfaz o requisito da tensão de saída ser inferior a tensão de entrada. Por outro lado, a topologia *Boost* apresenta entrada com características de fonte de corrente (armazenamento indutivo), resultando em boa filtragem de componentes harmônicas na corrente de entrada, porém por ser elevadora de tensão é incapaz de fornecer uma tensão de saída inferior ao valor de pico da tensão de entrada. Desse modo, recorre-se, comumente, a topologias de estágio duplo, sendo uma solução simples e prática para se reduzir o ganho estático do retificador PFC (Campos *et al.*, 2023).

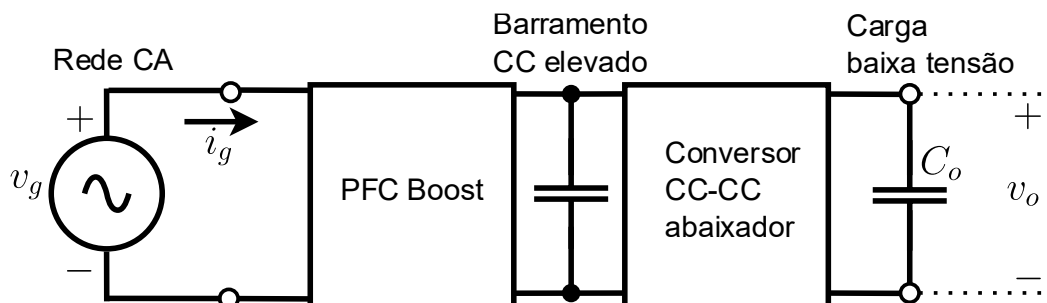
Figura 3 – Retificador PFC *Boost* convencional



Fonte: Autoria própria.

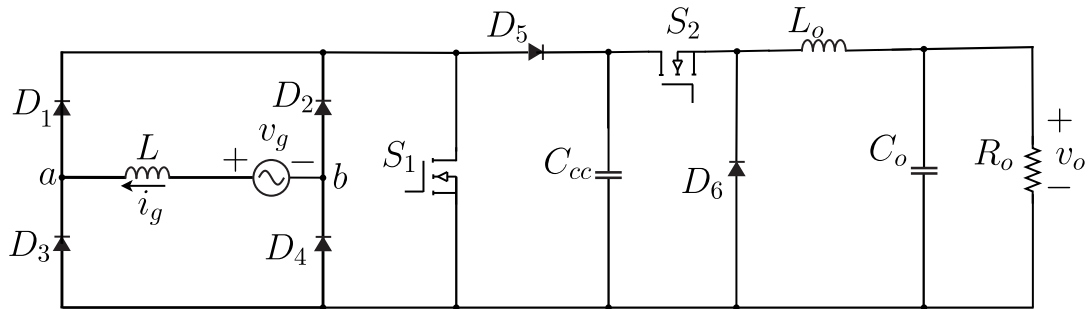
A Figura 4 mostra a solução típica, em que o primeiro estágio é retificador e proporciona a correção do fator de potência e a elevação da tensão para o barramento CC. Em seguida, o segundo estágio é um conversor CC-CC abaixador de tensão para fornecer a tensão requerida pela aplicação. Neste caso, tem-se tipicamente um conversor CA-CC do tipo *Boost* em série com um conversor CC-CC do tipo *Buck*. Cabe citar neste caso as desvantagens do aumento do número de componentes, sendo um indutor adicional que eleva o custo, peso e volume da estrutura. Uma implementação possível do retificador PFC *Boost* em série com o conversor CC-CC *Buck* é mostrada na Figura 5. Outra desvantagem é que o transistor do estágio *Buck* estará submetido a um esforço de tensão que é o dobro da tensão de saída. Além disso, também há maior complexidade no sistema de controle quando se adiciona um segundo estágio de conversão em cascata com o retificador PFC (Campos *et al.*, 2023).

Figura 4 – Retificador PFC de dois estágios típico



Fonte: Adaptado de Campos *et al.* (2023).

Figura 5 – Retificador PFC Boost em série ao Buck CC-CC

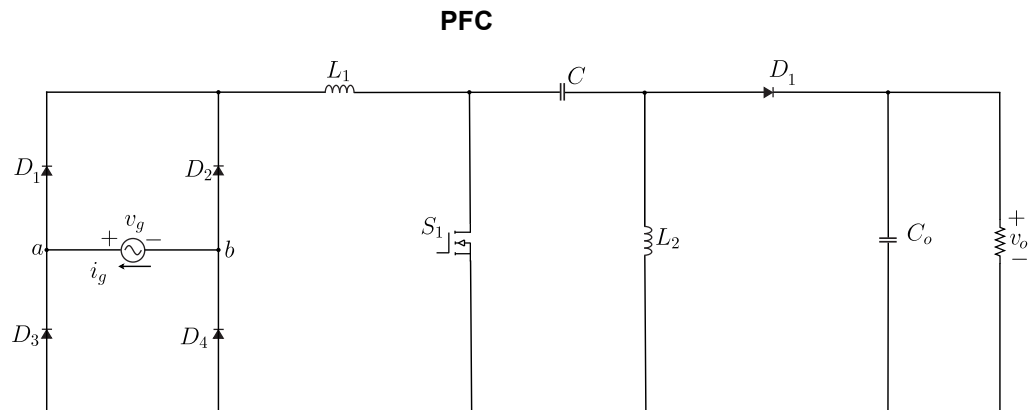


Fonte: Autoria própria.

### 2.3 Topologias baseadas no SEPIC, Cuk, Boost e Buck-Boost para a redução do ganho estático mínimo

Em um estudo destinado a aplicação de carregamento de baterias de lítio de veículos elétricos foi proposto um conversor. Este conversor de potência apresenta um estágio de entrada que pode ser composto pelo retificador PFC Boost da Figura 3. Em seguida tem-se um conversor CC-CC que utiliza a célula LLC ressonante contendo um transformador que provê o isolamento galvânico. O estágio de entrada proposto neste estudo pode ser visto na Figura 6, baseado no retificador SEPIC. Uma desvantagem desta topologia está no número de indutores, que são dois, além dos dois capacitores (WANG; DUSMEZ; KHALIGH, 2014).

Figura 6 – Estágio de entrada do carregador de baterias de lítio: Retificador SEPIC

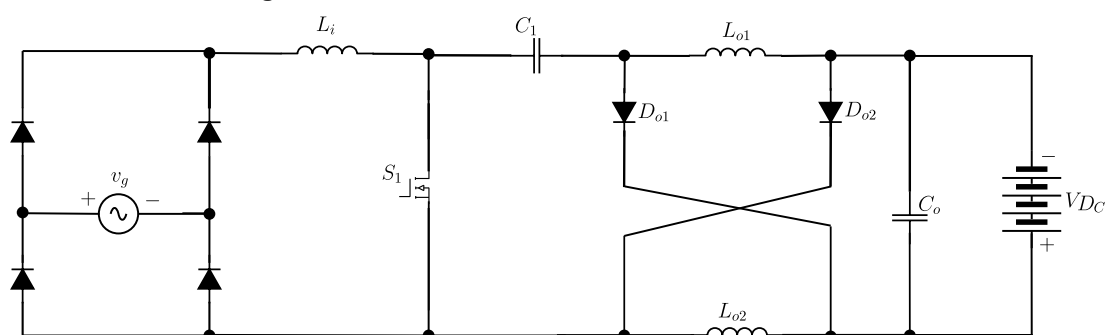


Fonte: Adaptado de (WANG; DUSMEZ; KHALIGH, 2014).

Alternativamente ao conversor de dois estágios, pode-se considerar as topologias Cuk e SEPIC que possuem entrada em corrente e podem apresentar um único estágio e operar com redução da tensão de saída em relação ao valor de pico da tensão de entrada. Um exemplo é mostrado na Figura 7, sendo um conversor Cuk a indutor chaveado para aplicações de carregamento de bateria. A tensão de entrada

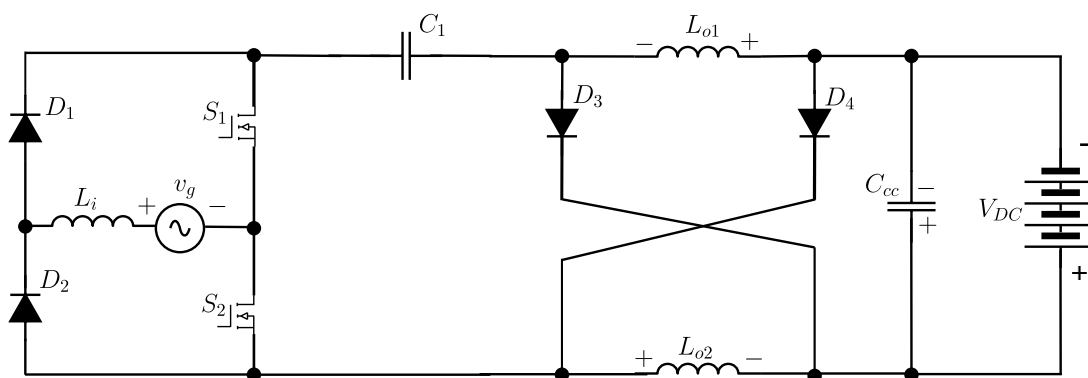
é de 230 V e uma tensão de saída de 48 V, com 500 W de potência e atingiu um rendimento da ordem de 98%. Esta topologia tem como desvantagem requerer a leitura de corrente e atingiu uma THD de corrente de 7% (ANANTHAPADMANABHA; MAURYA; ARYA, 2018). Outro exemplo é o conversor a indutor chaveado *bridgeless* mostrado na Figura 8. Trata-se de um conversor destinado a carregar a bateria de Veículos Elétricos Leves, tendo sido validado com tensão de entrada em 220 V e tensão de saída na faixa de 45 V a 65 V, com 850 W, tendo obtido um rendimento da ordem de 87% e uma THD de corrente de 2,7%. Uma desvantagem desta topologia é a presença de três indutores (GUPTA; KUSHWAHA; SINGH, 2021).

**Figura 7 – Retificador PFC *Cuk* a indutor chaveado**



Fonte: Adaptado de (ANANTHAPADMANABHA; MAURYA; ARYA, 2018).

**Figura 8 – Retificador PFC *Cuk bridgeless* a indutor chaveado**



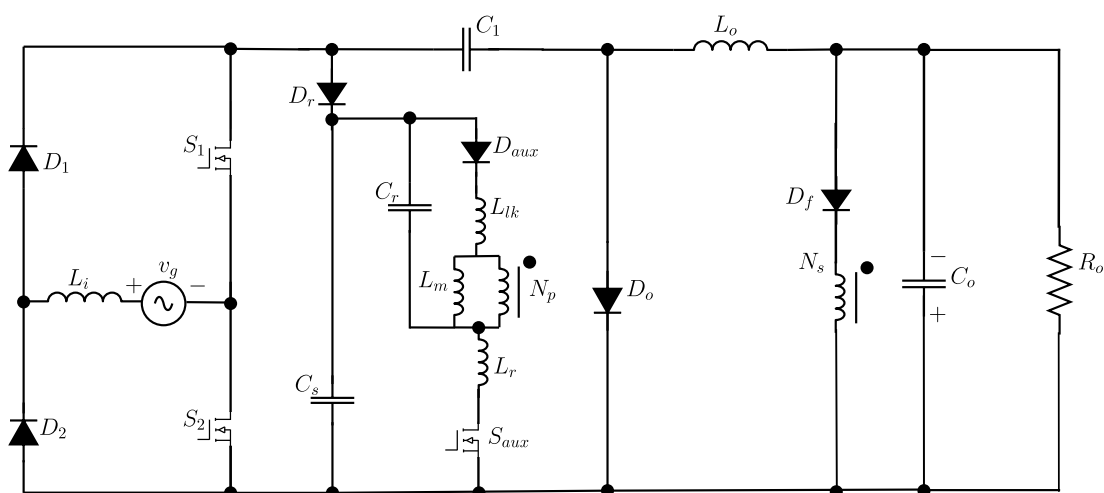
Fonte: Adaptado de (GUPTA; KUSHWAHA; SINGH, 2021).

Em outra topologia, com base na Figura 9, utiliza-se a estratégia *bridgeless* com o conversor PFC *Cuk*, de modo que com uma tensão de entrada de 110 V obteve-se 80 V de saída e carga de 200 W, com rendimento de 95,83% e THD da corrente de entrada igual a 2,1%. A estratégia de controle é simplificada neste caso,

dispensando o sensor de corrente, por se tratar do Modo de Condução Descontínuo (DCM) (SHAMELI; MAGHSOUDI; FARZANEHFARD, 2024).

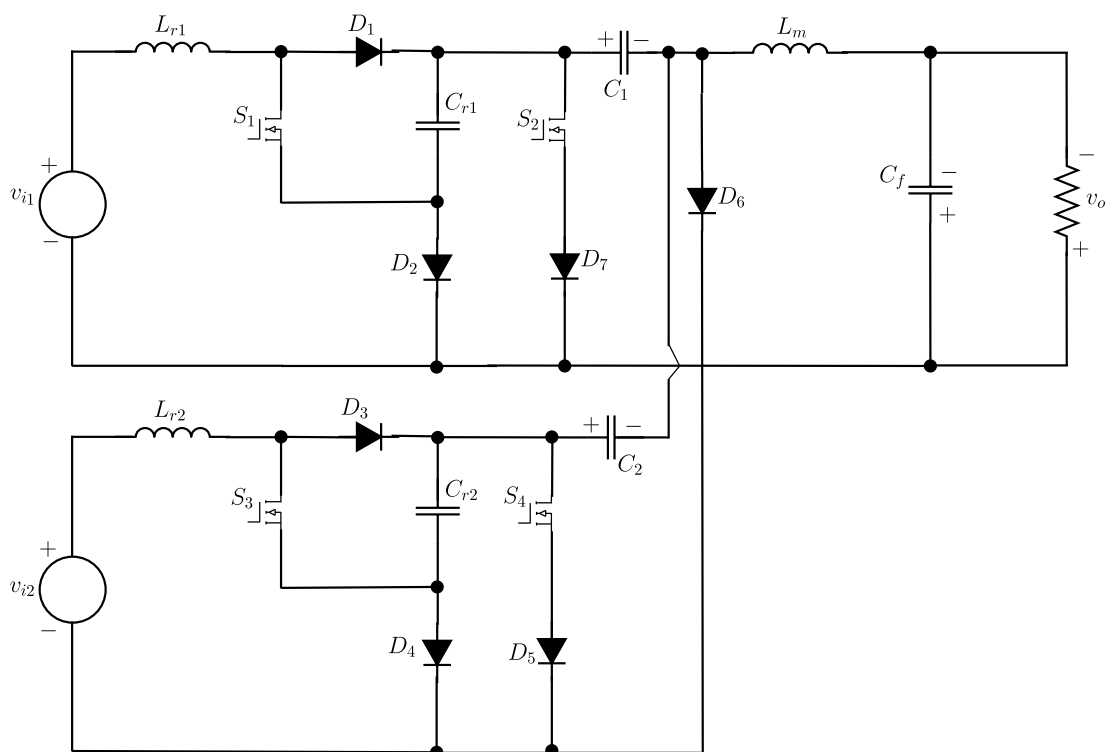
Em uma aplicação que envolve, também, a redução de ganho estático, porém num contexto de microrrede CC, um conversor com múltiplas entradas é mostrado na Figura 10. Tal topologia com duas entradas apresenta as seguintes características: quatro transistores, sete diodos rápidos, cinco capacitores e três magnéticos. O valor da tensão de entrada é 60 V e a tensão de saída é 48 V, com potência de 100 W e rendimento próximo de 92,5%, sendo o modo de condução DCM e sem isolamento galvânico (SUN; BAE, 2022).

**Figura 9 – Retificador PFC *bridgeless* baseado no *Cuk* com comutação suave em ampla faixa de tensão de entrada e carga**



Fonte: Adaptado de (SHAMELI; MAGHSOUDI; FARZANEHFARD, 2024).

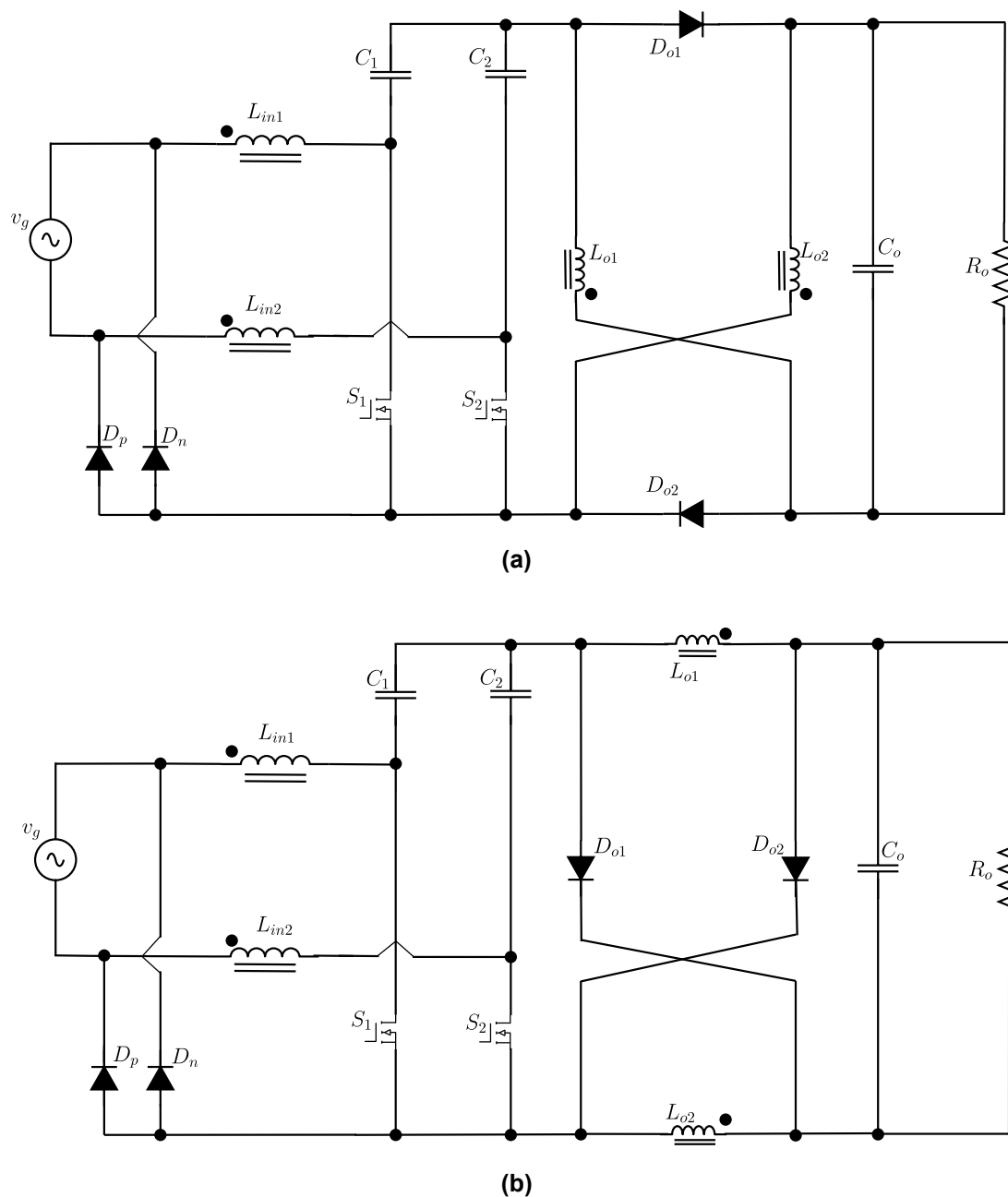
**Figura 10 – Conversor *Cuk* CC-CC de duas entradas com comutação suave**



Fonte: Adaptado de (SUN; BAE, 2022).

Na linha de conversores que empregam a técnica de indutores chaveados, tem-se a topologia da Figura 11, que possui dois transistores, dois diodos rápidos, dois diodos lentos, três capacitores e dois indutores acoplados. Para a tensão de entrada de 230 V obteve-se uma tensão de saída de 48 V com 300 W e rendimento de 93,58%, sem o isolamento galvânico. Nesta aplicação os núcleos magnéticos apresentam dois indutores acoplados cada, o que pode ser um problema quando se busca reduzir o peso e o volume do conversor (BABAEI; MONFARED, 2022).

Figura 11 - Retificadores abaixadores de alto ganho (a) SEPIC PFC de alto ganho. (b) *Cuk* PFC de alto ganho

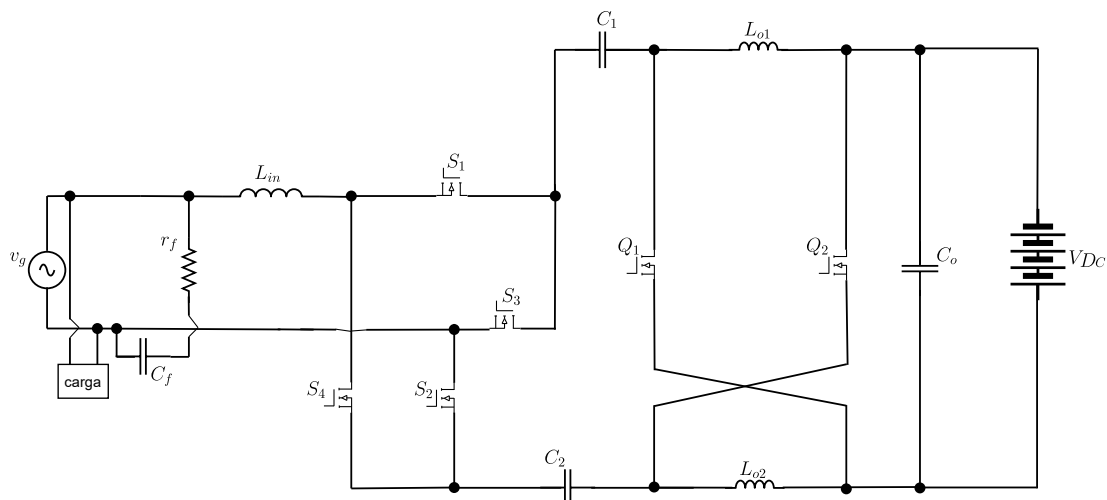


Fonte: Adaptado de (BABAEI; MONFARED, 2022).

A topologia da Figura 12 é outro exemplo de conversor *bridgeless*, que por ser bidirecional substitui o uso de diodos por transistores, e utiliza a técnica de indutores chaveados a fim de reduzir o ganho estático para atingir tensões próximas a 48 V, a partir de uma faixa de tensões de entrada que pode variar entre 85 V e 230 V. Para uma carga de 1,1 kW obteve-se um rendimento de 91,92% e THD de corrente de entrada igual a 2,4%, não havendo o isolamento galvânico e dispensando o uso de sensor de corrente por operar no modo DCM. Por outro lado, o ganho estático do conversor é pequeno, além de que a quantidade de indutores aumentou, sendo dois

indutores chaveados. Além disso, outra desvantagem é o total de seis transistores (SHARMA; SINGH, 2024).

**Figura 12 – Retificador PFC *bridgeless* baseado no *Cuk* para o carregamento de bateria em veículos elétricos**

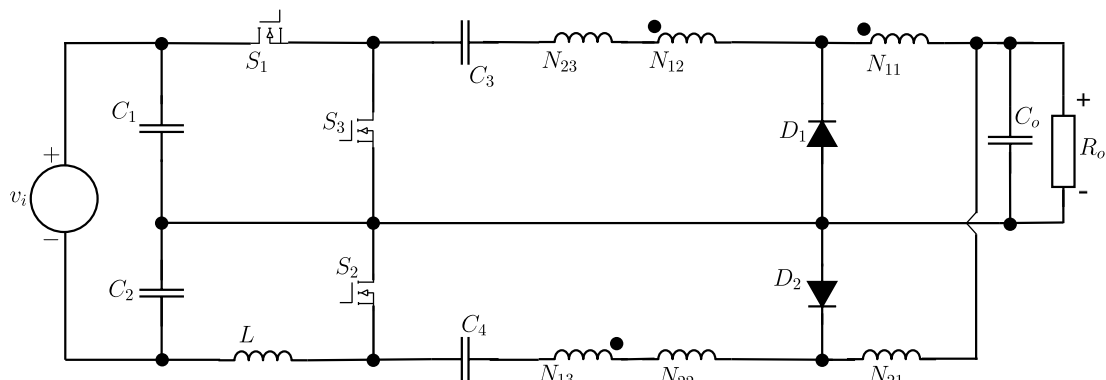


**Fonte: Adaptado de (SHARMA; SINGH, 2024).**

Embora o escopo central desta tese concentre-se no desenvolvimento de retificadores com correção do fator de potência (PFC), a revisão bibliográfica contempla, também, topologias CC-CC que empregam células de comutação voltadas à redução do ganho estático. Tal inclusão justifica-se pelo fato de que o comportamento fundamental dessas células, responsáveis por rebaixar a tensão de saída do conversor, independe da natureza da fonte de alimentação (CA ou CC).

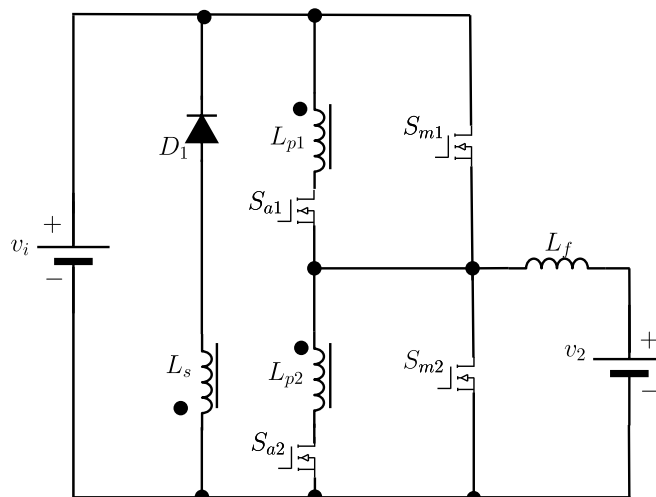
A Figura 13 ilustra uma topologia de conversor CC-CC não isolada e que para 310 V de tensão de entrada obteve-se 24 V de tensão de saída, 200 W e um rendimento de 93,6%. Nesta topologia existem três transistores, dois diodos rápidos, cinco capacitores e três magnéticos, o que pode ser desvantajoso do ponto de vista de compactação devido a quantidade de componentes magnéticos (KHALILI; MOLAVI; FARZANEHFARD, 2021). Adicionalmente, a Figura 14 mostra uma topologia de conversor CC-CC bidirecional, não isolado, baseado no *Buck-Boost*. Tal conversor possui quatro transistores, um diodo rápido (além disso, utiliza quatro diodos intrínsecos), três capacitores e três indutores acoplados. Para a tensão de entrada de 120 V obteve-se 48 V de tensão de saída, com 100 W e 97% de rendimento. A reduzida faixa de potências desta aplicação, de até 100 W, pode ser considerada uma desvantagem quando se quer atender cargas a partir de 500 W, por exemplo (REZVANYVARDOM; MIRZAEI, 2021).

**Figura 13 – Conversor CC-CC abaixador de alto ganho utilizando a técnica de indutores com enrolamentos cruzados acoplados**



Fonte: Adaptado de (KHALILI; MOLAVI; FARZANEHFARD, 2021).

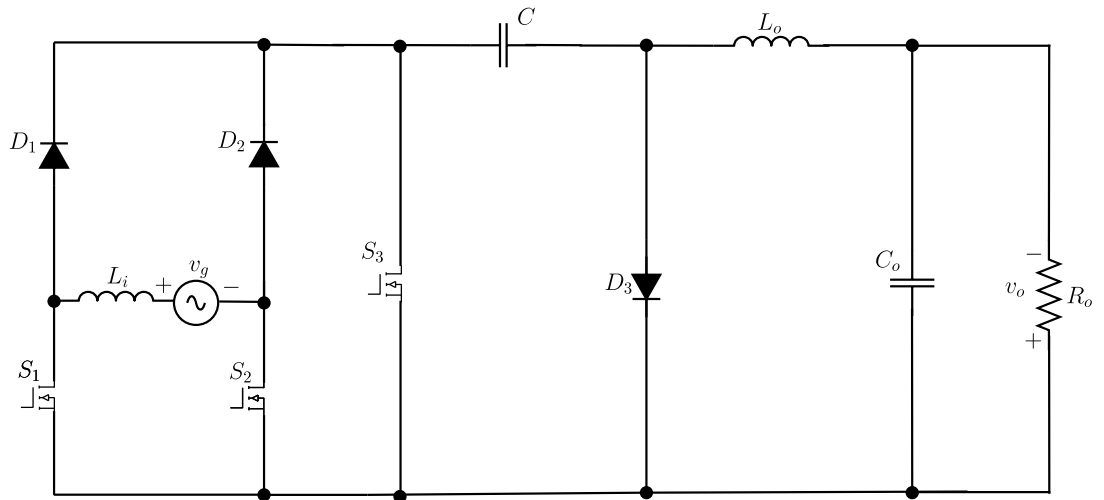
**Figura 14 – Conversor CC-CC *Buck-Boost* com comutação suave e bidirecional**



Fonte: Adaptado de (REZVANYVARDOM; MIRZAEI, 2021).

Uma nova topologia de conversor *bridgeless Cuk* PFC foi proposta e é apresentada na Figura 15, possuindo três transistores, um diodo rápido, dois diodos lentos, dois capacitores e dois indutores. O ponto de operação com tensão de entrada igual a 110 V e tensão de saída igual a 100 V, sendo a carga de 100 W, apresentou rendimento de 95% e THD de corrente de entrada inferior a 5%. Tal topologia não possui isolamento galvânico, além de dispensar o uso de sensor de corrente por operar no modo de condução DCM. Para uma topologia não isolada, pode-se considerar que o rendimento obtido está abaixo do esperado (LIN *et al.*, 2021).

Figura 15 – Retificador PFC *bridgeless Cuk* proposto por LIN *et al*

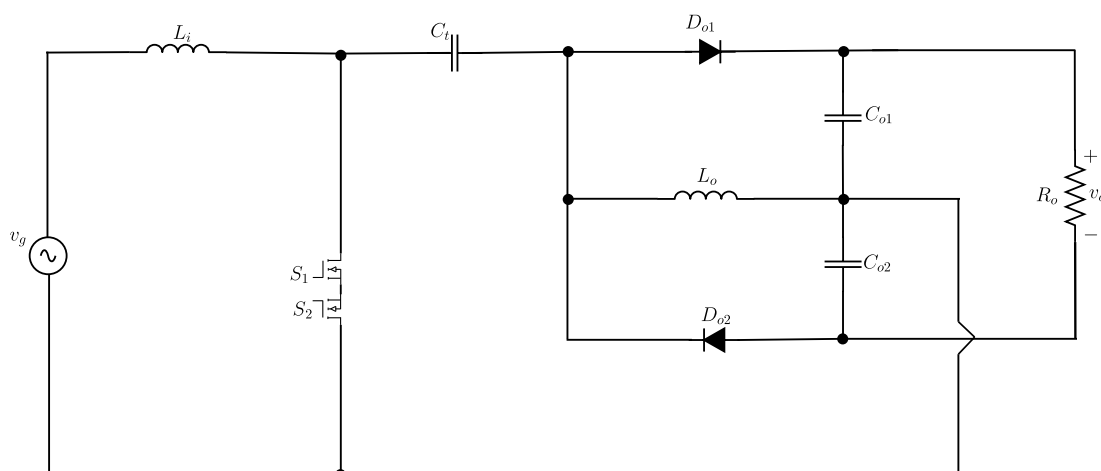


Fonte: Adaptado de (LIN *et al.*, 2021).

Um conversor CC-CC bidirecional e isolado, baseado na topologia *Cuk*, possui quatro transistores, cinco capacitores e quatro núcleos magnéticos. Este conversor operou com uma potência de 2 kW e atingiu 97,8% de rendimento, sendo a tensão de entrada igual a 350 V e a tensão de saída igual a 245 V. Como desvantagem para a compactação pode-se citar o transformador, além de incorrer em um incremento de perdas (estimativa de 35,36% do total de perdas são no transformador) (GUPTA; MAZUMDER, 2022).

Pode-se citar, ainda, a topologia da Figura 16 que mostra um retificador PFC monofásico não isolado baseado no *Cuk* com dois transistores para a operação bidirecional (MOSFETs  $S_1$  e  $S_2$ ), dois diodos rápidos, três capacitores e dois indutores. Numa aplicação com tensão de entrada igual a 120 V e tensão de saída igual a 400 V, com 1 kW, atingiu um rendimento de 94% e THD de corrente de entrada de 3,49%. O modo de condução em DCM possibilitou dispensar o sensor de corrente. Uma desvantagem percebida foi o rendimento reduzido para uma topologia isolada e com redução do número de componentes (DUTTA *et al.*, 2022).

Figura 16 – Retificador PFC monofásico *bridgeless* baseado no *Cuk*

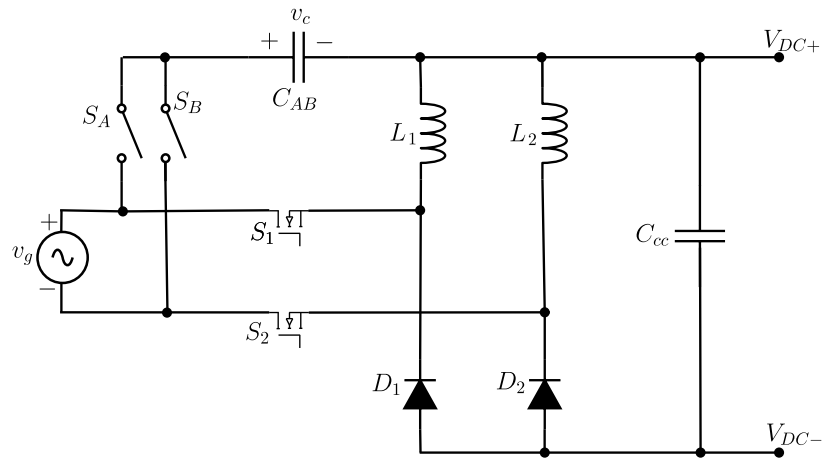


Fonte: Adaptado de (DUTTA *et al.*, 2022).

Cabe citar, também, o conversor PFC isolado de dois estágios, que apresenta três transistores, cinco diodos rápidos, três capacitores e quatro núcleos magnéticos. Tal conversor apresentou um rendimento máximo de 94% e THD da corrente de entrada de 7,2 %, quando alimentado em tensão de 260 V e 300 V de tensão de saída, processando 650 W. O primeiro estágio é baseado na topologia *bridgeless Buck-Boost* modificada, não necessitando de medição da corrente de entrada, ao passo que o segundo estágio é CC-CC baseado no *Cuk*, necessitando das medições de tensão e corrente entregues a bateria. Uma possível desvantagem é a redução da robustez e da imunidade a ruídos devido ao sensor de corrente (SINGH; GUPTA; SINGH, 2023).

Um retificador PFC *Buck-Boost bridgeless* é apresentado, conforme a Figura 17 (SIU; HO, 2020). Como a célula de comutação é *Buck-Boost*, se torna necessária a presença do filtro LC que realiza a filtragem das componentes harmônicas, rejeitando estas componentes de altas frequências que são percebidas pela fonte de alimentação. Nesta aplicação são utilizadas duas chaves bidirecionais, além de ao menos dois transistores, dois diodos rápidos, dois indutores e dois capacitores. Como a topologia é de estágio único consegue-se uma redução no número de componentes em comparação a topologias convencionais, tal como o retificador PFC *Boost* em série com o *Buck*. No ponto de operação com entrada de 220 V eficaz e 120 V de tensão de saída para uma carga de 779 W obteve-se um rendimento de 94,4%. Cabe citar, também, o rendimento reduzido quando comparada a outras topologias não isoladas.

**Figura 17 – Retificador PFC *Buck-Boost bridgeless***



Fonte: Adaptado de (SIU; HO, 2020).

Outra aplicação típica com redução do ganho estático são as fontes de alimentação para equipamentos de telecomunicações, que tipicamente apresentam estágio duplo de conversão de energia. O primeiro estágio tem por objetivo atender aos parâmetros de qualidade de energia elétrica exigidos (fator de potência e THD), normalmente através de um retificador com correção de fator de potência. No segundo estágio é fornecida uma tensão isolada e completamente regulada em 48 V DC para os equipamentos de telecomunicações e baterias (PRAKASH; KALPANA; SINGH; BHUVANESWARI, 2018; BIELA; BADSTUEBNER; KOLAR, 2009; KASPER *et al.*, 2017; MISHRA; MAJI; NAG, 2018).

Uma topologia que pode ser considerada comum em fontes de alimentação para equipamentos de telecomunicações consiste em uma ponte de diodos na entrada, seguida de uma estrutura em ponte completa contendo quatro transistores, um transformador isolador em alta frequência e uma ponte de diodos na saída. Tendo em vista o problema de baixo fator de potência comentado no capítulo 1, o estágio de entrada pode ser composto de um retificador *Boost* PFC, conforme pode ser visto na Figura 3, ou então pode ser isolado por meio da topologia *Flyback*.

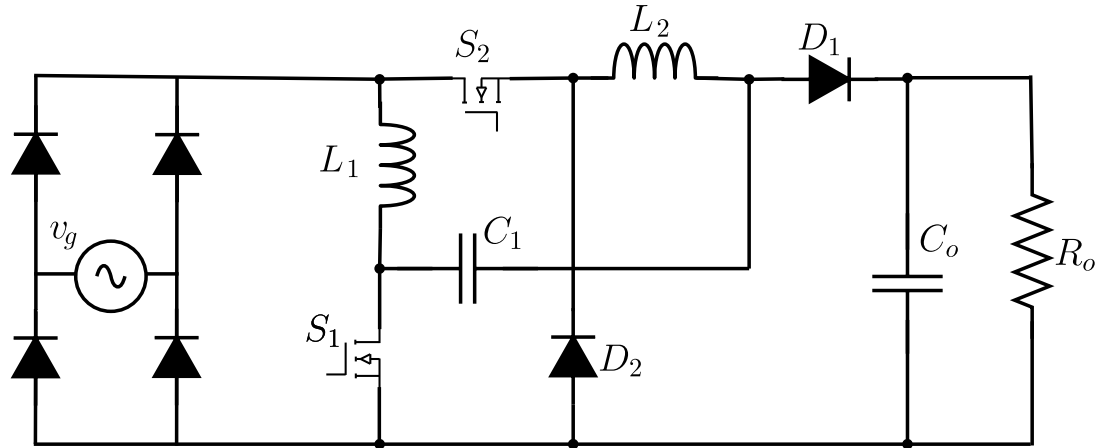
Convém ressaltar que as topologias isoladas, tal como citado no exemplo de aplicação de fontes para telecomunicações, servem a determinadas aplicações em que se requer adaptar as tensões e correntes de entrada conforme as especificações da carga. Nestas aplicações, há um incremento de perdas devido ao transformador, além de elevação do peso e volume da topologia, não sendo objeto de comparação com as topologias propostas nesta pesquisa que são não isoladas. Além disso, há topologias que requerem isolamento galvânico por exigência de normas técnicas e de segurança, tal como no caso de carregadores de baterias de veículos elétricos (IEC 61851, 2019; BIANCHIN, 2017).

Em outras pesquisas são apresentadas topologias com entrada universal, com tensões que variam de 90 V a 260 V eficaz (YADAV *et al.*, 2021; CHEN; MAKSIMOVIC; ERICKSON, 2006; AL GABRI; FARDOUN; ISMAIL, 2015; QIAN; ZHAO; LEE, 1998; HAFEZINASAB *et al.*, 2019; AL-SAFFAR; ISMAIL; SABZALI, 2009; LIU; GREGORI, 2020). Nestas aplicações, para a redução do ganho estático são utilizados, tipicamente, os dois estágios. Desse modo, tem-se um incremento no número de semicondutores, circuitos de gate-driver, além de perdas por condução.

Chen, Maksimovic e Erickson (2006) apresentam uma topologia de conversor *Buck-Boost* com um *Boost interleaved*, que é vista na Figura 18, ao passo que Al-Saffar, Ismail e Sabzali (2009) apresentam um conversor *Buck-Boost* com um conversor *Buck* quadrático, mostrado na Figura 19. Ambas as topologias têm por objetivo reduzir a amplitude da tensão de saída para aplicações com entrada universal de tensão de alimentação. Na topologia específica da Figura 18, foi usado o CI UC3854 para a estratégia de controle da corrente média no Modo de Condução Contínuo (*Continuous Conduction Mode* - CCM), sendo que o transistor  $S_1$  refere-se ao estágio *Boost*, ao passo que o outro transistor,  $S_2$ , refere-se ao estágio *Buck*. Com isso, tem-se dois transistores, dois indutores, dois capacitores e dois diodos rápidos. No ponto de operação em que a tensão de entrada é 240 V eficaz, na saída tem-se uma tensão de 200 V para uma potência de 100 W, com rendimento de 93,8%. Por outro lado, na topologia da Figura 19 tem-se um único transistor, o que reduz a quantidade de circuitos de *gate driver*, tendendo a reduzir os custos. O Modo de Condução Descontínuo (*Discontinuous Conduction Mode* – DCM) foi empregado. Neste caso, foram aplicados 4 diodos lentos, 6 diodos rápidos, 4 indutores (sendo um para o filtro LC de entrada) e 4 capacitores (sendo um para o filtro LC de entrada). Nos resultados experimentais, obteve-se 12 V de tensão de saída para uma tensão

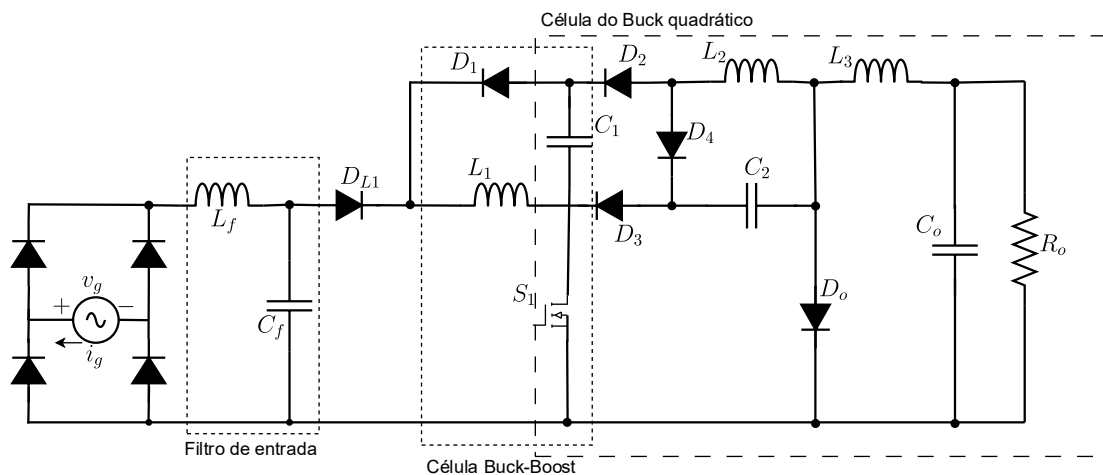
de entrada de 85 V eficaz, carga de 20 W e frequência de comutação em 100 kHz. Foi obtido um rendimento próximo de 86%.

**Figura 18 - Conversor *Buck-Boost* com um *Boost interleaved***



Fonte: Adaptado de (CHEN; MAKSIMOVIC; ERICKSON, 2006)

**Figura 19 - Conversor *Buck-Boost* e *Buck* quadrático**



Fonte: Adaptado de (AL-SAFFAR; ISMAIL; SABZALI, 2009)

## 2.4 Estudo comparativo entre as topologias com redução do ganho estático mínimo

Em síntese, é possível combinar uma célula com característica *Boost* seguida de uma célula com característica *Buck*, tendo por finalidade reduzir o ganho estático de um retificador PFC com entrada tendo características de fonte de corrente. Todavia, tal estratégia pode requerer dois estágios, um elevador e outro abaixador, o que eleva o número de componentes e, por consequência, o custo, o peso e o volume do conversor. Além disso, aumenta a complexidade do sistema de controle, pois terá ao menos uma malha de controle para cada estágio. Assim sendo, eleva-se também a quantidade de sensores e o custo do sistema. Para a estratégia de se utilizar

conversores com a célula *Buck-Boost*, o problema é a natureza descontínua da corrente de entrada que exige um filtro de entrada, comumente de segunda ordem contendo um indutor e um capacitor, de modo que também se eleva o número de componentes magnéticos, elevando o peso, volume, custo e perdas (SIU; HO, 2020).

Com o intuito de apresentar um comparativo qualitativo entre as principais topologias apresentadas foi desenvolvida a Tabela 1. É importante ressaltar que as topologias aqui apresentadas neste estudo comparativo destinam-se a reduzir o ganho estático mínimo, portanto, podem se tratar de conversores abaixadores e/ou elevadores. Esclarece-se, também, que a faixa das tensões apresentadas nas aplicações são diferentes das propostas nesta tese, porém isso não invalida a comparação entre as células de comutação, uma vez que são projetadas para uma finalidade comum. Adicionalmente, há aplicações encontradas na literatura em que o ganho estático mínimo é reduzido em maior escala do que o proposto nesta tese, todavia a comparação é possível em termos de quantidade de componentes, complexidade do sistema de controle, potência de saída e rendimento.

Após a revisão bibliográfica, notou-se a necessidade de um retificador com correção do fator de potência que incorpore as seguintes características, as quais são abordadas nesta tese: i) redução do ganho estático mínimo; ii) redução da complexidade do sistema de controle. Como pode-se notar, a redução do ganho estático mínimo alcança diferentes resultados obtidos a partir da razão entre a tensão de saída e a tensão de entrada. Para esta tese pretende-se obter um ganho estático mínimo equivalente a 0,55, sendo calculado a partir da razão entre o valor da tensão de saída em regime permanente e o valor de pico da tensão de entrada, também em regime permanente. A maior complexidade do sistema de controle, por sua vez, é estabelecida quando se requer o uso de duas malhas de controle, por exemplo, no caso do controle de conversores *interleaved* ou do conversor *Boost* convencional operando no Modo de Condução Contínua (MCC), sendo usual uma malha para o controle da corrente de entrada e outra malha para o controle da tensão de saída (XU *et al.*, 2019; CAO, KIM, 2014; ANCUTI *et al.*, 2014; KANNAN, RAJA, 2015).

As topologias propostas nesta tese serão apresentadas detalhadamente nos capítulos 4 e 5, podendo ser vistas antecipadamente na Figura 20 e na Figura 21. A estratégia para a redução do ganho estático mínimo proposta nesta tese será apresentada no capítulo 3. Pode-se constatar que com a inclusão de um transistor,

dois diodos e um capacitor, é possível a redução pela metade da tensão do barramento CC do retificador *Boost* PFC.

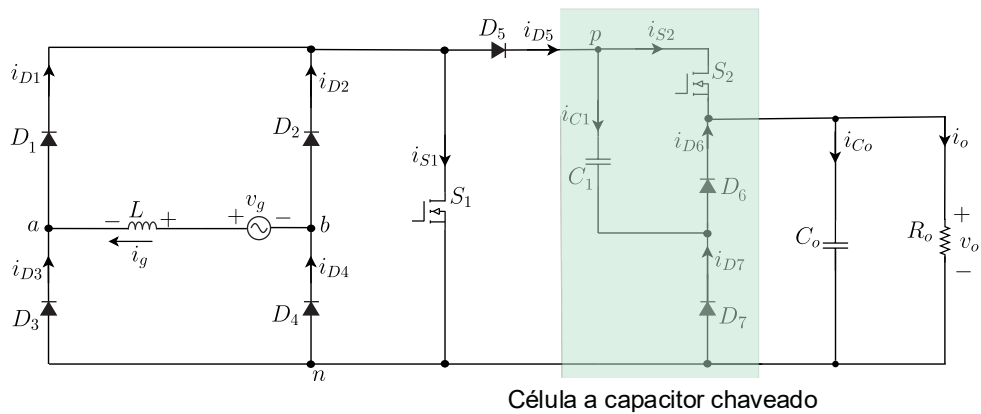
Na topologia do capítulo 5, adicionalmente, será agregada uma célula denominada SC-PFM, baseada no *Boost interleaved* (traduzido como intercalado ou multifases), contendo dois transistores, dois diodos, um indutor acoplado e um indutor, que mudará as características da operação do conversor. A principal vantagem será o comportamento do estágio de entrada do conversor, que apresenta uma característica seguidora de tensão. Um resultado disso é a redução da complexidade do sistema de controle, que não requer a medição da corrente de entrada e opera com elevado fator de potência. Contudo, a célula SC-PFM impõe um limite mínimo para a tensão de saída equivalente ao dobro do valor de pico da tensão de entrada. Desse modo, o ganho estático de 0,55, provido pela célula a capacitor chaveado, é multiplicado por dois, resultando em um ganho estático mínimo de 1,1 para o conversor em questão.

**Tabela 1 – Comparativo entre as topologias da revisão bibliográfica apresentada, com redução do ganho estático mínimo**

Parâmetro	Topologia					
	ANANTHAPADMANABH A; MAURYA; ARYA, 2018	SHAMELI; MAGHSOUDI; FARZANEHFARD, 2024	CHEN; MAKSIMOVIC; ERICKSON, 2006	SIU; HO 2020	LIN <i>et al.</i> , 2021	DUTTA <i>et al.</i> , 2022
Transistores	1	3	2	2	3	1
Diodos rápidos	2	4	2	2	1	2
Diodos lentos	4	2	-	2	2	-
Capacitores	2	4	2	2	2	3
Indutores	3	2	2	2	2	2
Indutores acoplados	-	2	-	-	-	-
Tensão de entrada ( $V_{g,RMS}$ ) / Tensão de saída ( $v_o$ )	230 V / 48 V	110 V / 80 V	120 V / 200 V	220 V / 120 V	110 V / 100 V	120 V / 400 V
Potência de saída / Rendimento	500 W / 98%	200 W / 95,83%	100 W / 93,7%	779 W / 94,4%	100 W / 95%	1 kW / 94%
Modo de condução	CCM	DCM	CCM	CCM	DCM	DCM
Sensor de corrente	Sim	Não	Sim	Sim	Não	Não

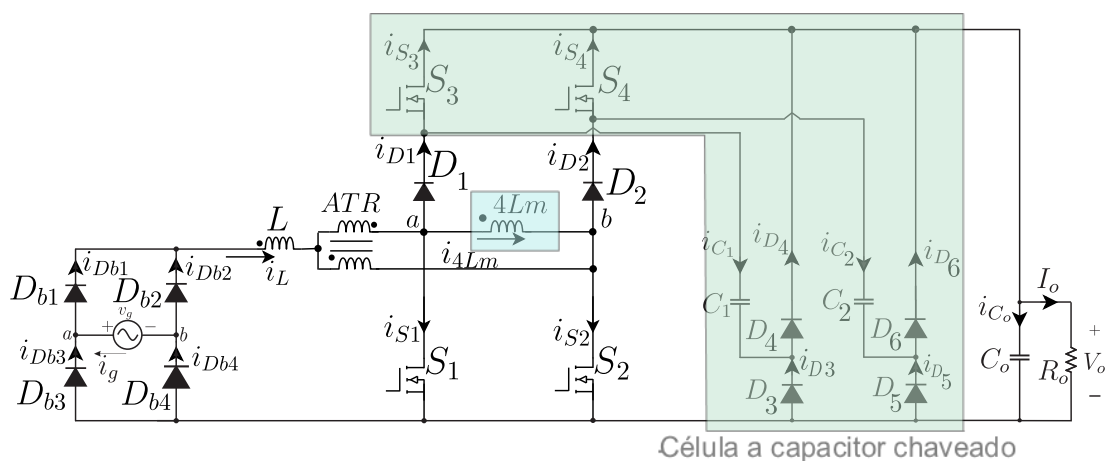
Fonte: Autoria própria.

Figura 20 – Topologia proposta 1: Retificador *Boost* PFC monofásico híbrido a capacitor chaveado com redução do ganho estático mínimo



Fonte: Autoria própria.

Figura 21 – Topologia proposta 2: Retificador *Boost* PFC *interleaved* híbrido a capacitor chaveado com redução do ganho estático mínimo



Fonte: Autoria própria.

**Tabela 2 – Comparativo entre as topologias propostas 1 e 2 e outras topologias com redução do ganho estático mínimo**

Parâmetro	Topologia				
	ANANTHAPADMANABHA; MAURYA; ARYA, 2018	SIU; HO, 2020	DUTTA <i>et al.</i> , 2022	CAMPOS <i>et al.</i> , 2023 (Topologia proposta 1)	Topologia proposta 2
Transistores	1	2	1	2	4
Diodos rápidos	2	2	2	3	6
Diodos lentos	4	2	-	4	4
Capacitores	2	2	3	2	3
Indutores	3	2	2	1	1
Indutores acoplados	-	-	-	-	2
Tensão de entrada ( $V_{g,RMS}$ ) / Tensão de saída ( $V_o$ )	230 V / 48 V	220 V / 120 V	120 V / 400 V	220 V / 200 V	220 V / 400 V
Potência de saída / Rendimento	500 W / 98%	779 W / 94,4%	1 kW / 94%	1,4 kW / 96,5%	1 kW / 97,2%
Modo de condução	CCM	CCM	DCM	CCM	Condução Contínua no Indutor
Sensor de corrente	Sim	Sim	Não	Sim	Não

**Fonte: Autoria própria.**

## 2.5 Conclusão

Este capítulo dedicou-se à análise comparativa de diversas topologias de conversores, com ênfase nas configurações não isoladas que se configuram como estratégias para a redução do ganho estático mínimo. Neste contexto, foram exploradas topologias que utilizam a célula a indutor chaveado, visto que a aplicação da célula a capacitor chaveado é mais comumente associada à elevação da tensão de saída. Adicionalmente, abordou-se o modo de condução descontínua (DCM), que simplifica a implementação do controle ao dispensar a medição de corrente.

Notou-se a escassez de estudos que exploram a técnica de capacitor chaveado para a redução do ganho estático em conversores, especialmente do tipo Boost. Essa lacuna na pesquisa aponta para um caminho promissor e inovador para o trabalho proposto nesta tese, que se propõe em utilizar a célula a capacitor chaveado proposta para a redução do ganho estático mínimo de retificadores *Boost* PFC. Deste modo, a célula proposta é capaz de fornecer uma tensão mínima de saída de pelo menos a metade da tensão mínima de saída sem a utilização da célula. A solução aqui proposta é inovadora, conforme será exposto no capítulo a seguir.

### 3 CÉLULA A CAPACITOR CHAVEADO PARA A REDUÇÃO DO GANHO ESTÁTICO DE RETIFICADORES MONOFÁSICOS PFC BOOST

#### 3.1 Introdução

Este capítulo apresenta uma breve revisão bibliográfica a respeito do uso de capacitores chaveados em circuitos elétricos. Os parâmetros de interesse são expostos, principalmente o valor da capacitância a ser utilizada na célula a capacitor chaveado, além da frequência de comutação. Em seguida, são apresentadas algumas topologias encontradas na literatura e a célula a capacitor chaveado proposta nesta tese é apresentada. Uma análise genérica da célula é feita considerando a aplicação em conversores CC-CC do tipo elevador (*Boost*). Por fim, a generalização é estendida para retificadores *Boost* PFC.

#### 3.2 Conceitos e topologias iniciais

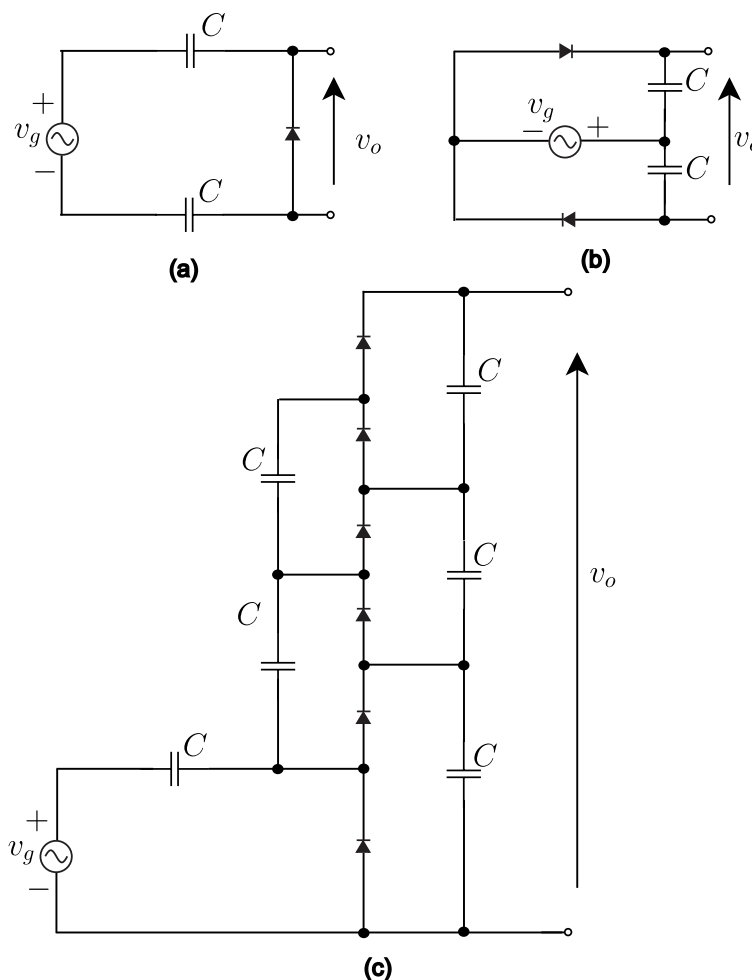
O estudo sobre conversores a capacitores chaveados teve maior disseminação no início da década de 1990, com o estudo da estrutura de capacitores chaveados denominada Ladder em conversores CC-CC (UMENO *et al.*, 1990). Por outro lado, mais de cem anos antes, Maxwell (1881) já desenvolvia experimentos com capacitores chaveados visando determinar a resistência equivalente de um capacitor através do seu processo de carga e descarga.

A técnica de se chavear capacitores em circuitos de conversores estáticos teve início com o intuito de atingir elevadas tensões na saída do circuito, levando ao desenvolvimento de multiplicadores de tensão. Heinrich Greinacher é atribuído como o criador do primeiro dobrador de tensão em 1914, aprimorando a topologia proposta por Villard em 1901. Pode-se citar, também, o multiplicador de tensão de Cockroft e Walton para gerar 800 kV, indicando que esses avanços motivaram pesquisas subsequentes, incluindo estudos recentes. A Figura 22 ilustra uma síntese destas topologias iniciais que utilizam a técnica de capacitores chaveados.

A Figura 23 mostra um conversor CC-CC básico a capacitor chaveado. O conversor possui dois transistores genéricos  $S_1$  e  $S_2$ , resistências série de condução  $R_s$ , dois capacitores  $C_1$  e  $C_2$ , além de uma fonte de alimentação de entrada  $V_i$  e uma carga representada pela resistência  $R_o$ . As principais formas de onda são mostradas na Figura 24, que define que o comando dos transistores é complementar e, portanto, há dois estados topológicos. Cabe constatar que, por simplificação, a capacitância  $C_2$  é considerada com valor suficientemente alto, de modo que a ondulação de tensão possa ser desprezada neste capacitor. A partir do tratamento matemático adequado

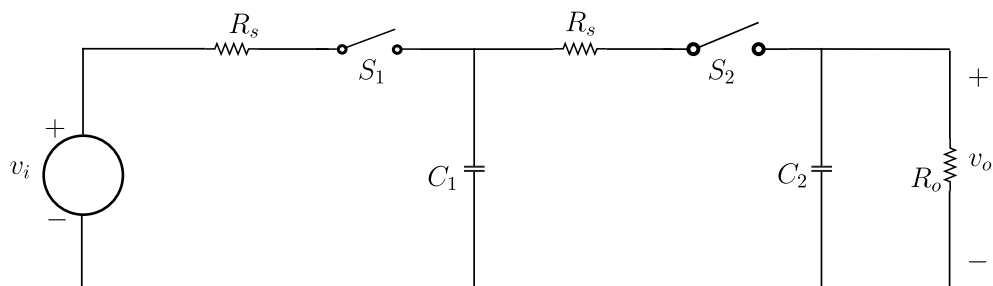
e da análise deste circuito e seus estados topológicos, deduz-se (1) para determinar a resistência equivalente ( $R_{eq}$ ), com base no circuito da Figura 25, donde se conclui que a resistência equivalente depende da frequência de comutação ( $f_s$ ), do valor das capacitâncias ( $C$ ), da razão cíclica ( $d$ ) e da constante de tempo do circuito ( $\tau$ ), conforme (2) (GUIMARÃES, 2022).

**Figura 22 – (a) Retificador elevador Villard, (b) dobrador de tensão e (c) multiplicador de tensão Cockroft-Walton ou do tipo *ladder***



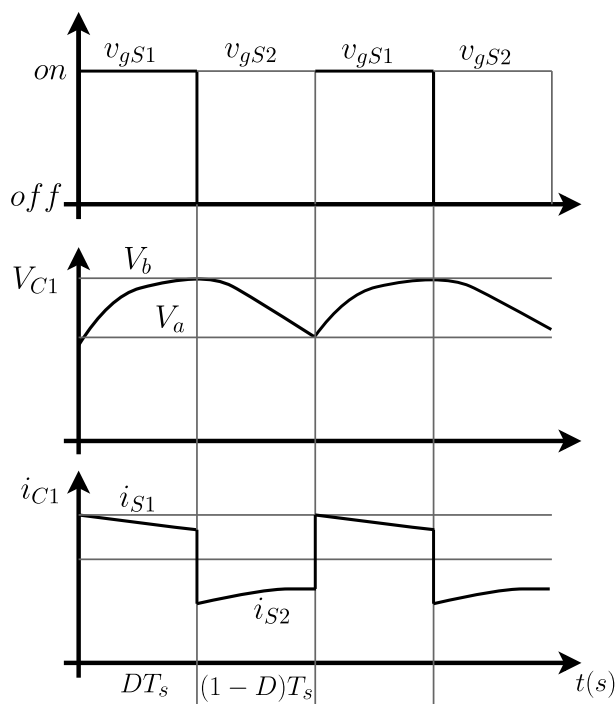
Fonte: Adaptada de VILLARD, 1901; GREINACHER, 1914; COCKROFT; WALTON, 1932.

**Figura 23 - Conversor CC-CC básico a capacitor chaveado**



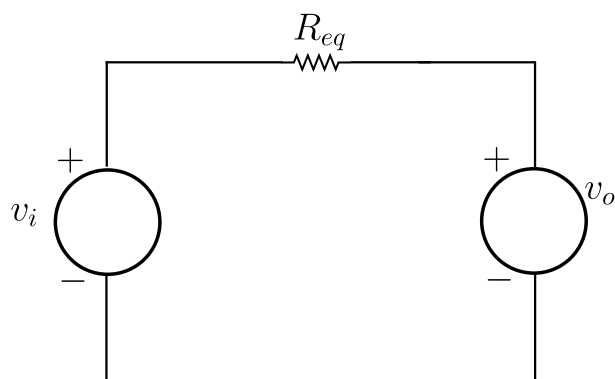
Fonte: Autoria própria.

**Figura 24 – Formas de onda básicas do conversor CC-CC básico a capacitor chaveado**



Fonte: Autoria própria.

**Figura 25 – Modelo em regime permanente visto pela carga**



Fonte: Autoria própria.

$$R_{eq} = \frac{v_i - V_o}{i_o} \quad (1)$$

$$R_{eq} = \frac{1}{f_s \cdot C} \frac{(1 - e^{-T_s/\tau})}{[1 - e^{-(dT_s)/\tau} + e^{-T_s/\tau} - e^{-((T_s-dT_s)/\tau)}]} \quad (2)$$

As células básicas de Cockroft-Walton e John Dickson são amplamente utilizadas na eletrônica de potência em conversores comutados em alta frequência. O circuito Cockroft-Walton produz uma tensão de saída constante de forma passiva e naturalmente comutada, utilizando apenas diodos e capacitores. No entanto, sua desvantagem inclui a falta de regulação da tensão de saída e o aumento da capacitância e volume dos capacitores devido à frequência da rede. A célula multiplicadora de dois estágios de Dickson, inicialmente proposta para circuitos integrados, enfrenta desafios semelhantes em relação à capacitância e volume dos capacitores.

Ambos os conversores apresentam distorções na corrente de entrada, resultando em aumento do valor eficaz da mesma e perdas nos cabos de alimentação. No entanto, pesquisas na década de 1980 exploraram conversores híbridos, utilizando células básicas de conversores CC-CC com dispositivos magnéticos para correção de fator de potência.

### **3.3 Conversores híbridos a capacitor chaveado**

O conversor *Boost* PFC monofásico se destaca por sua entrada com características de fonte de corrente, proporcionando baixa distorção harmônica e alto fator de potência. No entanto, sua configuração clássica não é recomendada para altas tensões de saída devido às limitações nos elementos parasitas do circuito, aumento das perdas por comutação e ondulação de corrente no indutor de entrada.

A aplicação do conceito de conversor híbrido a capacitor chaveado (HSCC - Hybrid Switched-Capacitor Converter) tem o intuito de superar as limitações dos conversores convencionais. Essas topologias combinam os princípios de conversores elevadores por armazenamento indutivo (*Boost*) e conversores elevadores por chaveamento capacitivo.

Uma vantagem das topologias HSCC é o controle do fluxo de potência do conversor, o que permite uma maior flexibilidade no controle da tensão de saída em comparação com os conversores apenas com armazenamento capacitivo.

O primeiro trabalho sobre conversores HSCC combina uma célula *Buck-Boost* com um multiplicador de tensão Cockroft-Walton, visando obter uma tensão alternada em alta frequência para alimentar o multiplicador (HARRIGILL; MYERS, 1975). Desde então, várias pesquisas têm explorado essa abordagem, combinando multiplicadores de tensão com conversores CC-CC *Boost* unidirecionais.

Esses conversores *Boost* HSCC demonstraram alto ganho de tensão, baixa distorção harmônica da corrente de entrada, alto fator de potência e regulação da tensão de saída. Exemplos incluem um conversor monofásico CA-CC *Boost* HSCC de alto ganho de tensão proposto por Young *et al.* (2011), um conversor CA-CC monofásico *Boost* HSCC para operação PFC em sistemas HVDC apresentado por Kishore e Tripathi (2017), e um conversor PFC monofásico *Boost* HSCC proposto por Maccarini (2013).

Além disso, Dias e Lazzarin (2018) propuseram uma família de três conversores unidirecionais PFC monofásicos CA-CC *Boost* HSCC, incluindo a topologia HBR (Hybrid *Boost* Rectifier) com ponte retificadora na entrada e outras topologias sem ponte. Essas topologias demonstraram um ganho estático duas vezes maior que um conversor *Boost* convencional, podendo ser aumentado com a adição de estágios multiplicadores em cascata. Dias e Lazzarin (2023) também propuseram retificadores com elevado ganho em tensão e corrente de entrada com reduzido conteúdo harmônico, além de redução dos esforços de tensão e corrente nos semicondutores, através de topologias que integram células a capacitor chaveado e células de comutação multiestados.

### 3.4 Critério de seleção dos capacitores chaveados

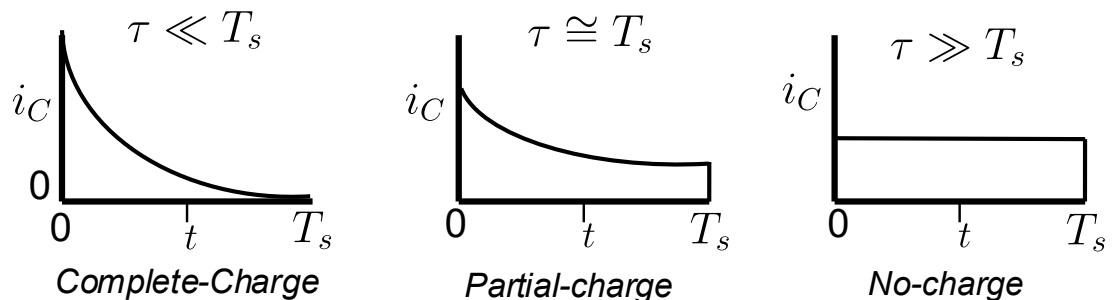
A escolha dos capacitores chaveados segue o critério baseado em Yaakov (2012) e Cortez (2015), que leva em consideração os três modos de operação para conversores a capacitores chaveados: *complete-charge*, *partial-charge* e *no-charge*, conforme é ilustrado na Figura 26. O cálculo da constante de tempo do circuito é conforme (3). Em uma tradução livre, tem-se o modo Carga Completa, Carga Parcial e Sem Carga. O que define, dentre os três modos de operação, qual é o modo de operação do conversor é a constante de tempo do circuito em relação ao período de comutação ( $T_s$ ). Para estimar a constante de tempo do circuito devem ser consideradas as resistências parasitas no caminho da corrente durante um intervalo de chaveamento dos capacitores, enquanto um transistor estiver conduzindo, por exemplo.

Calcula-se a constante de tempo, conforme (3), podendo obter três condições de operação. Devem ser considerados ao menos quatro critérios básicos ao escolher o capacitor chaveado: as resistências parasitas (intrínsecas) dos componentes, a frequência de comutação, o valor da capacitância e o valor eficaz da corrente no capacitor. As resistências parasitas ( $R_{eq}$ ) são obtidas a partir dos catálogos dos

fabricantes dos componentes, a frequência de comutação é escolhida tendo em vista as perdas nos semicondutores e no indutor de entrada, sendo a última etapa a definição da capacitância. Deve-se observar, também, a corrente máxima suportada pelo capacitor.

Cabem algumas considerações quanto aos três modos de operação da Figura 26. O modo Carga Completa tende a picos mais elevados de corrente, resultando em maiores valores eficazes de corrente. Ao elevar a constante de tempo esses picos de corrente diminuem. Para elevar a constante de tempo considerando os mesmos componentes do circuito basta elevar o valor da capacitância. Conforme se eleva a capacitância, pode-se transitar entre outros dois modos de operação, o Carga Parcial e o Sem Carga. O modo Sem Carga é o que resulta nos menores valores eficazes de corrente, além da corrente permanecer constante durante o período de comutação (YAAKOV, 2012). Contudo, tal modo tende a utilizar valores mais elevados de capacitâncias ou frequências de comutação elevadas. A maior frequência de comutação resultará em maiores perdas por comutação nos transistores, portanto a frequência de comutação também deve ser limitada. Deste modo, para efeitos práticos é comum escolher o modo Carga Parcial, por proporcionar capacitâncias não tão elevadas, além de menores perdas por efeito Joule (CORTEZ, 2015).

**Figura 26 – Modos de operação da célula a capacitor chaveado**



Fonte: Autoria própria.

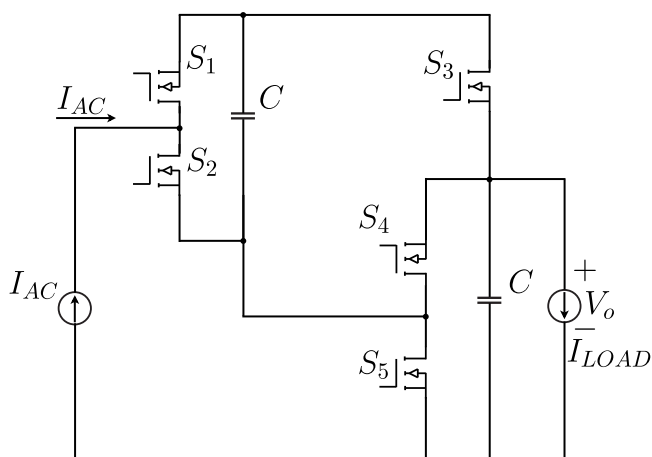
$$\tau = R_{eq} \cdot C_1 \quad (3)$$

### 3.5 A técnica de capacitores chaveados para reduzir o ganho estático

Em 2013, Li e Perreault propuseram retificadores a capacitor chaveado com tensão de saída reduzida, sendo aplicado para potências inferiores a 50 W. A Figura 27 apresenta a topologia que serviu de base para o retificador proposto por Li e Perreault, sendo que a Figura 28 mostra os estados topológicos. Por fim, o retificador de duas saídas é apresentado na Figura 29. Nesta aplicação, para uma tensão de 20

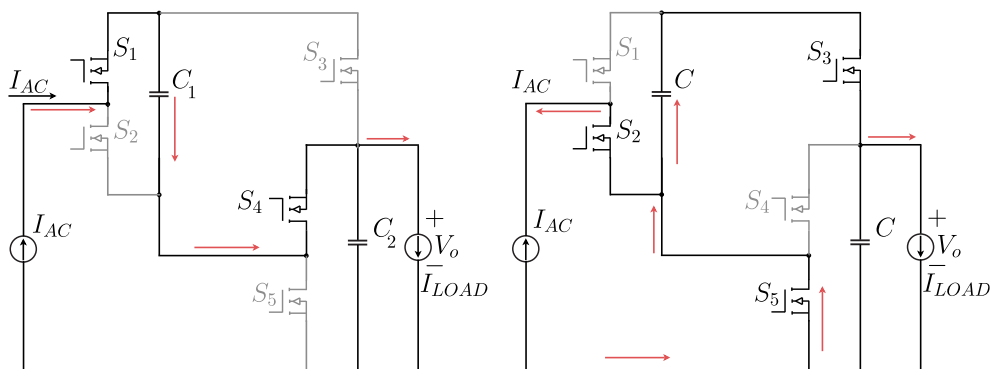
V de entrada (valor eficaz entre a fase e o neutro) obteve-se 2,5 V de tensão na saída, para 4 W de potência e 50 MHz. O rendimento máximo foi de 81%. Nota-se que foram utilizados dez transistores, quatro capacitores, dois indutores e um transformador. Neste estudo, foi utilizada uma reduzida potência de carga, o que pode potencializa estudos envolvendo patamares mais elevados de potência.

**Figura 27 – Retificador a capacitor chaveado com dois estados topológicos**



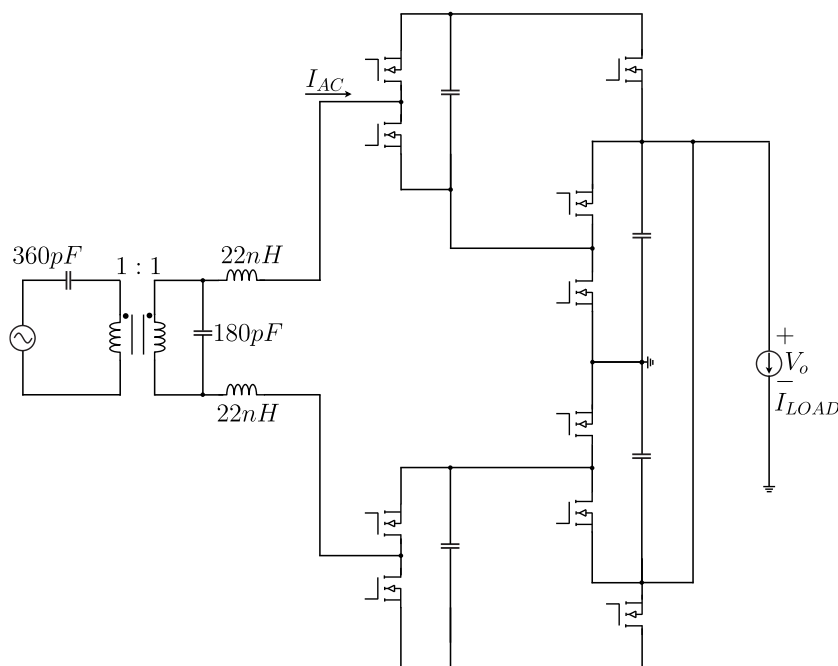
Fonte: Adaptado de (LI; PERREAULT, 2013).

**Figura 28 – Estados topológicos do retificador a capacitor chaveado**



Fonte: Adaptado de (LI; PERREAULT, 2013).

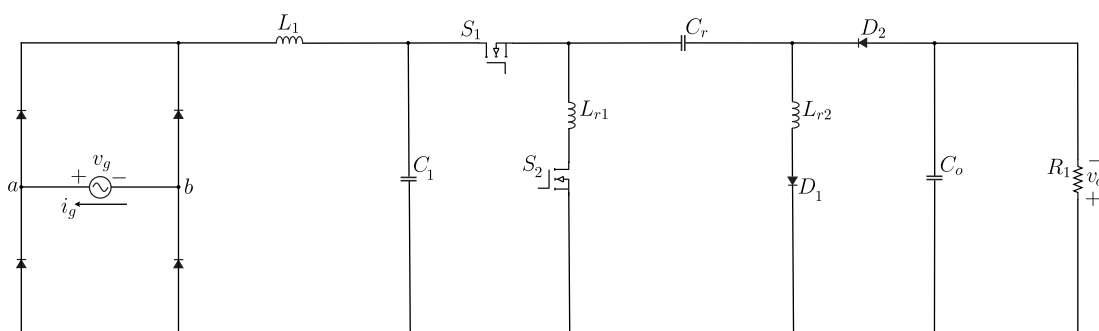
**Figura 29 - Retificador abaixador a capacitor chaveado para baixas potências**



Fonte: Adaptado de (LI; PERREAULT, 2013).

Outra topologia de retificador com célula a capacitor chaveado para a redução do ganho estático é proposto por Chen *et al.* (2022), na Figura 30, que utilizou dois transistores, dois diodos rápidos, quatro diodos lentos, três capacitores e três indutores, tendo atingido um rendimento máximo de 90% para uma faixa de tensão de entrada entre 85 V e 130 V de valor eficaz, com tensão de saída de 47 V e 44 W de carga. A máxima THD de corrente foi em torno de 10%.

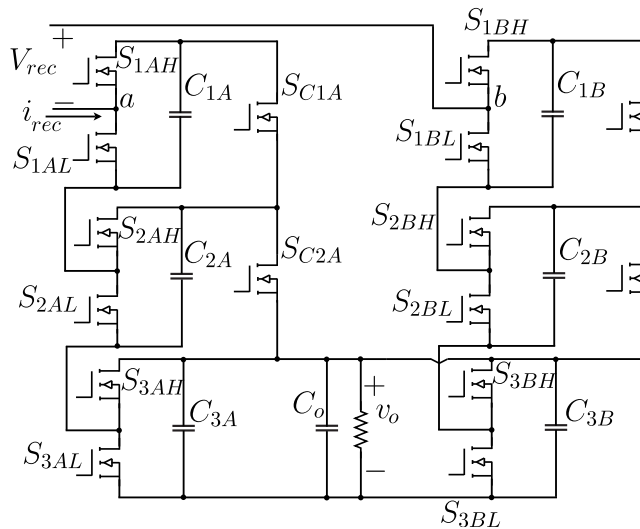
**Figura 30 – Retificador PFC a capacitor chaveado ressonante e abaixador**



Fonte: Adaptado de (CHEN *et al.*, 2022).

Zhao *et al.* (2019) propôs, na Figura 31, um retificador multinível a capacitor chaveado para carregamento rápido sem fio contendo doze transistores, quatro diodos lentos e seis capacitores. Para a faixa de tensão de entrada entre 7 V e 25 V em valor eficaz, conseguiu obter entre 5 V e 9 V de tensão de saída, com uma carga de 20 W e rendimento de 88,6%. A THD de corrente máxima foi de 3,5%.

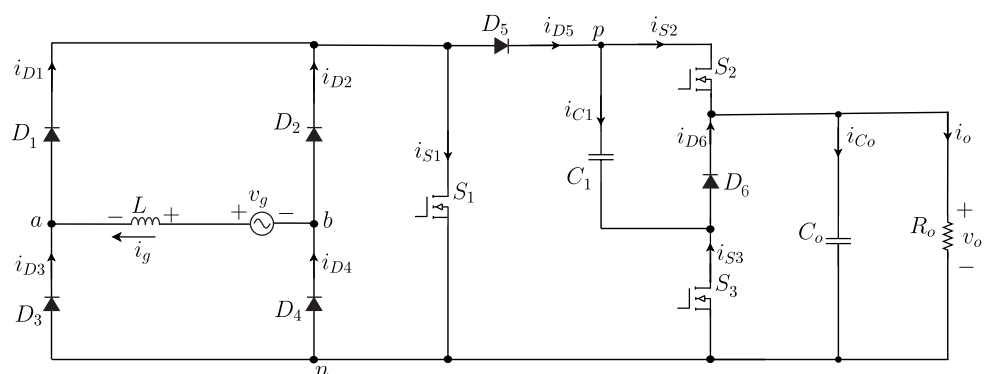
**Figura 31 – Retificador PFC a capacitor chaveado de sete níveis e abaixador**



Fonte: Adaptado de (ZHAO et al., 2019).

Por fim, um conversor híbrido a capacitor chaveado com redução do ganho estático foi estudado por D'Amico Silva, tendo sido desenvolvida a topologia da Figura 32. Esta topologia, até o momento, configura-se como a primeira envolvendo retificador, com PFC, híbrido a capacitor chaveado e abaixador de tensão. Apresenta três transistores, sendo dois deles na célula a capacitor chaveado. Além disso, há um único indutor presente no estágio *Boost*, bem como dois capacitores e quatro diodos lentos e um diodo rápido.

**Figura 32 - Retificador Híbrido a capacitor chaveado com três transistores**



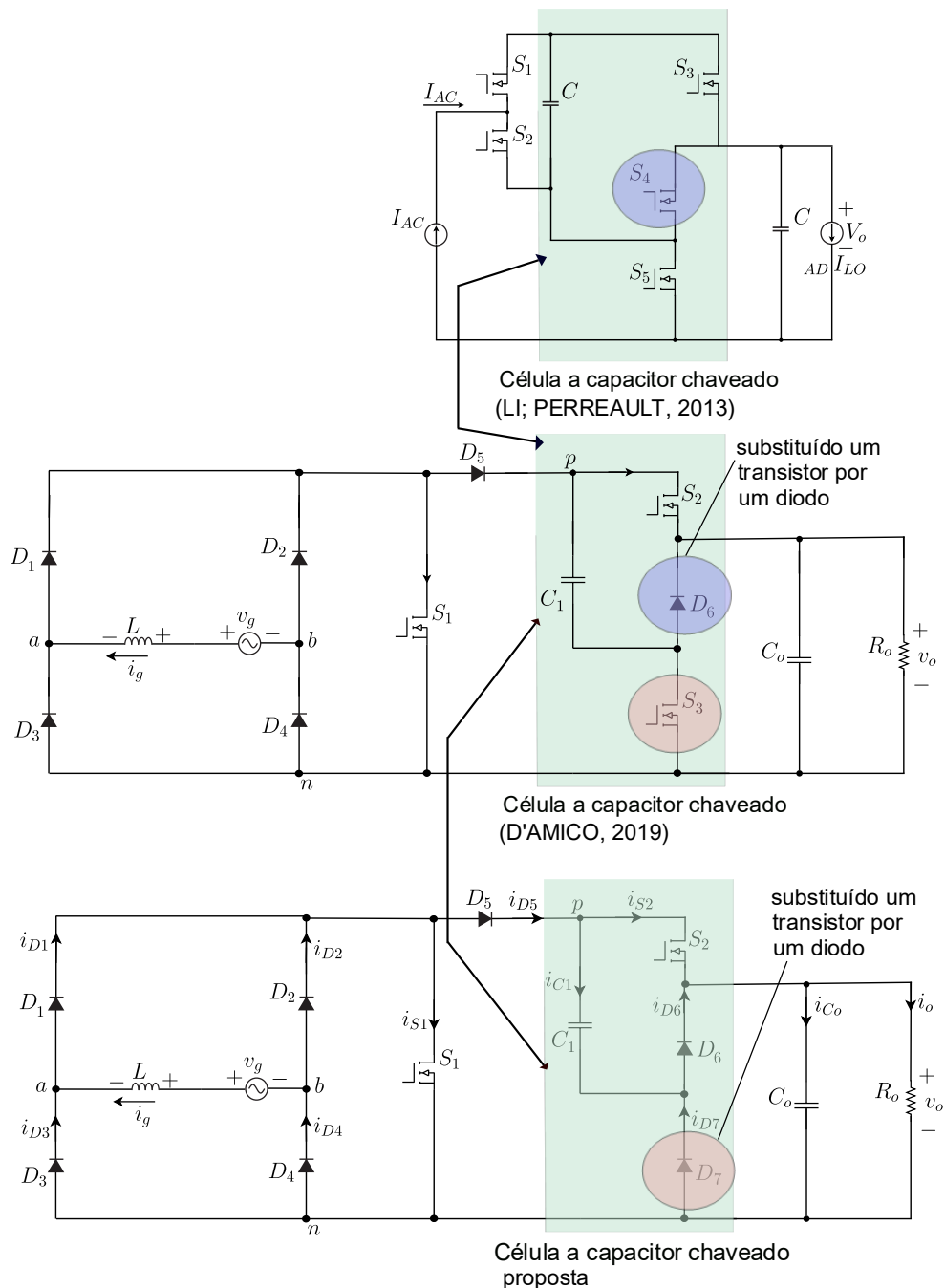
Fonte: Adaptado de (D'AMICO, 2019).

### 3.6 A célula de comutação proposta

A formação da célula a capacitor chaveado proposta nesta tese é ilustrada na Figura 33. Pode-se constatar que conforme o modo de operação da célula a capacitor chaveado proposta por Li e Perreault, o transistor  $S_1$  sempre conduz juntamente com o  $S_4$ , logo na célula a capacitor chaveado proposta por D'Amico o transistor  $S_4$  é

substituído por um diodo  $D_6$ . Como os transistores  $S_2$  e  $S_3$  conduzem juntos, nesta tese manteve-se a topologia de D'amico, porém substituindo  $S_3$  pelo diodo  $D_7$ .

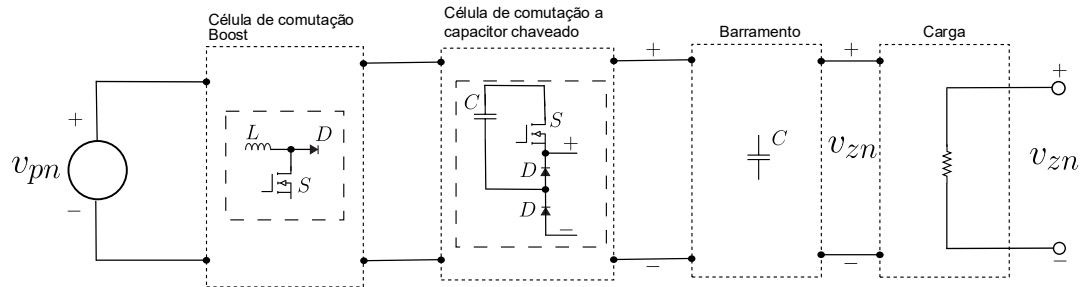
**Figura 33 – Formação da célula a capacitor chaveado proposta nesta tese**



**Fonte: Autoria própria.**

A generalização da célula a capacitor chaveado para a redução de ganho estático em conversores CC-CC do tipo *Boost* pode ser vista no diagrama de blocos da Figura 34.

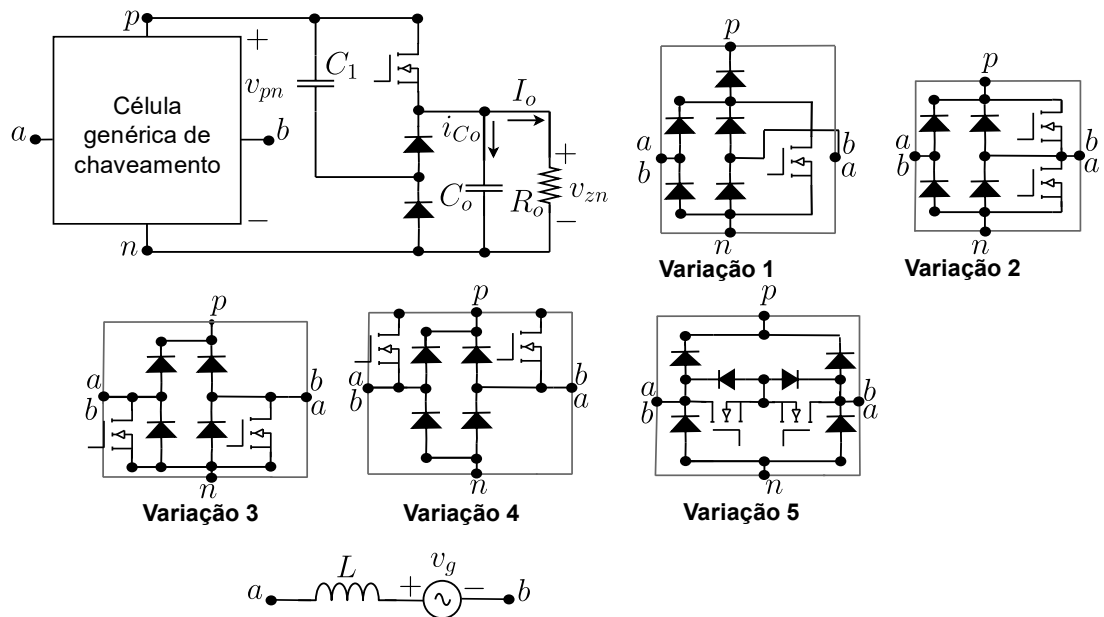
**Figura 34 – Diagrama de blocos genérico do conversor CC-CC Boost com a célula a capacitor chaveado para a redução do ganho estático**



**Fonte: Autoria própria.**

Ao considerar-se um conversor alimentado por uma fonte de tensão alternada, tem-se a generalização para retificadores *Boost* PFC com a célula a capacitor chaveado para a redução do ganho estático, conforme a Figura 35. A Tabela 3 traz a descrição dos terminais apresentados nesta generalização. A célula a capacitor chaveado proposta neste estudo contém um capacitor chaveado,  $C_1$ , um transistor (aqui representado como um MOSFET) e dois diodos que operam em alta frequência. O capacitor  $C_o$  representa o capacitor de barramento, que é conectado em paralelo com a carga, representada aqui por uma resistência  $R_o$ . Nota-se que as variações topológicas 3 e 4 dispensam o uso de ponte de diodos, caracterizando a topologia identificada como *bridgeless*, sendo comum utilizar os diodos intrínsecos dos transistores nestes casos. A variação 1 é a que apresenta menor quantidade de transistores, podendo ser considerada a implementação mais simples do ponto de vista da geração do comando de acionamento dos transistores. Além disso, menos transistores na topologia, comumente, implica em menores custos.

**Figura 35 - Família de retificadores Boost PFC híbridos a capacitor chaveado com redução do ganho estático**



Fonte: Autoria própria.

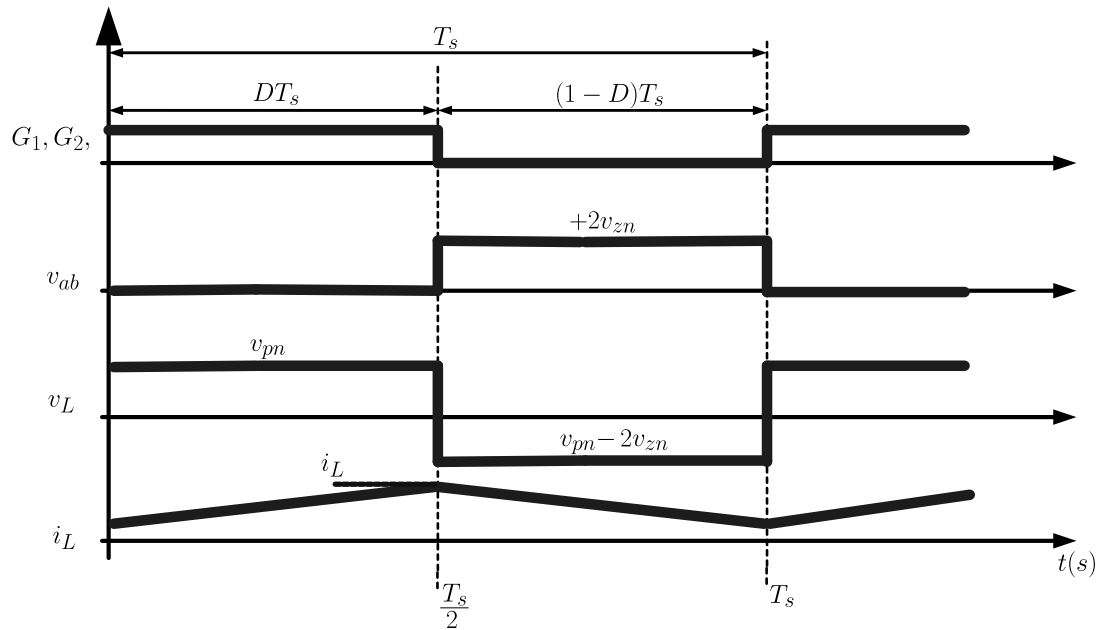
**Tabela 3 - Descrição dos terminais do circuito proposto**

Terminal	Descrição
$v_g$	Fonte de alimentação alternada senoidal
$a$	Conexão com o terminal do indutor de entrada, que está em série com a fonte de alimentação, caracterizando um Boost
$b$	Conexão com o terminal de referência ou neutro da fonte de alimentação de entrada
$p$	Terminal positivo da retificação de entrada do conversor
$n$	Terminal negativo da retificação de entrada do conversor
$v_{pn}$	É denominada a tensão $v_g$ após a retificação subtraída da tensão sobre o indutor, portanto tensão em CC
$v_{zn}$	É a tensão aplicada na carga, após a célula a capacitor chaveado

Fonte: Autoria própria.

As formas de onda genéricas para a variação 1 do conversor, incluindo a ponte retificadora de entrada, são ilustradas na Figura 36. A aplicabilidade desta análise estende-se às variações subsequentes, requerendo adaptações para contemplar os modos de operação específicos e as configurações *bridgeless*.

**Figura 36 - Formas de onda genéricas dos retificadores *Boost* PFC híbridos a capacitor chaveado com redução do ganho estático – variação 1**



Fonte: Autoria própria.

As considerações para analisar as formas de onda são: o conversor opera no modo de condução contínua; os componentes são ideais; as capacitâncias são suficientemente altas para manter a tensão em um período de comutação; a frequência de comutação é muito superior a frequência da rede elétrica.

É possível identificar o comportamento da tensão ( $v_{ab}$ ) e da tensão sobre o indutor ( $v_L$ ) num período de chaveamento ( $T_s$ ). Deste modo, pode ser deduzida a expressão do ganho estático ( $G$ ) do conversor utilizando-se a consideração de que o valor médio da tensão sobre o indutor em um período de comutação ( $T_s$ ), conforme (4), é nulo. Assim, o ganho estático é conforme (5). Para conversores CC-CC, a modulação PWM apresenta um valor fixo de razão cíclica para determinado ponto de operação, dada por “D”. Em retificadores *Boost* PFC, por outro lado, a razão cíclica apresenta variação senoidal de acordo com (6), que também é obtida com base em (4). Esta expressão dada por (6), diferente de “D”, apresenta o valor da razão cíclica em função do tempo, podendo ser calculada em termos de valor médio em um semiciclo da rede elétrica.

$$\langle v_L(t) \rangle_{T_s} = \frac{1}{T_s} \int_0^{T_s} v_L(t) dt = \frac{1}{T_s} [v_{pn} \cdot D \cdot T_s + (v_{pn} - 2 \cdot v_{zn}) \cdot (1 - D) \cdot T_s] = 0 \quad (4)$$

$$G = \frac{v_{zn}}{v_{pn}} = \frac{1}{2(1 - D)} \quad (5)$$

$$d = 1 - \frac{v_{pn}}{2 \cdot v_{zn}} \cdot |\sin(\omega t)| \quad (6)$$

Em seguida, (7) define o índice de modulação equivalente ( $M$ ), que não pode ter valor superior a unidade, portanto, pode-se deduzir o limite mínimo para a tensão de saída ( $v_{zn}$ ) com base em (8), ou seja, o valor da tensão de saída deve ser pelo menos a metade do valor da tensão de entrada ( $v_{pn}$ ).

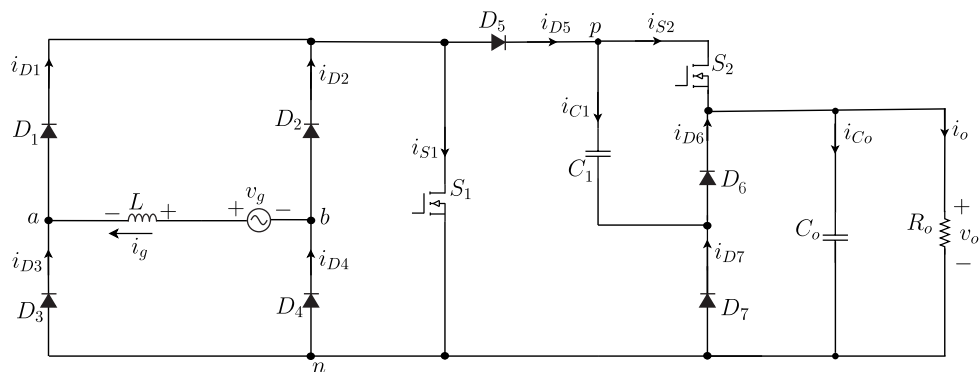
Outra consideração, avaliando (7), é que para índices de modulação equivalente superiores a 0,5 a tensão de saída é obrigatoriamente inferior a tensão de entrada. Por outro lado, índices de modulação equivalente inferiores a 0,5 resultarão necessariamente em uma tensão de saída superior a tensão de entrada. De toda forma, tem-se a redução do ganho estático mínimo em comparação com o conversor *Boost* convencional.

$$M = \frac{v_{pn}}{2v_{zn}} \quad (7)$$

$$v_{zn} \geq \frac{v_{pn}}{2} \quad (8)$$

O retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático, variação 1, é apresentado na Figura 37.

**Figura 37 – Retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático: Variação 1**



Fonte: Autoria própria.

### 3.7 Conclusão

Este capítulo apresentou uma breve revisão bibliográfica sobre a técnica de capacitores chaveados, além de mostrar a aplicação desta técnica em retificadores com correção de fator de potência, denominados de retificadores híbridos a capacitor chaveado. Os critérios de seleção das capacitâncias dos capacitores chaveados foram apresentados. As deduções do ganho estático, da razão cíclica, da tensão de

saída mínima, além das formas de onda foram ilustradas. Por fim, as variações topológicas de retificadores *Boost* PFC foram apresentadas.

## 4 RETIFICADOR *BOOST* PFC HÍBRIDO A CAPACITOR CHAVEADO COM REDUÇÃO DO GANHO ESTÁTICO E MODULAÇÃO PWM

### 4.1 Introdução

Nesta tese optou-se pela variação 1 da Figura 35, que permite a validação do conceito da célula a capacitor chaveado que está sendo proposta. Conforme citado, é a variação que apresenta menor quantidade de transistores, podendo ser considerada a implementação mais simples quanto aos comandos de acionamento dos transistores. Além disso, tende a apresentar menores custos. Este conversor é denominado de retificador PFC *Boost* híbrido a capacitor chaveado com redução do ganho estático. Uma implementação *bridgeless* deste conversor (similar as variações 3 e 4) pode ser encontrada (PATIL e PRAKASH, 2024). No decorrer deste capítulo serão apresentados o princípio de funcionamento do conversor proposto, seus estados topológicos, o ganho estático, a ondulação de corrente no indutor e a ondulação de tensão no capacitor, bem como o resumo dos esforços de corrente nos principais componentes. Também serão apresentadas a modelagem orientada ao controle, as definições de projeto e, por fim, os resultados de simulação e experimentais.

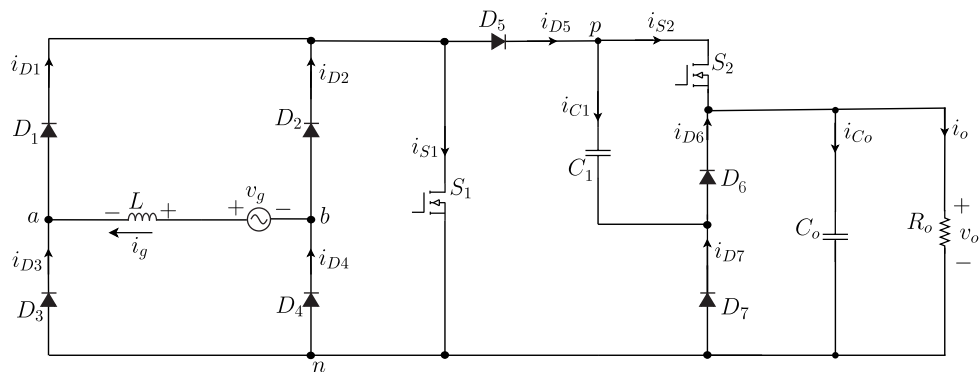
### 4.2 Apresentação do retificador *Boost* PFC monofásico híbrido a capacitor chaveado com redução do ganho estático

O retificador híbrido a capacitor chaveado com redução do ganho estático, variação topológica 1, é agora reapresentado na Figura 38. As formas de onda válidas para o semiciclo positivo de tensão da rede elétrica são conforme a Figura 39. Será apresentado o estudo do conversor operando no modo de condução contínua e modo de operação *no-charge*, em que a corrente é aproximadamente constante num período de comutação, como é feito em diversos trabalhos que utilizam conversores híbridos a capacitor chaveado (GUIMARÃES, 2022; SANTOS, 2017; CORTEZ, 2015). Os estados topológicos apresentados referem-se ao semi-ciclo positivo da rede elétrica. Para cada semi-ciclo há dois estados topológicos, o que resultaria em quatro estados topológicos. No primeiro estado topológico, os dois transistores,  $S_1$  e  $S_2$ , são comandados a conduzir, mantendo desconectado o estágio de entrada do estágio de saída devido ao bloqueio do diodo  $D_5$ . A tensão entre os nós “a” e “b” ( $v_{ab}$ ) é zero, e a energia armazenada no indutor é proveniente da rede elétrica. Além disso, a energia é transferida dos capacitores  $C_1$  e  $C_o$  para a carga, formando uma célula a capacitor chaveado. Os diodos  $D_5$  e  $D_6$  estão bloqueados e submetidos a tensão de saída ( $v_o$ ).

No estado topológico seguinte, os transistores  $S_1$  e  $S_2$  são comandados a pararem de conduzir. A tensão  $v_{ab}$  é o dobro da tensão de saída  $v_{ab} = 2v_o$ . Nesta condição, os capacitores  $C_1$  e  $C_o$  são conectados em série com a carga. O transistor  $S_1$  bloqueia o dobro da tensão de saída ( $2v_o$ ), ao passo que o transistor  $S_2$  e o  $D_7$  estão bloqueados e submetidos a própria tensão de saída. O transistor  $S_1$  bloqueia o dobro da tensão de saída, ao passo que o transistor  $S_2$  bloqueia a própria tensão de saída. A operação durante o semiciclo negativo é análoga e, portanto, não será apresentada. Considera-se nesta análise que todas as capacitâncias são suficientemente grandes para reter a tensão durante um período de comutação, além disso a frequência de comutação é muito superior a frequência da rede elétrica.

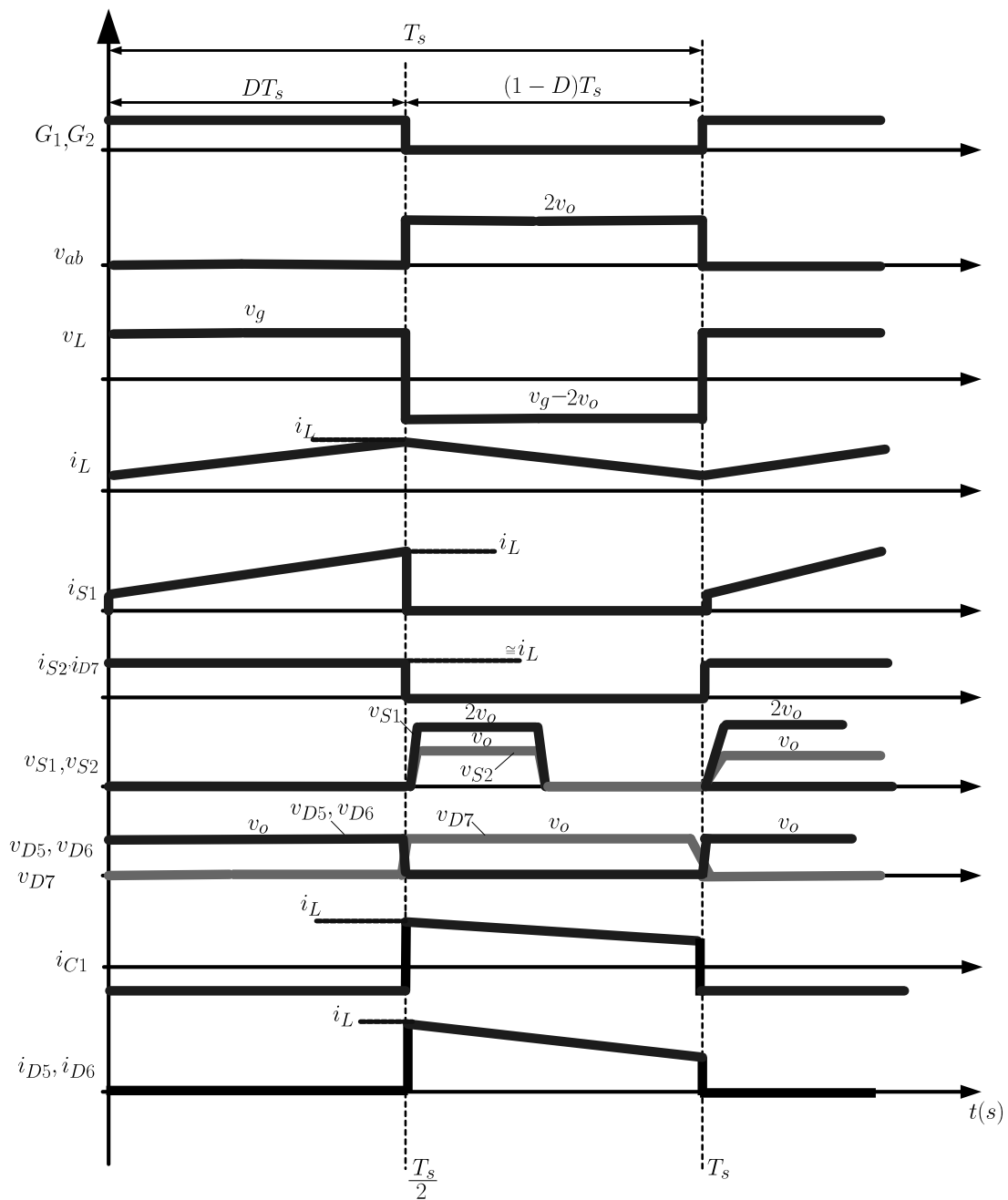
Os estados topológicos da topologia proposta, variação topológica 1, são apresentados na Figura 40, para as condições de condução e de bloqueio dos transistores, respectivamente. Conforme D'amico (2019), a análise por meio do modelo em Espaços de Estados pode ser feita para calcular as expressões das variáveis de estado, que são: a corrente no indutor de entrada ( $i_L$ ), a tensão no capacitor  $C_1$  ( $v_{C1}$ ), a tensão no capacitor  $C_o$  ( $v_{Co}$ ), conforme (9), desprezando-se a resistência intrínseca do capacitor  $C_1$  ( $r_c$ ). O  $R$  é a resistência de carga,  $D$  é a razão cíclica média,  $V_p$  é o valor de pico da tensão de entrada.

**Figura 38 - Retificador Boost PFC monofásico com célula a capacitor chaveado para redução do ganho estático mínimo**



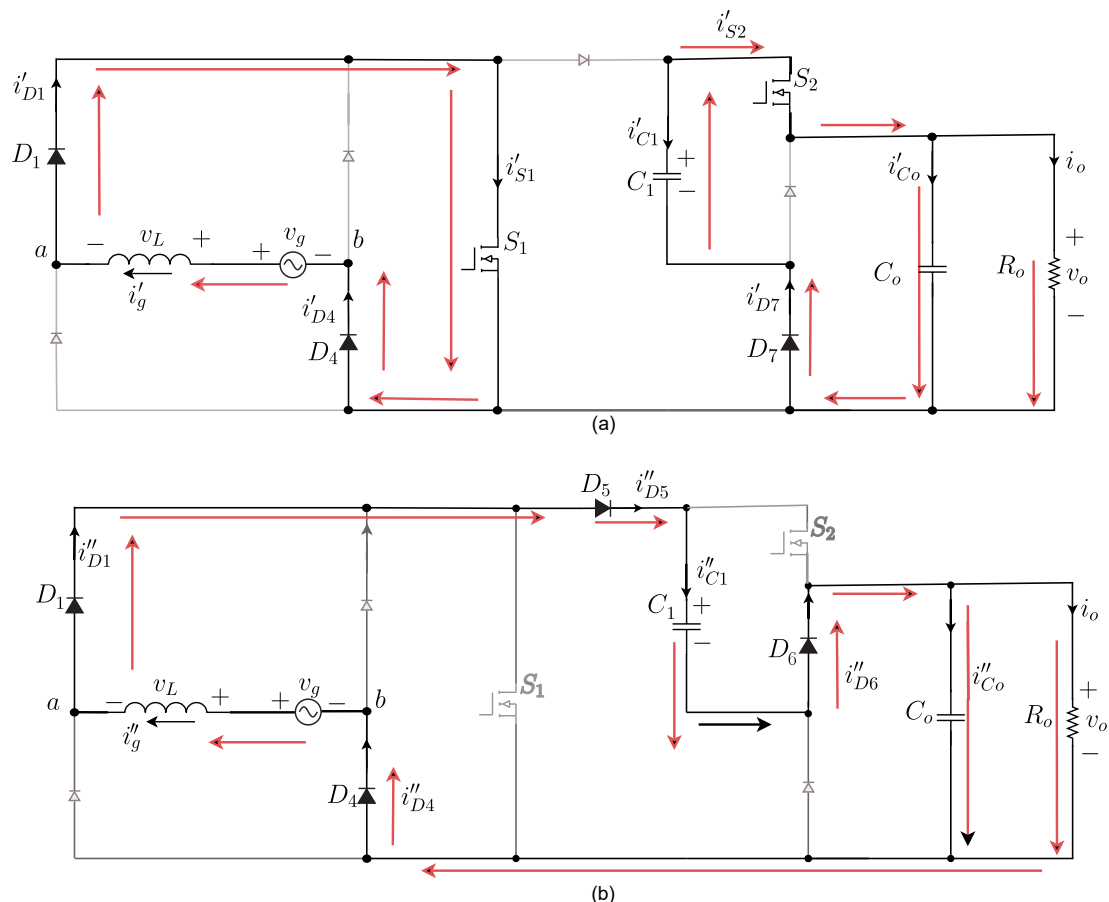
Fonte: Adaptado de Campos et al. (2023).

**Figura 39 – Esboço das formas de onda referente aos estados topológicos do retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático (fora de escala)**



Fonte: Autoria própria.

**Figura 40 - Estados topológicos do retificador PFC a capacitor chaveado híbrido e com redução do ganho estático**



Fonte: Campos et al. (2023)

$$\begin{bmatrix} i_L \\ v_{C1} \\ v_{C_o} \end{bmatrix} = \begin{bmatrix} \frac{V_p}{4RD^2 - 8RD + 4R} \\ -\frac{V_p}{2D-2} \\ -\frac{V_p}{2D-2} \end{bmatrix} \quad (9)$$

### 4.3 Primeiro estado topológico

O primeiro estado topológico foi ilustrado na Figura 40, item (a), quando os transistores  $S_1$  e  $S_2$  estão conduzindo e há o armazenamento de energia pelos indutores, ao passo que a carga é suprida pelos capacitores  $C_1$  e  $C_o$ , que estão em paralelo. A Equação 10 apresenta os esforços de corrente.

$$\left\{ \begin{array}{l} i'_{C1} = \frac{i_g(d-1)}{d} \\ i'_{Co} = \frac{i_g(d-1)(2d-1)}{d} \\ i'_{S1} = i_g \\ i'_{S2} = \frac{i_g(d-1)}{d} \\ i'_{D1} = i'_{D4} = i_g \\ i'_{D2} = i'_{D3} = i_g \\ i'_{D5} = i'_{D6} = 0 \\ i'_{D7} = \frac{i_g(d-1)}{d} \end{array} \right. \quad (10)$$

#### 4.4 Segundo estado topológico

O segundo estado topológico foi ilustrado na Figura 40, item (b), quando os transistores  $S_1$  e  $S_2$  estão bloqueados e há a transferência de energia dos indutores para os capacitores, ao passo que os capacitores  $C_1$  e  $C_o$  são recarregados e estão em série com a carga. A Equação 11 apresenta os esforços de corrente.

$$\left\{ \begin{array}{l} i''_{C1} = i_g \\ i''_{Co} = i_g(2d-1) \\ i''_{S1} = 0 \\ i''_{S2} = 0 \\ i''_{D1} = i''_{D4} = i_g \\ i''_{D2} = i''_{D3} = i_g \\ i''_{D5} = i''_{D6} = i_g \\ i''_{D7} = 0 \end{array} \right. \quad (11)$$

#### 4.5 Ganho estático

Na análise que se segue quanto ao ganho estático, que representa a razão entre a tensão de saída e a tensão de entrada, bem como nas análises de ondulação de corrente no indutor e ondulação de tensão no capacitor, são feitas as seguintes considerações: (a) o conversor proposto opera no CCM; (b) todos os componentes são ideais; (c) as capacitâncias são suficientemente grandes para manter a tensão constante num período de comutação; (d) a frequência de comutação,  $f_s$  é suficientemente maior que a frequência da rede elétrica que alimenta a entrada do conversor, ou seja, as grandezas como a tensão de entrada,  $v_g$ , e a razão cíclica,  $d$ , são aproximadamente constantes num período de comutação e são definidas conforme (12) e (13).

$$v_g = V_p \cdot \text{sen}(\omega t) \quad (12)$$

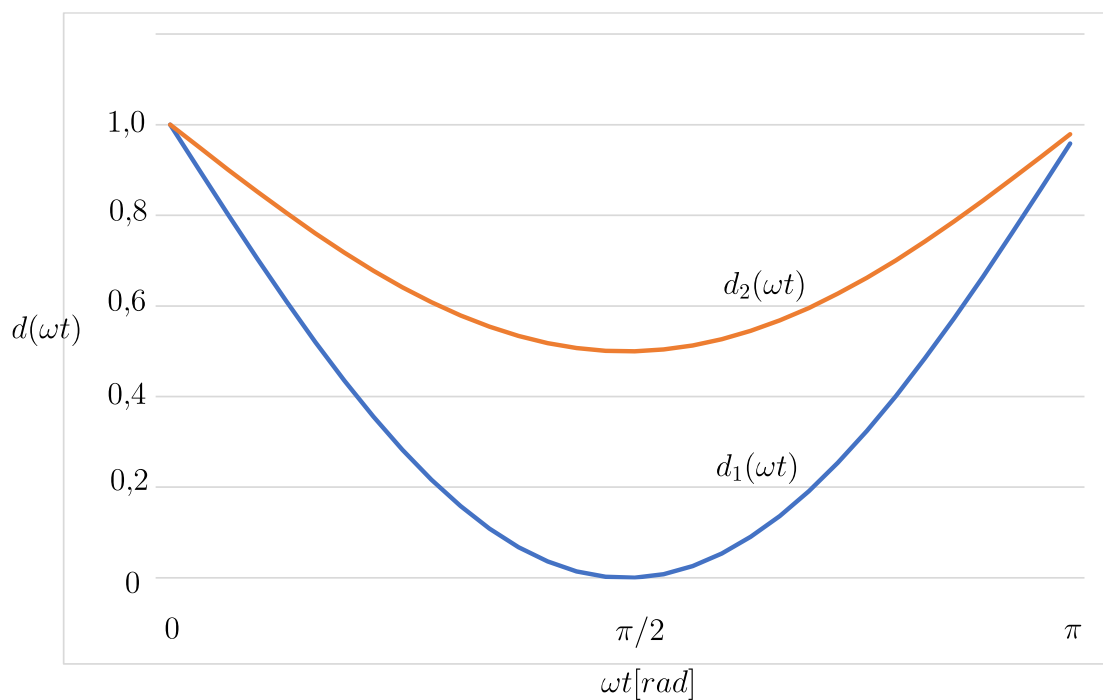
$$d = 1 - M \cdot |\text{sen}(\omega t)| \quad (13)$$

O índice de modulação equivalente ( $M$ ) é definido conforme (14), e ao se avaliar a forma de onda de tensão sobre o indutor ( $v_L$ ) em um período de comutação, vista na Figura 39, obtém-se a expressão de cálculo do ganho estático ( $G$ ) em (15). A partir disso, a menor tensão de saída é exatamente a metade do valor de pico da tensão de entrada, conforme dito em 593.6. A comparação entre a razão cíclica do retificador *Boost* PFC convencional,  $d_1(\omega t)$ , em relação ao *Boost* PFC proposto,  $d_2(\omega t)$ , é mostrada na Figura 41.

$$M = \frac{V_p}{2V_o} \quad (14)$$

$$G = \frac{V_o}{V_p} = \frac{1}{2} \frac{1}{1 - d(\omega t)} \quad (15)$$

**Figura 41 – Comparação entre a razão cíclica do conversor proposto ( $d_2$ ) e o do *Boost* PFC clássico ( $d_1$ )**



Fonte: Autoria própria.

#### 4.6 Ondulação de corrente no indutor de entrada

Para definir o cálculo do indutor de entrada utiliza-se a equação básica que relaciona a tensão do indutor com a variação de corrente ( $\Delta i_L$ ), e apresenta a constante de proporcionalidade que é a indutância ( $L$ ). Esta equação pode ser manipulada algebricamente, isolando o termo  $\Delta i_L$  e considerando a primeira etapa em que os transistores estão conduzindo ( $t_{on}$ ) e a tensão sobre o indutor é igual a tensão de entrada ( $v_g$ ) que resulta em (16). O intervalo de tempo  $t_{on}$  é calculado conforme

(17). Então, fazendo as substituições e simplificações, obtém-se (18), que define a ondulação de corrente no indutor parametrizada.

Deriva-se a expressão e iguala-se a zero com a finalidade de calcular o valor máximo de ondulação de corrente no indutor, conforme (19). A solução é  $\omega t = \arcsen(\frac{1}{2M})$  e  $\omega t = \frac{\pi}{2}$ . Desse modo, define-se a ondulação de corrente no indutor máxima parametrizada, conforme (20). Por fim, calcula-se a indutância de projeto com base em (21), e substituindo (20) em (21) obtém-se o método para definir a indutância de projeto para este conversor em (22).

$$\Delta i_L = \frac{1}{L} \int_0^{t_{on}} v_g dt \quad (16)$$

$$t_{on} = d(\omega t) \cdot T_s \quad (17)$$

$$\overline{\Delta i_L} = \frac{L \cdot \Delta i_L}{V_p \cdot T_s} = \text{sen}(\omega t) - M \cdot (\text{sen}(\omega t))^2 \quad (18)$$

$$\frac{d\overline{\Delta i_L}}{d\omega t} = V_p \cos(\omega t)(1 - M \text{sen}(\omega t)) - V_p \text{sen}(\omega t) M \cos(\omega t) = 0 \quad (19)$$

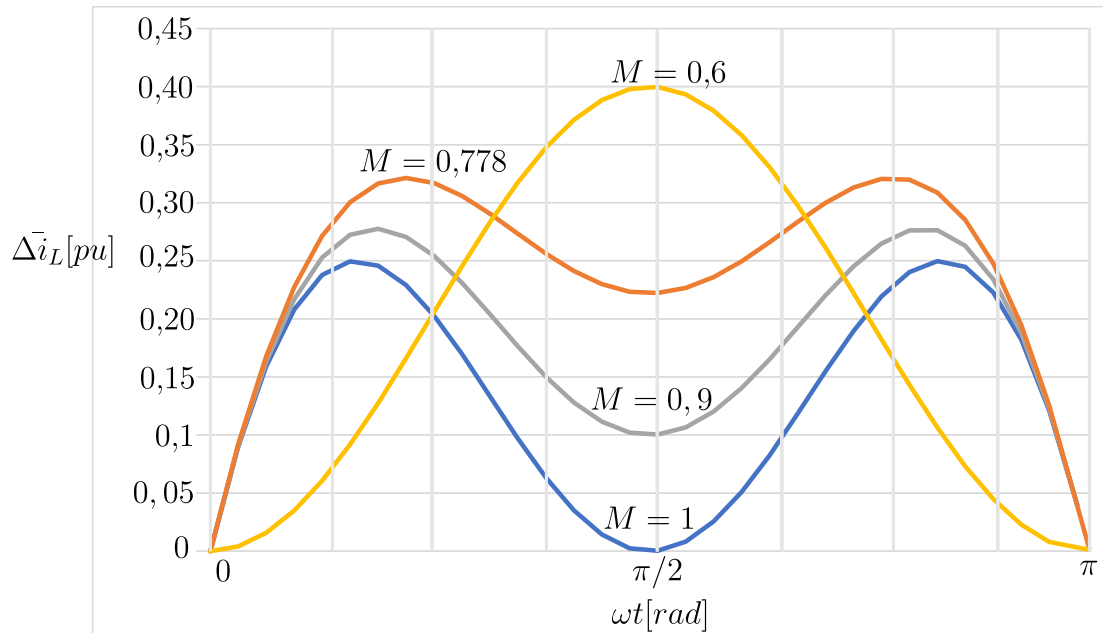
$$\overline{\Delta i_{L_{\max}}} = \text{sen}\left(\arcsen\left(\frac{1}{2M}\right)\right) - M \cdot \left(\text{sen}\left(\arcsen\left(\frac{1}{2M}\right)\right)\right)^2 = \frac{1}{4M} \quad (20)$$

$$L = \frac{V_p \cdot T_s \cdot \overline{\Delta i_{L_{\max}}}}{\Delta i_L} \quad (21)$$

$$L = \frac{V_p}{4 \cdot M \cdot f_s \cdot \Delta i_L} \quad (22)$$

O gráfico da ondulação de corrente parametrizada ( $\overline{\Delta i_L}$ ) em função do  $\omega t$  é apresentado na Figura 42. Conforme pode-se notar, o valor máximo de ondulação em  $\pi/2$  é mais elevado conforme o índice de modulação equivalente reduz. Além disso, a ondulação de corrente possui dois instantes máximos para índices de modulação equivalente entre 0,778 e 1, sendo próximos de  $\pi/8$  e  $7\pi/8$ . A fim de reduzir a ondulação de corrente no instante  $\pi/2$ , o que possibilita reduzir significativamente as perdas no núcleo do indutor, é conveniente utilizar índices de modulação equivalente iguais ou superiores a 0,8.

**Figura 42 – Ondulação de corrente parametrizada do indutor**



Fonte: Autoria própria.

#### 4.7 Ondulação de tensão no capacitor de saída

Em conversores PFC monofásicos tem-se a parcela oscilante de potência ativa, de modo que pode ser definida a capacitância de saída a partir do balanço de energia. Considera-se, idealmente, que não há perdas no conversor, logo a potência de entrada ( $P_i$ ) é igual a potência de saída ( $P_o$ ), de acordo com (23) e (24).

$$P_i = P_o \quad (23)$$

$$\frac{V_p \cdot I_p}{2} (\text{sen}(\omega t))^2 = V_o \cdot I_o \quad (24)$$

Ao realizar a substituição trigonométrica do lado esquerdo, tem-se duas parcelas, como em (25).

$$\frac{V_p \cdot I_p}{2} (1 - \cos(2\omega t)) = V_o \cdot I_o \quad (25)$$

Isolando a corrente de saída  $I_o$  tem-se (26).

$$I_o = \frac{V_p \cdot I_p}{2V_o} - \frac{V_p \cdot I_p}{2V_o} \cos(2\omega t) \quad (26)$$

A corrente de carga divide-se em duas parcelas, sendo uma constante absorvida pela carga e outra oscilante, absorvida pelo capacitor de barramento, que forma o barramento CC do conversor. A parcela oscilante é que causa a oscilação de tensão no capacitor, sendo usada para quantificar a ondulação de tensão no capacitor de saída, conforme (27).

$$i_{C_o} = \frac{V_p \cdot I_p}{2V_o} \cos(2\omega t) = \frac{P_o}{V_o} \cos(2\omega t) \quad (27)$$

Sabe-se que a tensão sobre o capacitor então é calculada em (28).

$$v_{C_o} = \frac{1}{C_o} \int i_{C_o} dt \quad (28)$$

Substituindo (27) em (28), tem-se (29) e (30).

$$v_{C_o} = \frac{P_o}{V_o \cdot C_o} \int \cos(2\omega t) dt \quad (29)$$

$$V_{C_o} = \frac{P_o \cdot \text{sen}(2\omega t)}{2 \cdot V_o \cdot C_o \cdot \omega} \quad (30)$$

A máxima tensão ocorre para  $\omega t = \frac{\pi}{4}$ , que resulta em (31) para a ondulação de tensão. Então pode-se definir a capacitância de saída do conversor mostrada em (32).

$$\Delta V_{C_o} = \frac{P_o}{2 \cdot V_o \cdot C_o \cdot 2\pi \cdot f_g} \quad (31)$$

$$C_o = \frac{P_o}{2 \cdot V_o \cdot \Delta v_{C_o} \cdot 2\pi \cdot f_g} \quad (32)$$

#### 4.8 Resumo dos esforços de corrente nos semicondutores e capacitores

A Tabela 4 apresenta o resumo dos esforços de corrente nos semicondutores e capacitores do conversor proposto na Figura 38, em valores eficazes, num período de comutação ( $T_s$ ) e num período da rede elétrica ( $T_g$ ). O desenvolvimento completo dos cálculos que resultam nestas equações está na seção de Apêndices, Apêndice A. A Figura 43 mostra os esforços de corrente em valores eficazes normalizados em função do índice de modulação equivalente M. Tem-se em (33) a expressão genérica para a normalização, ou seja, os valores eficazes (RMS) das correntes foram normalizados em relação aos valores de pico das correntes. Cabe ressaltar que a corrente dos capacitores chaveados foi tratada como linear, desprezando parcelas não lineares destas correntes.

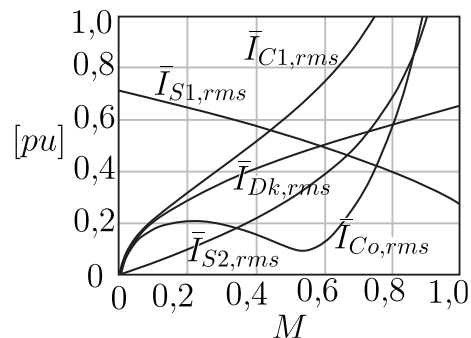
$$I_{\text{rms}} = \bar{I}_{\text{rms}} \cdot I_p \quad (33)$$

**Tabela 4 - Esforços de corrente em valores eficazes nos semicondutores e capacitores para operação PFC.  $\beta = \arctan\left(\frac{M}{\sqrt{1-M^2}}\right)$**

Comp. x	Valor RMS em T <sub>s</sub>	Valor RMS em T <sub>g</sub>
$C_1$	$I_p \sqrt{\frac{1-d}{d}}$	$\frac{\sqrt{2} \cdot I_p}{2\sqrt{\pi} \cdot M} \sqrt{-\frac{1}{\sqrt{-M^2+1}}} \left(-4\beta + (M^2\pi + 4M + 2\pi)\sqrt{-M^2+1} - 2\pi\right)$
$C_o$	$I_p \sqrt{-\frac{(d-1)(2d-1)^2}{d}}$	$\frac{\sqrt{2} \cdot I_p}{2\sqrt{\pi} \cdot M} \sqrt{-\frac{3}{\sqrt{-M^2+1}}} \left(\left(-\frac{4}{3}\beta + \left(M^4 + \frac{1}{3}M^2 + \frac{2}{3}\right)\pi + \frac{4}{3}M\right)\sqrt{-M^2+1} - \frac{2}{3}\pi\right)$
$S_1$	$\frac{V_p}{4R} \sqrt{\frac{d}{(d-1)^4}}$	$I_p \sqrt{\frac{3\pi - 8M}{6\pi}}$
$S_2, D_7$	$\frac{V_p}{4R} \sqrt{\frac{1}{d(d-1)^2}}$	$\frac{I_p \sqrt{6}}{6\sqrt{\pi} \cdot M} \sqrt{-\frac{8}{\sqrt{-M^2+1}}} \left(-\frac{3}{2}\beta + \left(M^3 + \frac{3}{8}M^2\pi + \frac{3}{2}M + \frac{3}{4}\pi\right)\sqrt{-M^2+1} - \frac{3}{4}\pi\right)$
$D_5, D_6$	$\frac{V_p}{4R} \sqrt{-\frac{1}{(D-1)^3}}$	$I_p \sqrt{\frac{4M}{3\pi}}$
$D_1, D_2, D_3, D_4$	$\frac{V_p}{4R(d-1)^2}$	$\frac{I_p}{2}$

Fonte: Autoria própria.

**Figura 43 – Esforços de corrente em valores eficazes normalizados em função do índice de modulação equivalente M**



Fonte: Adaptado de CAMPOS et al. (2023).

#### 4.9 Modelagem e controle

Os objetivos são descrever a estratégia de controle e os procedimentos para obtenção das funções de transferência que relacionam as grandezas que são controladas. A operação deste conversor, que incorpora a célula a capacitor chaveado para a redução do ganho estático, ocorre em CCM. A corrente senoidal no indutor de entrada é obtida através da modulação por largura de pulso (PWM), ajustando-se a razão cíclica. Deste modo, é necessária uma malha de controle da corrente no indutor de entrada e uma outra malha de controle, mais lenta, que é necessária para controlar a tensão no barramento CC do conversor. Esta estratégia de controle utiliza, portanto, a medição da corrente no indutor ( $i_g$  ou  $i_L$ ), a medição da tensão de saída ( $v_o$ ) e a medição da tensão de entrada ( $v_g$ ). A partir da medição de  $v_g$  é possível utilizar a

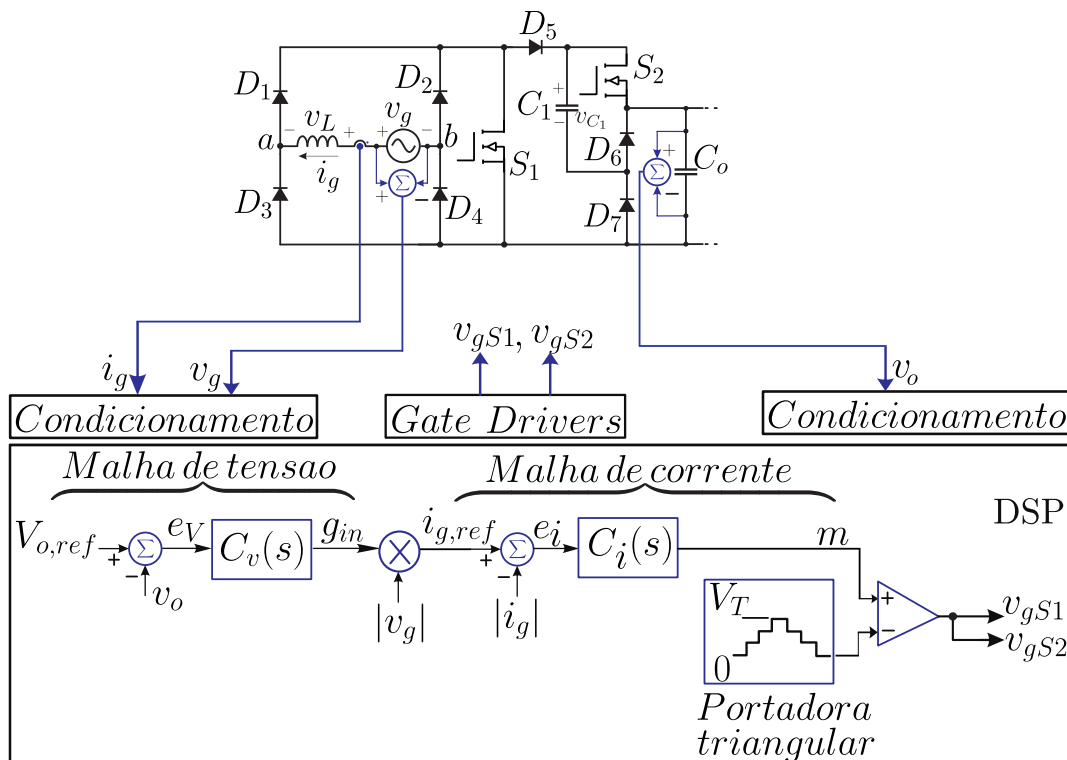
estratégia *feedforward* juntamente com a malha de controle de corrente, possibilitando acelerar a resposta do sistema de controle. O projeto dos ganhos dos compensadores de corrente e tensão emprega o método de resposta em frequência via diagrama de Bode, visando a obtenção de erro nulo em regime permanente e uma resposta subamortecida (OGATA, 2009; NISE, 2017).

#### 4.9.1 Estratégia de controle

Na Figura 44 pode-se ver as grandezas que são medidas para o sistema de controle do conversor proposto. Na Figura 45 é apresentado o diagrama de blocos da estratégia de controle da corrente de entrada e da tensão de saída do conversor. Os parâmetros apresentados na Figura 45 são descritos na Tabela 5. A estratégia de controle consistiu, basicamente, em medir a tensão de saída do conversor ( $v_o$ ), comparar este valor com o valor de referência ( $V_{o,ref}$ ) e calcular o erro ( $e_v$ ). Este erro é multiplicado pelo compensador de tensão ( $C_v$ ), fornecendo na saída um valor de referência que pode ser multiplicado por um ganho unitário ou diferente do valor unitário ( $G_{nom}$ ), para se obter o valor de pico da corrente do indutor dividido pela tensão de entrada (denominada de condutância,  $g_{in}$ ). Ao multiplicar esse resultado pelo módulo da tensão de entrada ( $|v_g|$ ) obtém-se a referência de corrente ( $I_{g,ref}$ ), que é comparada com o módulo da corrente medida no indutor ( $|i_g|$ ), sendo calculado um erro de corrente ( $e_i$ ). Este erro é multiplicado pelo compensador de corrente ( $C_i$ ) e é adicionado a ação de *feedforward*, que é calculada de acordo com (34). Essa ação de *feedforward* resulta na aceleração da resposta da malha de controle de corrente. Para um valor de pico unitário na portadora triangular, o sinal modulante denominado “ $m$ ” é a própria razão cíclica do conversor, apresentada em (13). O bloco de *PWM*, representado pelo amplificador comparador, gerará os sinais de modulação *PWM* para acionar os transistores ( $S_1$  e  $S_2$ ). Esse processo, resumidamente, consiste na comparação do sinal “ $m$ ” (sinal modulante) com a portadora (pode ser denominada de sinal modulador). Na prática, torna-se necessário outro bloco, denominado circuito de *gate-driver*, que é responsável por ajustar a amplitude da corrente e da tensão de forma a atingir as especificações de operação dos transistores na região não linear.

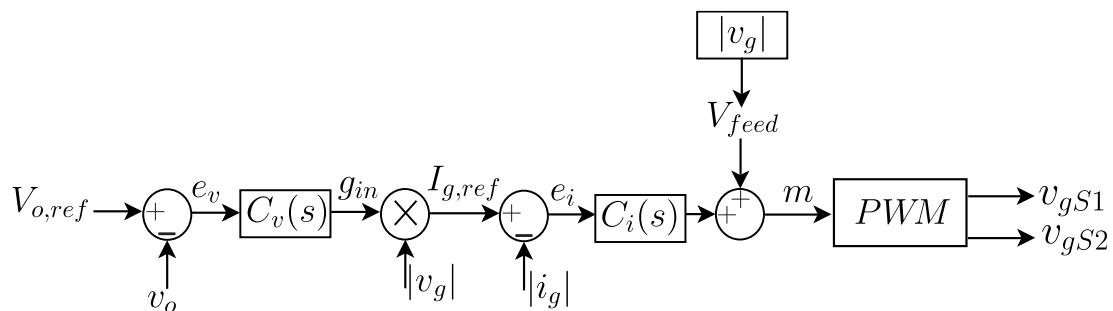
$$v_{feed} = 1 - \frac{|v_g|}{2 \cdot v_o} \quad (34)$$

**Figura 44 - Estrutura básica do conversor CA-CC para a implementação da estratégia de controle**



Fonte: Autoria própria.

**Figura 45 – Diagrama de blocos para a estratégia de controle da tensão e da corrente do conversor proposto**



Fonte: Autoria própria.

A estratégia de controle descrita acima pode ser aplicada de maneira idêntica para o controle de retificadores *Boost* PFC convencionais, utilizando o cascadeamento de malhas de controle, sendo uma malha de controle interna para a corrente de entrada, ao passo que a malha de controle externa é responsável pelo controle da tensão de saída.

**Tabela 5 – Parâmetros do diagrama de blocos do sistema de controle da topologia proposta 1**

Parâmetro	Descrição
$V_{o,ref}$	Valor de referência da tensão de saída
$v_o$	Tensão de saída medida em paralelo ao capacitor $C_o$
$e_v$	Erro da malha de tensão
$C_v$	Compensador de tensão
$G_{nom}$	Ajuste de ganho da saída do compensador de tensão
$g_{in}$	Condutância de entrada
$ v_g $	Valor absoluto da tensão de entrada
$I_{g,ref}$	Valor de referência da corrente de entrada
$ i_g $	Valor absoluto da corrente de entrada
$e_i$	Erro da malha de corrente
$C_i$	Compensador de corrente
$v_{feed}$	Ação de <i>feedforward</i> na malha de controle de corrente
$m$	Índice de modulação
$PWM$	Modulação por largura de pulso
$S_1$ e $S_2$	Sinais de comando para os transistores

**Fonte: Autoria própria.**

#### 4.9.2 Modelo por valores médios da corrente de entrada

A modelagem de pequenos sinais, linearizada e desprezando perturbações na entrada e saída, é utilizada para a obtenção da função de transferência da malha de corrente, dada por  $G_i(s)$ . A expressão do valor médio da tensão no indutor em um período de comutação é ilustrada em (35). As considerações em (36), (37) e (38) são necessárias para se obter (39), que ao desprezar os termos CC e CA de segunda ordem, além das perturbações na tensão de entrada e tensão de saída, obtém-se (40). Ao aplicar a Transformada de Laplace em (40) obtém-se a função de transferência em (41), que relaciona a corrente no indutor ( $i_L$ ) com a razão cíclica do conversor ( $d$ ).

$$L \cdot \frac{d}{dt} \langle (i_L(t)) \rangle_{T_s} = d(t) \cdot V_{in} + (1-d(t))(V_{in} - 2V_o) \quad (35)$$

$$\langle i_L(t) \rangle_{T_s} = I_L + i_L \tilde{(t)} \quad (36)$$

$$\langle v_o(t) \rangle_{T_s} = V_o + v_o \tilde{(t)} \quad (37)$$

$$d(t) = D + \tilde{d}(t) \quad (38)$$

$$L \cdot \frac{d}{dt}(I_L + \tilde{i}_L(t)) = (V_{in} + \tilde{v}_{in}(t)) - 2(1 - D - \tilde{d}(t))(V_o + \tilde{v}_o(t)) \quad (39)$$

$$L \cdot \frac{d\tilde{i}_L(t)}{dt} = 2\tilde{d}(t)V_o \quad (40)$$

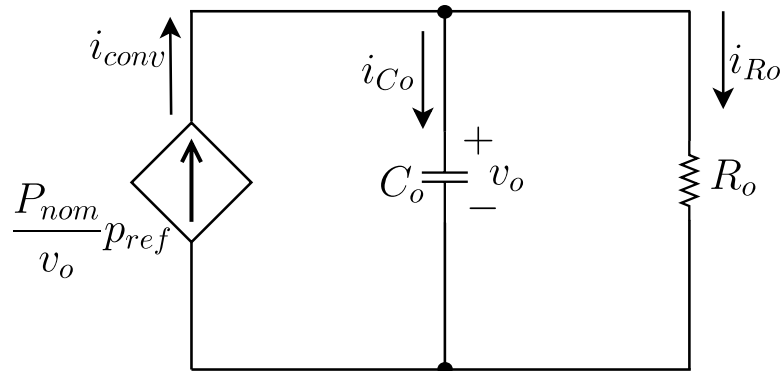
$$G_i(s) = \frac{\tilde{i}_L(s)}{\tilde{d}(s)} = \frac{2 \cdot V_o}{s \cdot L} \quad (41)$$

#### 4.9.3 Modelo por valores médios da tensão de saída

O modelo por valores médios para obter a função de transferência que relaciona a tensão de saída com a condutância do conversor foi desenvolvido conforme Lange (2012). A carga foi considerada puramente resistiva e o circuito equivalente para a modelagem do controle da tensão de saída é de acordo com a Figura 46. (42) representa a corrente no capacitor de saída  $C_o$ , sendo que a corrente  $i_{conv}$  é entregue pelo conversor ao barramento CC, sendo regulada a transferência de corrente (e de potência) através do parâmetro ( $p_{ref}$ ). Este parâmetro é a saída do compensador de tensão, sendo também denominado de condutância. O modelo parte de (43), realizando então as manipulações algébricas e a perturbação na tensão de saída ( $v_o$ ) e na condutância ( $p_{ref}$ ). (44) mostra o modelo utilizado, ao passo que (45) mostra a função de transferência no domínio da frequência, tendo aplicado a transformada de Laplace desprezando as condições iniciais e eliminando os termos constantes e os de ordem superior a 1.

A fase e o ganho são obtidos a partir do diagrama de bode do sistema sem o compensador (Figura 47) e, posteriormente, com o compensador (Figura 48), conforme a equação 41 e a equação 45, considerando a função de transferência equivalente de laço aberto simplificada para a tensão (OGATA, 2009; NISE, 2017; LANGE, 2012). Foi utilizado o software Matlab para gerar os diagramas de Bode. A frequência de cruzamento escolhida neste projeto foi igual a 10 Hz. Por fim, é gerada a curva da resposta ao degrau unitário do sistema compensado na Figura 49, mostrando que atingiu o valor unitário em regime permanente e, portanto, o sistema é estável.

**Figura 46 – Circuito equivalente para modelagem do controle da tensão de saída com carga resistiva e controle da corrente por valores médios.**



**Fonte: Adaptado de Lange (2012).**

$$i_{C_o} = i_{conv} - i_{R_o} = C_o \frac{dv_o}{dt} \quad (42)$$

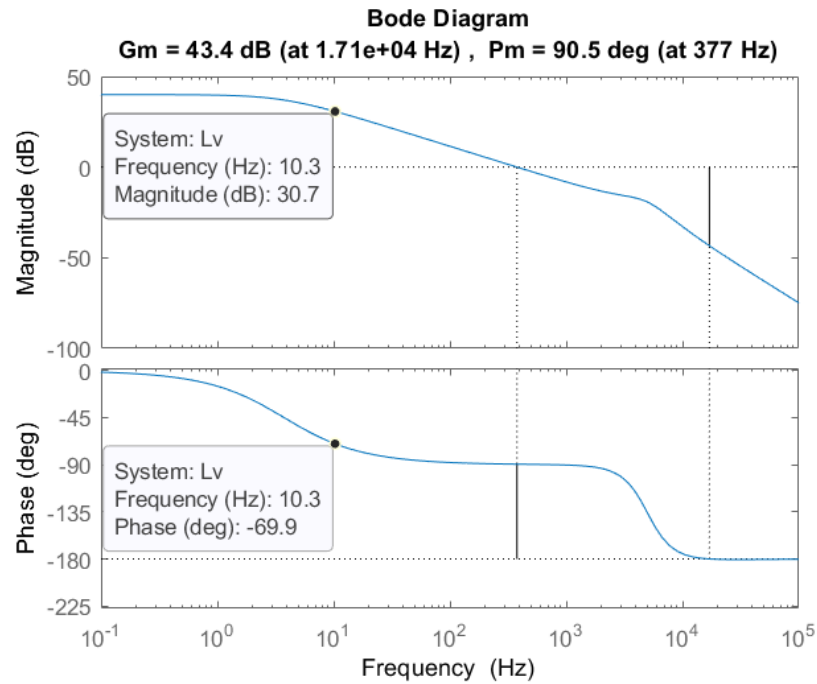
$$C_o \frac{dv_o}{dt} = \frac{P_{nom}}{v_o} p_{ref} - \frac{v_o}{R_o} \quad (43)$$

$$V_o \frac{d\tilde{v}_o(t)}{dt} = \frac{P_{nom}}{C_o} \tilde{p}_{ref}(t) - \frac{2V_o}{C_o R_o} \tilde{v}_o(t) \quad (44)$$

$$G_{v_o}(s) = \frac{\tilde{v}_o(s)}{\tilde{g}_{in}(s)} = \frac{P \cdot R_o}{V_o} \cdot \frac{1}{R_o(C_o + C_1)s + 2} \quad (45)$$

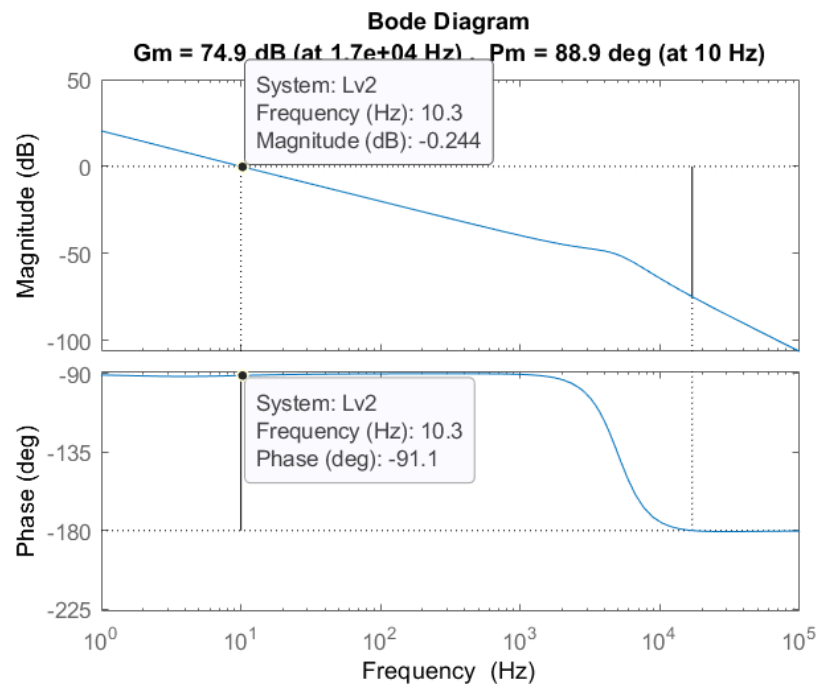
**Figura 47 – Diagrama de bode do sistema equivalente para a malha de tensão em laço aberto sem o compensador de tensão. Ganho estimado de 30,7 dB e fase de -69,9 graus.**

**Margem de fase de 90,5 graus.**



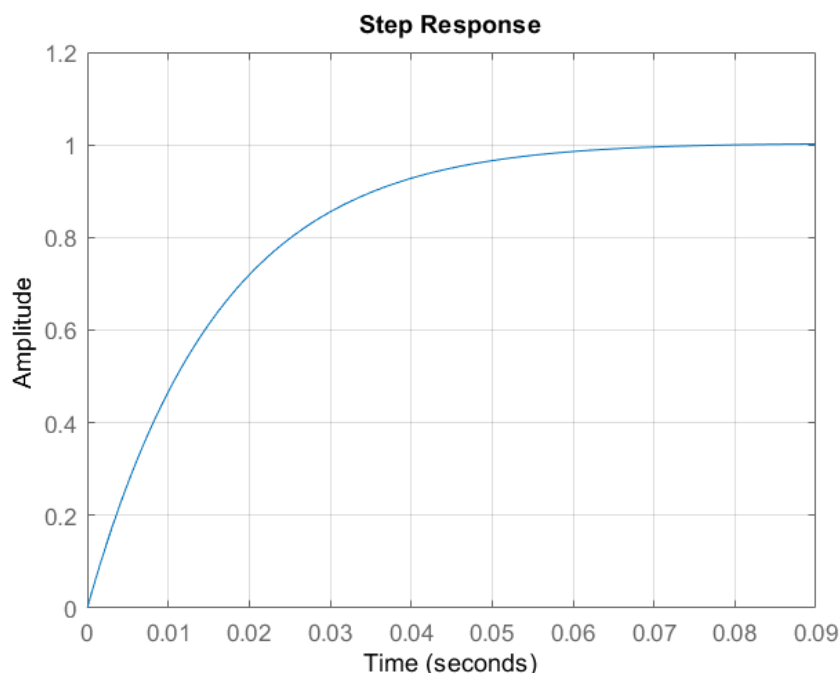
**Fonte: Autoria própria.**

**Figura 48 – Diagrama de bode do sistema equivalente para a malha de tensão em laço aberto com o compensador de tensão. Ganho estimado em 0 dB e margem de fase de 88,9 graus (frequência de cruzamento: 10 Hz).**



**Fonte: Autoria própria.**

**Figura 49 – Resposta a entrada em degrau unitário do sistema equivalente para a malha de tensão em laço aberto com o compensador de tensão.**



**Fonte: Autoria própria.**

#### 4.9.4 Considerações acerca dos parâmetros do controlador

A implementação através do controle clássico pode ser feita, a fim de determinar o ganho proporcional ( $K_p$ ) e o ganho integrativo ( $K_i$ ) (ou a constante de tempo integrativa,  $T_i$ ), em se tratando de um compensador do tipo proporcional-integral (PI) (LANGE, 2012; ANGÉLICO; CAMPANHOL; SILVA, 2014). São necessárias duas malhas de controle, uma externa e com dinâmica mais lenta para o controle da tensão do barramento CC, ao passo que a outra malha interna tem dinâmica mais rápida e destina-se ao controle de corrente no indutor de entrada. A malha externa de controle da tensão de barramento gera a referência para a malha interna de controle de corrente.

#### 4.10 Definições de projeto

Os parâmetros do protótipo desenvolvido, que foram aplicados nas simulações também, são apresentados na Tabela 6. O dimensionamento inicial deste protótipo foi estabelecido para a potência nominal de 1 kW. Contudo, adotou-se uma margem de sobredimensionamento de 100% (2 kW), de modo que ao obter os resultados experimentais e traçar a curva de rendimento foi possível extrapolar a potência de 1 kW, afim de verificar o ponto de inflexão da curva, quando o rendimento é reduzido em relação ao ponto anterior.

A Tabela 7 mostra as especificações dos componentes do protótipo. A escolha de componentes se deu a partir dos cálculos e simulações de esforços de corrente e tensão, bem como da disponibilidade de componentes no laboratório em que o protótipo foi ensaiado. O protótipo construído foi validado inicialmente no ponto de operação "A", considerando uma tensão de entrada igual a 127 V em valor eficaz. Posteriormente, a tensão de entrada foi elevada para 220 V em valor eficaz e novos ensaios foram feitos. Com a elevação da tensão de entrada, têm-se uma maior ondulação de corrente no indutor como se pode ver em (48) e (49). Para compensar a elevação da tensão de entrada foi utilizado um valor de indutância mais alto no ponto de operação "B", de tal modo que foram utilizados MOSFETs de mais baixa resistência em condução, além de diodos rápidos com menor queda de tensão em condução, tendo por objetivo obter maiores rendimentos. Com base nas discussões citadas em 3.4, visando a melhoria de rendimento, o ponto de operação "B" foi projetado para operar no modo Carga Parcial.

Com base na Tabela 6 e na Tabela 7 são calculados os parâmetros a seguir, considerando os pontos de operação "A" e "B": índices de modulação ( $M_A$  e  $M_B$ ), conforme (46) e (47); ondulações de corrente no indutor ( $\Delta i_{LA}$  e  $\Delta i_{LB}$ ), conforme (48) e (49); ondulações de tensão no capacitor ( $\Delta v_{CoA}$  e  $\Delta v_{CoB}$ ), conforme (50) e (51); bem como as constantes de tempo do circuito ( $\tau_A$  e  $\tau_B$ ), conforme (52) e (53).

**Tabela 6 - Parâmetros do protótipo: PFC Boost híbrido a capacitor chaveado com redução do ganho estático**

Parâmetro	Valor – ponto de operação "A"	Valor – ponto de operação "B"
Tensão de entrada: $V_{g,rms}$	127 V	220 V
Frequência de entrada: $f_g$	60 Hz	60 Hz
Valor de pico da corrente de entrada: $I_p$	11,14 A	12,86 A
Tensão de saída: $V_o$	100 V	200 V
Frequência de comutação: $f_s$	50 kHz	50 kHz
Potência de saída: $P_o$	1 kW	2 kW
Corrente de saída: $I_o$	10 A	10 A

**Fonte: Autoria própria.**

Ao comparar os resultados das constantes de tempo com o período de comutação do conversor, nota-se que no ponto de operação "A" tem-se o modo *no-charge*, ao passo que no ponto de operação "B" tem-se o modo *partial-charge* (a

constante de tempo do circuito é cerca de quatro vezes inferior ao período de comutação dos transistores). Também pode-se observar que o maior intervalo de comutação ocorre quando  $d = M \cdot T_s$ , tendo sido calculado conforme (54) e (55), de modo que a constante de tempo  $\tau_A$  não é inferior ao resultado em (54), representando o modo *no-charge*. Por outro lado, a constante de tempo  $\tau_B$  é inferior ao resultado em (55), assegurando uma tendência ao modo *partial-charge*.

**Tabela 7 – Componentes do protótipo: PFC Boost híbrido a capacitor chaveado com redução do ganho estático**

Componente	Descrição/valor – ponto de operação “A”	Descrição/valor – ponto de operação “B”
Indutor de entrada - $L$	Toroidal Magnetics – 338 $\mu$ H	Toroidal Magnetics – 658 $\mu$ H
Capacitor chaveado – $C_1$	Capacitor eletrolítico 2 x 1mF 250V - Suntan	Capacitor de filme 2 x 60 $\mu$ F 800 V - EPCOS
Capacitor de barramento – $C_o$	Capacitor eletrolítico 2 x 1mF 250V - Suntan	Capacitor eletrolítico 2 x 1mF 250V - Suntan
Transistores – $S_1$ e $S_2$	IPW65R019C7 700V/75A $r_{S,on} = 40$ m $\Omega$	IPW60R018C7 650V/101A $r_{S,on} = 29$ m $\Omega$
Diodos – $D_K \in 1 - 4$	MBR40250G – 250V/40A $r_{D,on} = 10$ m $\Omega$	MUR1560 – 600V/15A $r_{D,on} = 32$ m $\Omega$
Diodos – $D_J \in 5 - 7$	IDH16G65C5 – 650V/16A $r_{D,on} = 62$ m $\Omega$	MBR40250G – 250V/40A $r_{D,on} = 10$ m $\Omega$

**Fonte: Autoria própria.**

$$M_A = \frac{V_p}{2V_o} = \frac{\sqrt{2} \cdot 127}{2 \cdot 100} = 0,898 \quad (46)$$

$$M_B = \frac{V_p}{2V_o} = \frac{\sqrt{2} \cdot 220}{2 \cdot 200} = 0,778 \quad (47)$$

$$\Delta i_{LA} = \frac{V_p}{4 \cdot M_A \cdot f_s \cdot L_A} = \frac{\sqrt{2} \cdot 127}{4 \cdot 0,898 \cdot 50k \cdot 338\mu} \approx 2,96A \quad (48)$$

$$\Delta i_{LB} = \frac{V_p}{4 \cdot M_B \cdot f_s \cdot L_B} = \frac{\sqrt{2} \cdot 220}{4 \cdot 0,778 \cdot 50k \cdot 658\mu} \approx 3,04A \quad (49)$$

$$\Delta v_{C_{oA}} = \frac{P_o}{2 \cdot V_{oA} \cdot C_o \cdot 2\pi \cdot f_g} = \frac{1k}{2 \cdot 100 \cdot 2000\mu \cdot 2\pi \cdot 60} = 6,6V \quad (50)$$

$$\Delta v_{C_{oB}} = \frac{P_o}{2 \cdot V_{oB} \cdot C_o \cdot 2\pi \cdot f_g} = \frac{1k}{2 \cdot 200 \cdot 2000\mu \cdot 2\pi \cdot 60} = 3,3V \quad (51)$$

$$\tau_A = R_{eqA} \cdot C_1 = (r_{S,on}) \cdot C_1 = (40m\Omega) \cdot 2000\mu F = 0,08ms \quad (52)$$

$$\tau_B = R_{\text{eqB}} \cdot C_1 = (r_{S,\text{on}} + r_d) \cdot C_1 = (29\text{m}\Omega) \cdot 120\mu\text{F} = 0,0035\text{ms} \quad (53)$$

$$\frac{M_A}{f_s} = \frac{0,898}{50\text{k}} = 0,018\text{ms} \quad (54)$$

$$\frac{M_B}{f_s} = \frac{0,778}{50\text{k}} = 0,015\text{ms} \quad (55)$$

#### 4.10.1 Estimativa de perdas no conversor da variação topológica I

A estimativa das perdas é crucial no projeto de conversores de potência, permitindo a previsão do rendimento teórico e o dimensionamento de sistemas de dissipação e refrigeração. As perdas mais significativas ocorrem nos semicondutores (transistores e diodos) e nos elementos magnéticos (indutores e indutores acoplados). Nos semicondutores, as perdas são classificadas em: perdas por condução, resultantes do efeito Joule devido à passagem de corrente em resistências intrínsecas; e perdas por comutação, que emergem da superposição de tensão e corrente durante os transientes de comutação.

Adicionalmente, as perdas fixas, definidas conforme Cortez (2015), são perdas que independem da carga, tal como fontes auxiliares, circuitos de *gate-driver*, além da dissipação de energia nas capacitâncias intrínsecas dos semicondutores. Desse modo, serão apresentadas as perdas devido às capacitâncias intrínsecas dos transistores ( $S_1$  e  $S_2$ ) da topologia. Para a obtenção dos valores médios e eficazes das correntes foram utilizados resultados de simulação que serão mostrados na seção 4.11. Os cálculos foram feitos para os pontos de operação “A” e “B” da Tabela 6, bem como considerando os componentes da Tabela 7. Ao substituir os parâmetros dos componentes utilizados são obtidos os valores das perdas que serão apresentados na Tabela 8, que servirá de base para a estimativa do rendimento teórico.

##### 4.10.1.1 Perdas nos transistores $S_1$ e $S_2$

Os MOSFETs apresentam perdas por condução, de natureza resistiva, sendo calculada conforme (56), que pode ser desenvolvida com base no esforço de corrente apresentado na Tabela 4 para um período da rede elétrica. A perda por comutação nos transistores pode ser calculada, conforme Barbi (2014), em (57).

$$P_{S,\text{cond}} = R_{\text{DS(on),max}} \cdot I_{S,\text{ef}}^2 \quad (56)$$

$$P_{S,\text{com}} = \frac{V_{S,\text{pico}} \cdot I_{S,\text{comutacao}} \cdot f_s \cdot (t_{\text{on}} + t_{\text{off}})}{2} = \frac{V_{S,\text{pico}} \cdot I_L \cdot f_s \cdot (t_{\text{on}} + t_{\text{off}})}{2} \quad (57)$$

#### 4.10.1.2 Perda nos diodos

Os diodos, tanto os rápidos quanto os lentos, têm perdas por condução que podem ser calculadas com base em (58), que pode ser desenvolvida com base no esforço de corrente apresentado na Tabela 4 para um período da rede elétrica. As perdas por comutação podem ser desprezadas em baixas frequências (60 Hz) conforme (BARBI, 2014), e são significativamente minimizadas em altas frequências através do uso de diodos rápidos, podendo ser ignoradas para fins de cálculo deste projeto.

$$P_{D,cond} = V_F \cdot I_{D,med} \quad (58)$$

#### 4.10.1.3 Perdas no enrolamento de cobre do indutor de entrada

O indutor de entrada utilizado tem o núcleo toroidal sendo consideradas as perdas no enrolamento de cobre do indutor conforme (59). É considerada somente a resistência cc do enrolamento por se tratar de uma aplicação com baixa ondulação de corrente. As perdas no núcleo do indutor de entrada são muito menores em comparação as perdas nos enrolamentos, conforme Lange (2012) e Ortmann (2013), podendo ser desprezadas. Tal consideração é precisa quando se trata de ondulações de corrente limitadas a 15% em CCM.

$$P_{L,cond} = R_{L,cobre} \cdot I_{L,ef}^2 \quad (59)$$

#### 4.10.1.4 Perdas nos capacitores $C_1$ e $C_o$

Os capacitores têm uma resistência equivalente série, sendo a perda calculada com base em (60).

$$P_{C,cond} = R_{eqs,C} \cdot I_{C,ef}^2 \quad (60)$$

#### 4.10.1.5 Perdas fixas nos semicondutores

As perdas consideradas fixas se referem a presença de capacitâncias intrínsecas nos semicondutores, resultando na dissipação de energia nestes componentes. Assim sendo, o cálculo das perdas fixas é com base em (61), em que o parâmetro  $E_{oss}$  é extraído da folha de dados do fabricante (quando disponível).

$$P_{oss} = E_{oss} \cdot f_s \quad (61)$$

#### 4.10.1.6 Rendimento teórico

A Tabela 8 resume as perdas totais estimadas no conversor. Pode-se, então, estimar o rendimento com base em (62), que resulta em 93,4% e 94,65%, para os

pontos de operação “A” e “B”, respectivamente. Ressalta-se que nesta estimativa foi utilizada a resistência máxima de condução dos transistores, que se dá quando a temperatura é de cerca de 150 °C. A Figura 50 mostra a distribuição das perdas para este conversor, sendo possível constatar uma significativa redução de perdas nos diodos da célula a capacitor chaveado no ponto de operação “B” em relação ao ponto “A”. Por outro lado, os tempos de entrada em condução e bloqueio no transistor utilizado no ponto de operação “B” implicaram em maiores perdas por comutação. Os cálculos contendo os parâmetros dos componentes utilizados são apresentados na seção de Apêndices, Apêndice A e Apêndice B. A potência de saída considerada neste cálculo foi obtida através de simulação computacional, apresentada na seção 4.11. Na Figura 51 é visto o rendimento teórico do conversor proposto no ponto de operação “A”, que atingiu um valor máximo de 94,15% com potência de saída 780,9 W, ao passo que o rendimento teórico da Figura 52 mostrou um valor máximo de 94,91% para 556 W.

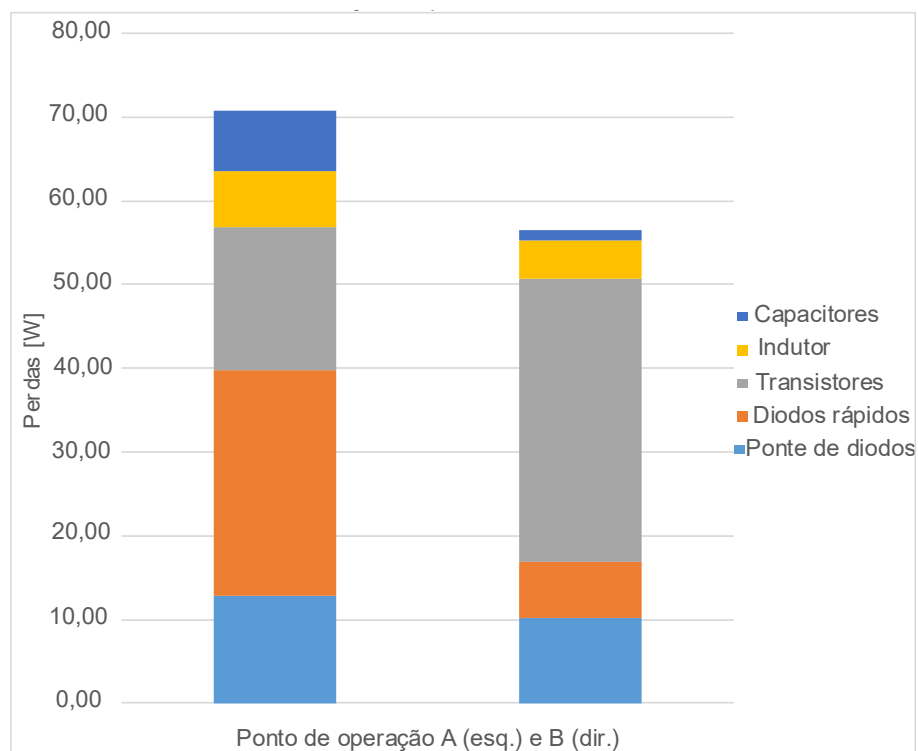
**Tabela 8 – Estimativa de perdas do retificador Boost PFC híbrido a capacitor chaveado com redução do ganho estático em carga de 1 kW.**

Componente	Perdas (W)	
	A	B
Ponte de diodos	12,8	10,18
Diodos rápidos	26,89	6,68
Transistores	17,08	33,79
Indutor de entrada L	6,82	4,69
Capacitores	7,1	1,2
Perdas totais	70,68	56,54

**Fonte: Autoria própria.**

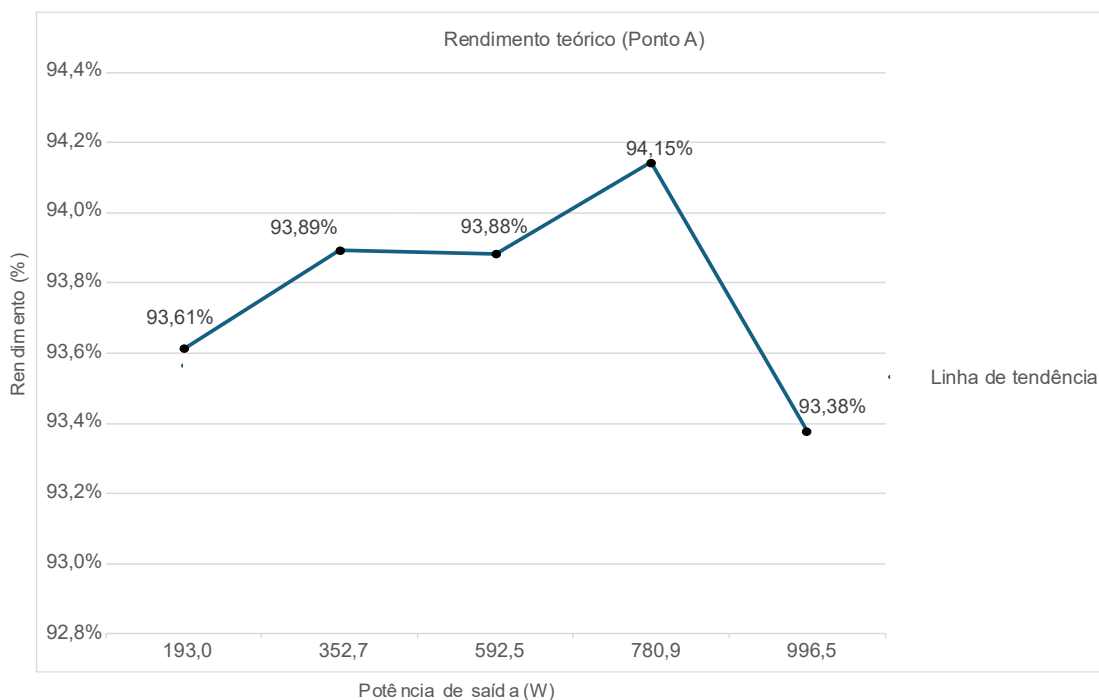
$$\eta = \frac{P_o}{P_o + P_{perda}} \quad (62)$$

**Figura 50 – Distribuição estimada de perdas do retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático em carga de 1 kW**



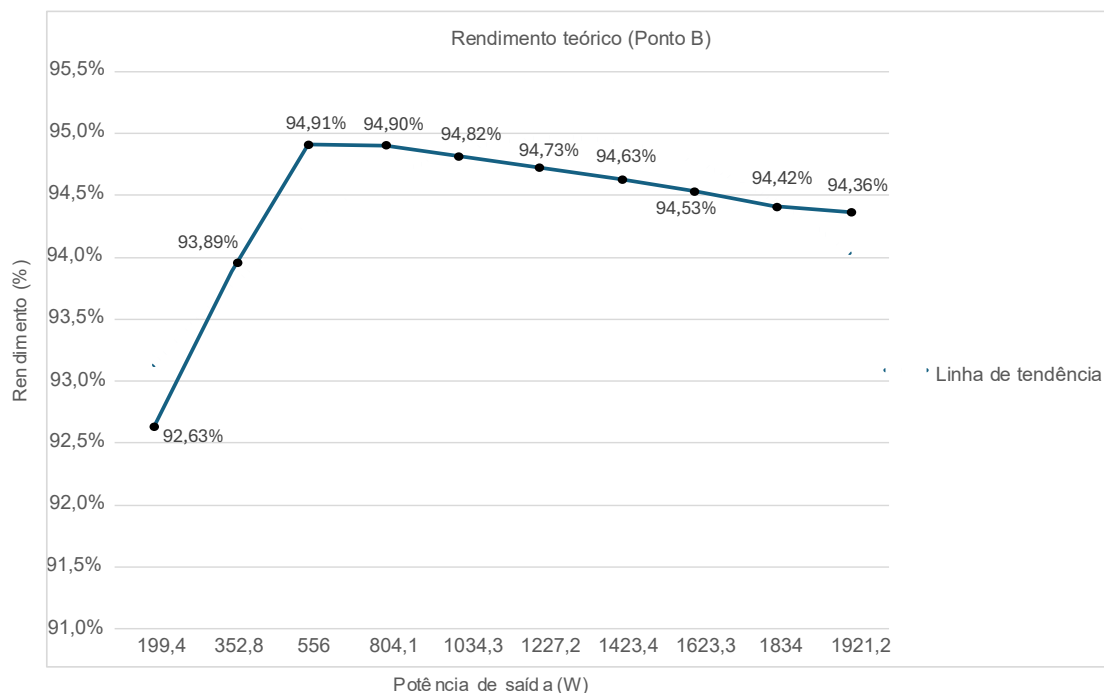
Fonte: Autoria própria.

**Figura 51 - Curva de rendimento teórico do retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático: operação no ponto A**



Fonte: Autoria própria.

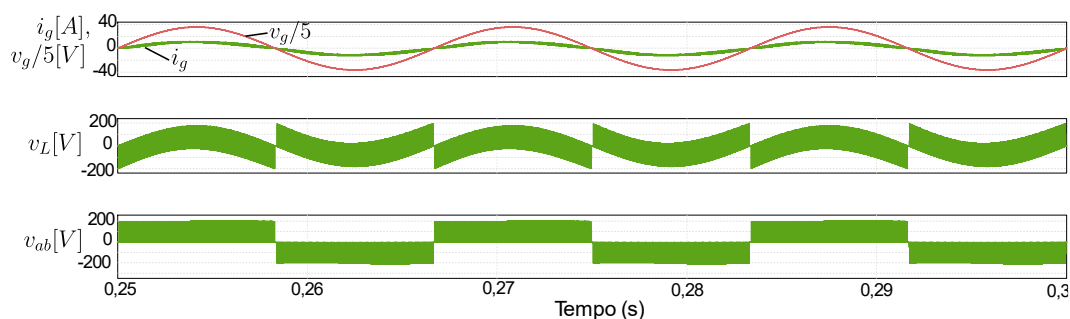
**Figura 52 - Curva de rendimento teórico do retificador Boost PFC híbrido a capacitor chaveado com redução do ganho estático: operação no ponto B**



#### 4.11 Resultados de simulação

As simulações foram feitas utilizando o software PSIM, versão 2022, utilizando como dados de entrada a Tabela 6 e a Tabela 7. As simulações foram feitas com o conversor operando em potência nominal, tendo sido optado por apresentar resultados de simulação no ponto de operação “A”, exceto quando explicitado o ponto de operação “B”. Os resultados são do conversor operando em malha fechada com o controle da tensão de saída e corrente de entrada. A Figura 53 mostra a tensão e a corrente de entrada ( $v_g$  e  $i_g$ ), a tensão sobre o indutor ( $v_L$ ) e a tensão comutada do conversor ( $v_{ab}$ ). Pelo resultado pode-se perceber um elevado fator de potência de entrada, bem como a operação em dois níveis deste conversor.

**Figura 53 – Resultados de simulação em regime permanente com carga de 1 kW: tensão e corrente de entrada ( $i_g$  e  $v_g$ ); tensão sobre o indutor de entrada ( $v_L$ ); tensão comutada do conversor ( $v_{ab}$ )**



**Fonte: Autoria própria.**

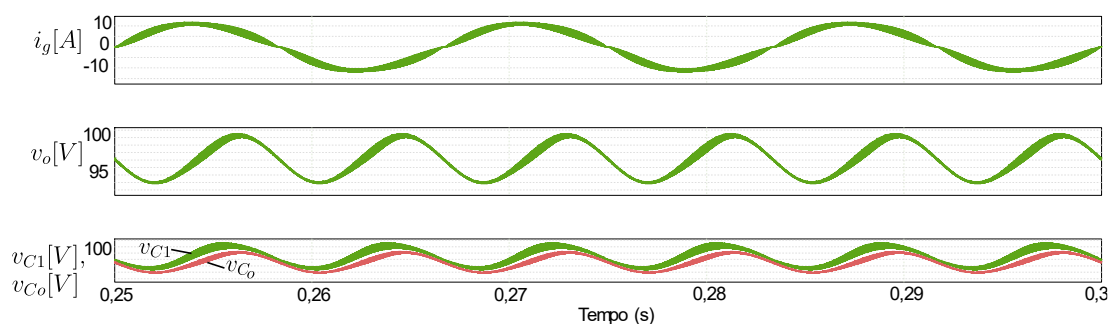
A Figura 54 mostra a corrente de entrada, a tensão de saída e as tensões nos capacitores  $C_1$  e  $C_o$ . A Figura 55 apresenta as correntes nos transistores  $S_1$  e  $S_2$ , bem como nos capacitores  $C_1$  e  $C_o$ .

Em relação aos degraus de carga para validar o sistema de controle, optou-se por apresentar resultados de simulação no ponto de operação “B”. A Figura 56 mostra a resposta transitória da tensão de saída mediante a um degrau de carga, de 50% para 100%, comprovando o funcionamento da malha de controle que atingiu o valor de referência da tensão de saída, que é igual a 200 V neste ponto de operação. A Figura 57 mostra a resposta transitória da tensão de saída mediante um degrau de carga, de 100% para 50%.

Por fim, na Figura 58 pode-se ver a comutação dissipativa presente nos transistores  $S_1$  e  $S_2$ , ao passo que na Figura 59 pode-se constatar a comutação dissipativa nos diodos  $D_5$  e  $D_6$ , ambas as figuras para o ponto de operação “A”.

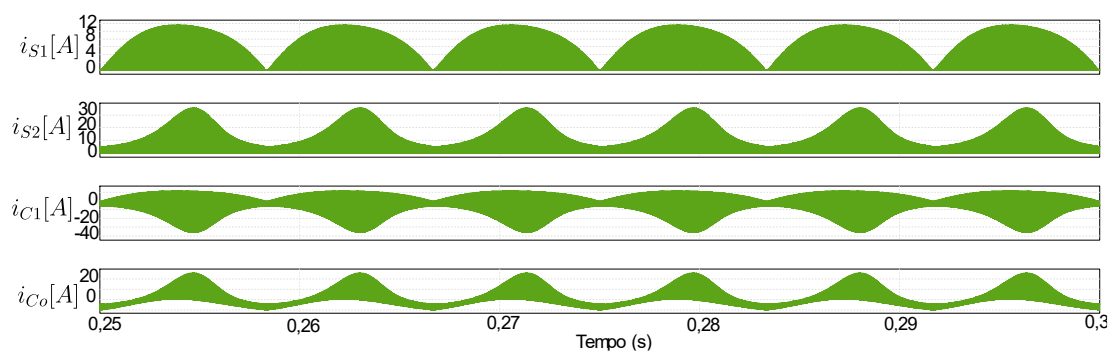
Para a aplicação do modelo matemático desenvolvido para o cálculo dos esforços de correntes também se optou pelos resultados envolvendo o ponto de operação “B”, que opera no modo *partial-charge* e, portanto, apresenta variação na corrente do capacitor chaveado. Ao se observar a Tabela 9, nota-se que o modelo matemático para esforços de corrente resultou em boas estimativas das correntes eficazes nos semicondutores (diodos e transistores) e capacitores, mesmo tendo sido feita uma simplificação que desprezou termos não lineares e a ondulação de 120 Hz no barramento CC do retificador.

**Figura 54 - Resultados de simulação em regime permanente com carga de 1 kW: corrente de entrada ( $i_g$ ); tensão de saída ( $v_o$ ); tensões sobre os capacitores ( $v_{C1}$  e  $v_{Co}$ )**



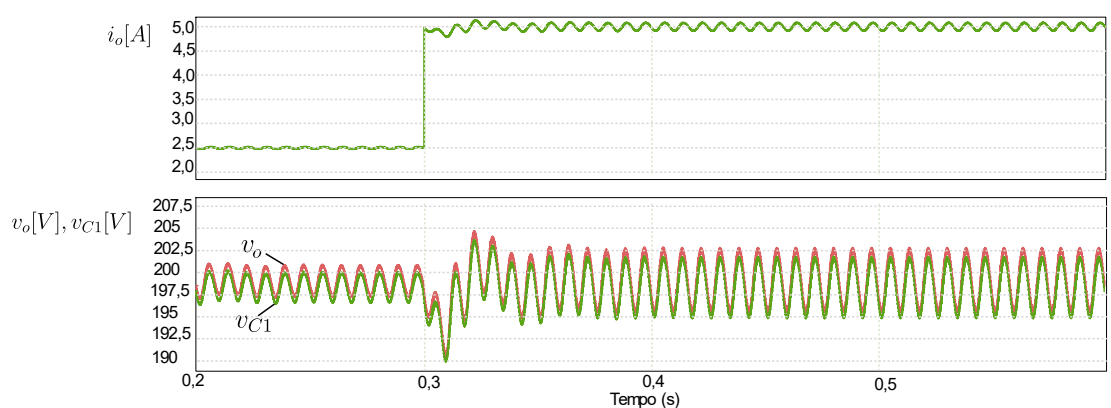
Fonte: Autoria própria.

**Figura 55 – Resultados de simulação em regime permanente com carga de 1 kW: corrente no transistor  $i_{S1}$ ; corrente no transistor  $i_{S2}$ ; corrente no capacitor  $i_{C1}$ ; corrente no capacitor  $i_{Co}$**



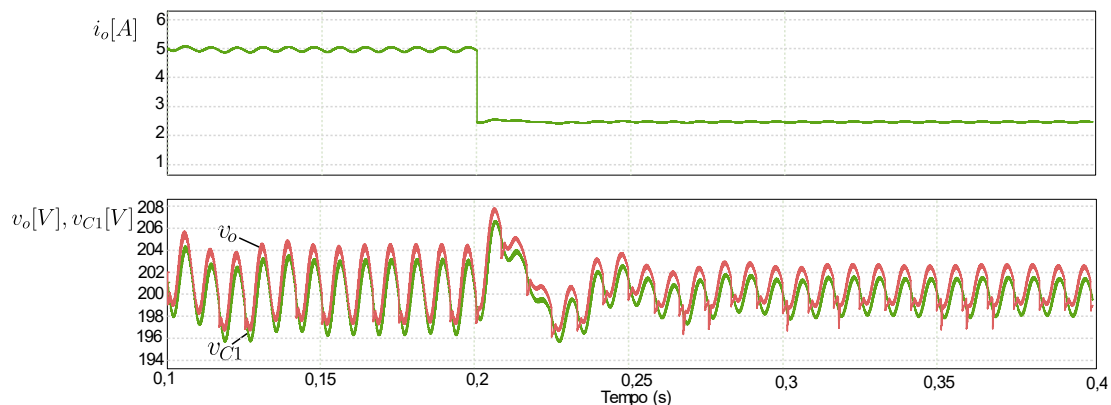
Fonte: Autoria própria.

**Figura 56 – Resultado de simulação mediante a um degrau de carga de 50% para 100% da carga de 1 kW: tensão de saída  $v_o$  e tensão no capacitor  $v_{C1}$ ; corrente de carga  $i_o$  (Ponto de operação “B”)**



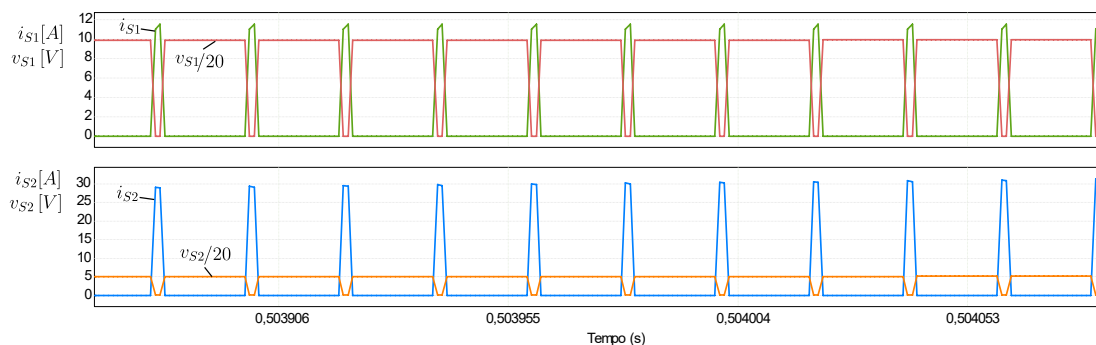
Fonte: Autoria própria.

**Figura 57 - Resultado de simulação mediante a um degrau de carga de 100% para 50% da carga de 1 kW: tensão de saída  $v_o$  e tensão no capacitor  $v_{C1}$ ; corrente de carga  $i_o$  (Ponto de operação "B")**



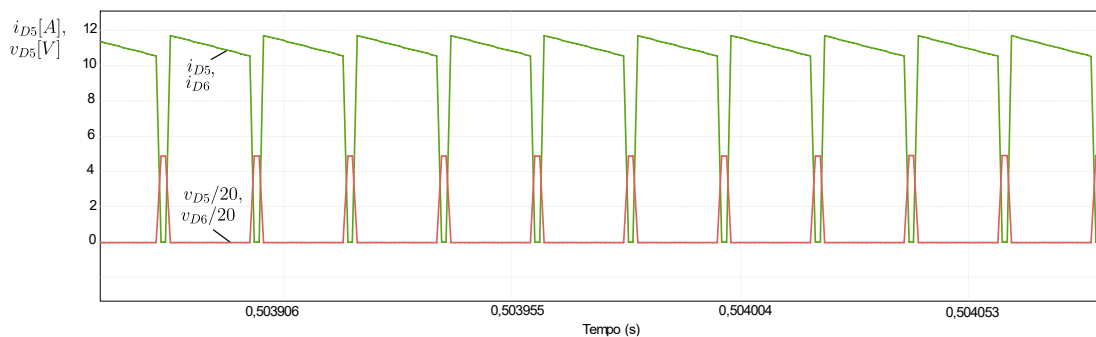
Fonte: Autoria própria.

**Figura 58 – Resultados de simulação em regime permanente com carga de 1 kW: comutação dissipativa nos transistores ( $S_1$  e  $S_2$ )**



Fonte: Autoria própria.

**Figura 59 - Resultados de simulação em regime permanente com carga de 1 kW: comutação dissipativa nos diodos ( $D_5$  e  $D_6$ )**



Fonte: Autoria própria.

**Tabela 9 – Comparativo de esforços de corrente: valores teóricos e de simulação  
(Ponto de operação B)**

	<b>Cálculo</b>	<b>PSIM</b>	<b>Desvio (%)</b>
$i_{Co}$	3,16	4,60	31,3
$i_{C1}$	6,89	6,81	-1,17
$i_{S1}$	2,65	2,81	5,69
$i_{S2}, i_{D7}$	5,81	5,65	-2,83
$i_{D5}, i_{D6}$	3,69	3,81	3,15
$i_{D1}, i_{D2},$ $i_{D3}, i_{D4}$	3,21	3,34	3,89

Fonte: Autoria própria.

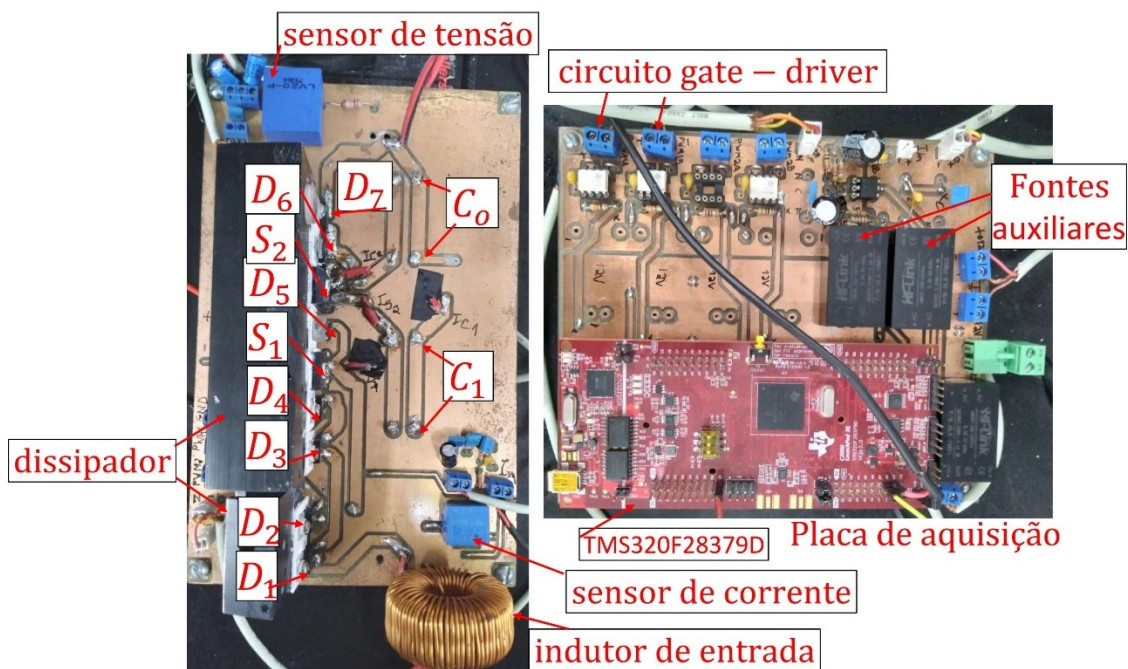
#### 4.12 Resultados experimentais

O protótipo construído para aquisição dos resultados experimentais é mostrado na Figura 60. Os resultados experimentais obtidos com o protótipo em operação no ponto “A” estão apresentados na Figura 61, Figura 62, Figura 63, Figura 64, Figura 65 e Figura 66. Para a operação no ponto “B”, é apresentada a Figura 67, Figura 68 e Figura 69.

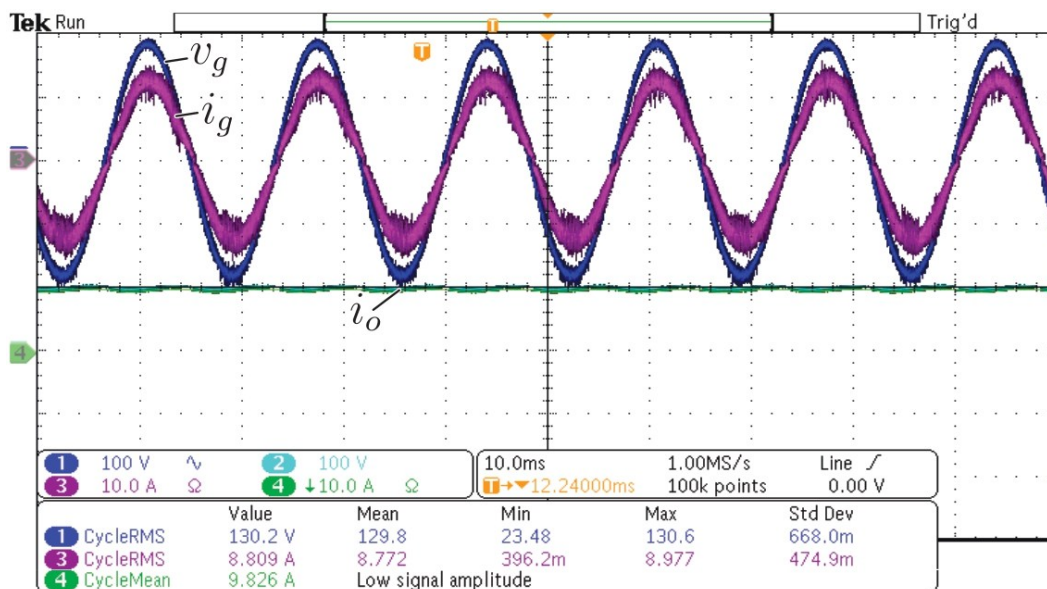
A Figura 61 mostra no canal 1 ( $v_g$ , 100V/div) a tensão de entrada  $v_g$ ; no canal 2 ( $v_o$ , 100V/div) a tensão de saída  $v_o$ ; no canal 3 ( $i_g$ , 10A/div) a corrente de entrada; no canal 4 ( $i_o$ , 10A/div) a corrente de saída. Nota-se o elevado fator de potência do conversor em operação no ponto “A”.

A Figura 62 mostra no canal 1 ( $v_g$ , 100V/div) a tensão de entrada e no canal 2 ( $v_{ab}$ , 100V/div) a tensão comutada. Na Figura 63 e na Figura 64 é mostrado o comportamento transitório e de regime permanente da tensão de saída ( $v_{Co}$ ) e da tensão do capacitor  $C_1$  ( $v_{C1}$ ), mediante a um degrau de carga de 40% para 100% e de 100% para 40%, respectivamente. Constatou-se o funcionamento da malha de controle do conversor. Nota-se, também, o equilíbrio natural de tensão entre os capacitores  $C_1$  e  $C_o$ , o que dispensa um sistema de controle para este fim, bem como o atingimento da resposta do sistema em cerca de 40 ms.

Figura 60 – Foto do protótipo construído

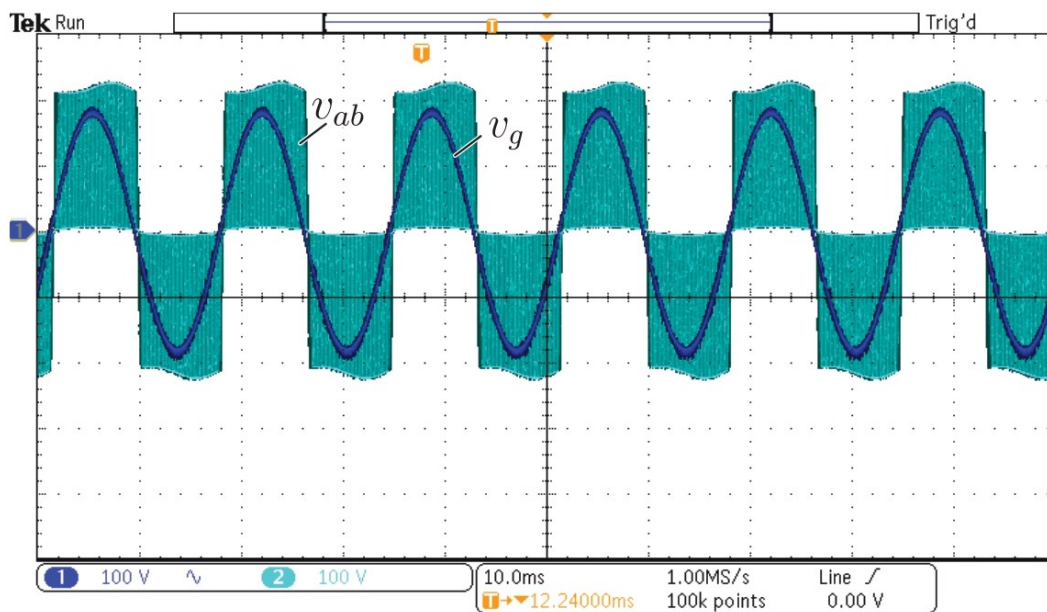


Fonte: Autoria própria.

Figura 61 – Resultados experimentais no ponto de operação A com carga de 1 kW: tensão e corrente de entrada ( $i_g$  e  $v_g$ ) e tensão e corrente de saída ( $i_o$  e  $v_o$ ). FP = 0,992

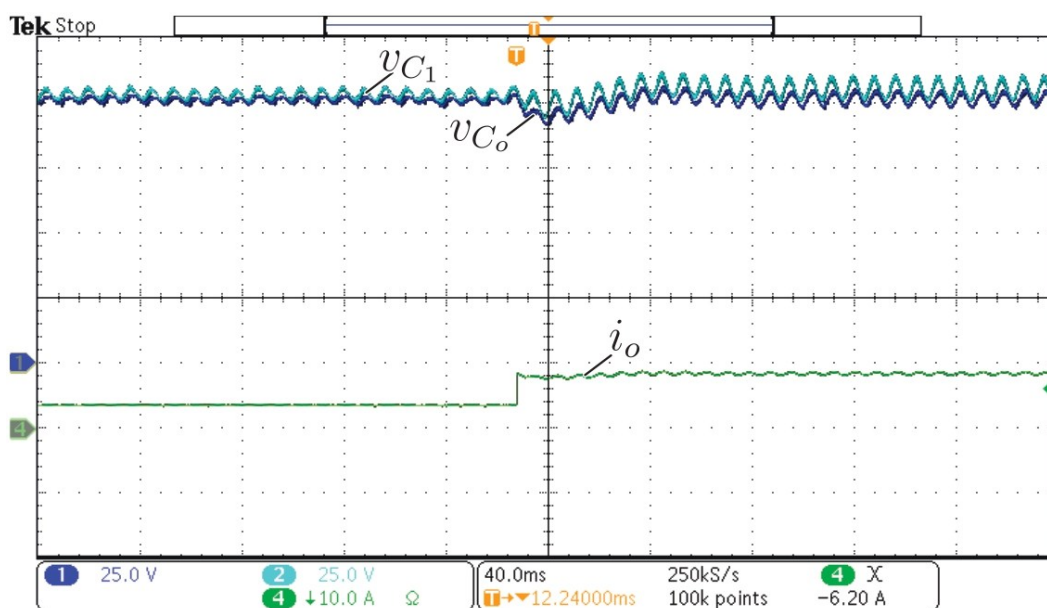
Fonte: Autoria própria.

Figura 62 – Resultados experimentais no ponto de operação A: tensão de entrada ( $v_g$ ) e tensão comutada ( $v_{ab}$ )



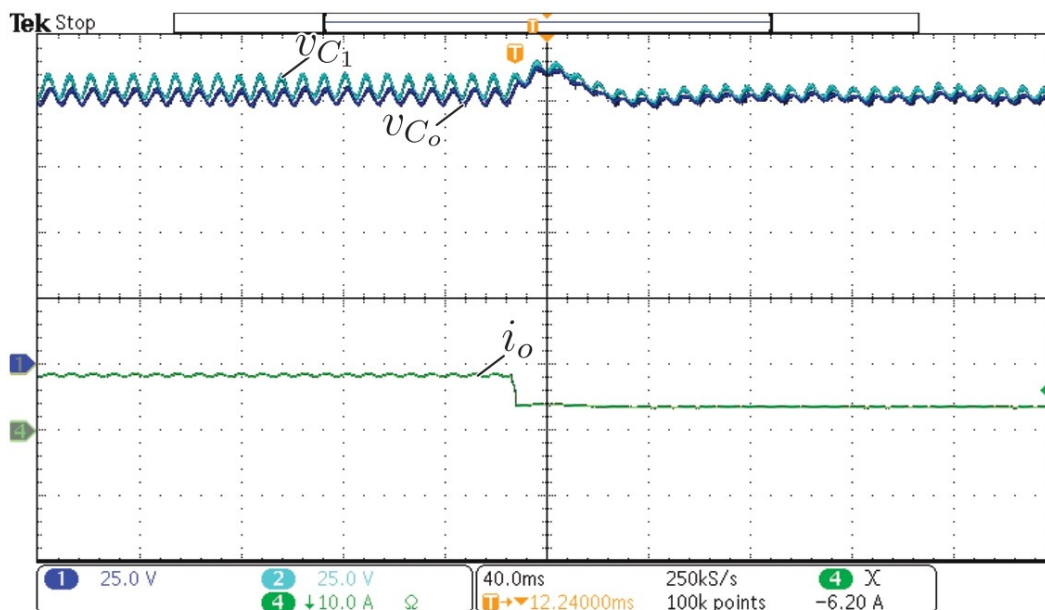
Fonte: Autoria própria.

Figura 63 - Resultados experimentais no ponto de operação A: tensão nos capacitores ( $v_{C1}$  e  $v_{Co}$ ) mediante a um degrau de carga de 40% para 100% (1 kW)



Fonte: Autoria própria.

**Figura 64 - Resultados experimentais no ponto de operação A: tensão nos capacitores ( $v_{C_1}$  e  $v_{C_o}$ ) mediante a um degrau de carga de 100% (1 kW) para 40%**



**Fonte: Autoria própria.**

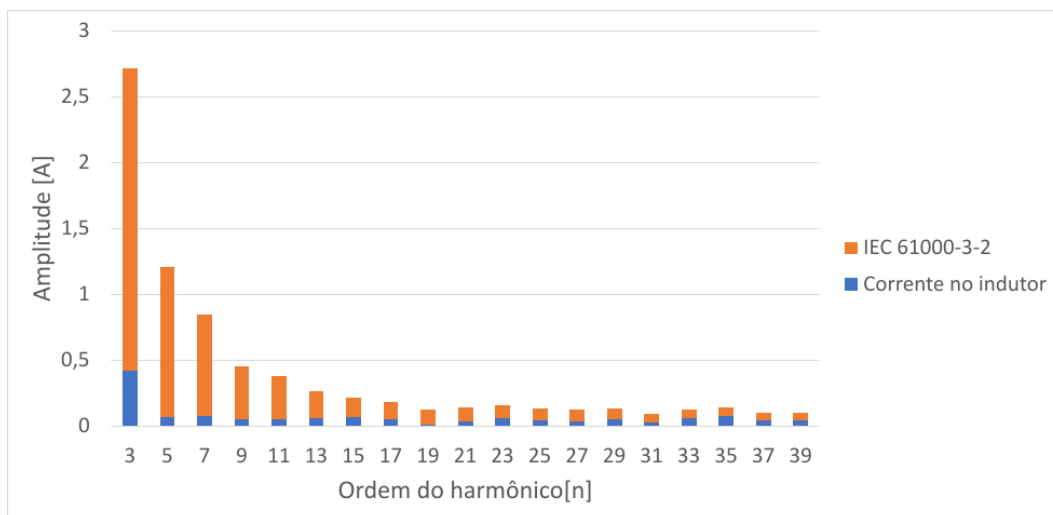
Ao observar a Figura 65, tem-se o espectro harmônico da corrente de entrada do conversor, que está compatível com os limites máximos da norma IEC 61000-3-2 classe A. A Figura 66 mostra a temperatura do conversor em operação nominal, atingindo um valor máximo de  $89^{\circ}\text{C}$ , na região próxima dos diodos  $D_6$  e  $D_7$ .

Na Figura 67 tem-se o resultado experimental no ponto de operação “B”, sendo mostrado no canal 1 ( $v_g$ , 100V/div) a tensão de entrada  $v_g$ ; no canal 2 ( $v_o$ , 100V/div) a tensão de saída  $v_o$ ; no canal 3 ( $i_o$ , 5A/div) a corrente de saída; no canal 4 ( $i_g$ , 10A/div) a corrente de entrada. Nota-se que a ondulação da corrente de entrada aumentou proporcionalmente em relação ao valor eficaz da corrente, como era esperado de acordo com (49). Percebe-se, também, que o fator de potência se manteve elevado, próximo a unidade. Na Figura 68 pode-se ver que a temperatura máxima reduziu de forma significativa, em comparação com a Figura 66, atingindo um máximo de  $65^{\circ}\text{C}$ . A Figura 69 traz a curva de rendimento experimental obtida com o protótipo operando com tensão de entrada igual a 127V (ponto de operação “A”) e com tensão de entrada igual a 220V (ponto de operação “B”). Nota-se a elevação do rendimento mediante a maior tensão de entrada, que resulta em menores esforços de corrente nos semicondutores do conversor. O rendimento máximo se deu no ponto de operação “B” e foi de 96,5% para uma potência de 1,4 kW na carga.

Pode-se notar, na Tabela 10, as diferentes topologias encontradas na literatura que visam reduzir o ganho estático em comparação com esta topologia

proposta neste capítulo. Dentre as estratégias, tem-se o uso da técnica de capacitores chaveados (LI; PERREAULT, 2013; CHEN et al., 2022; ZHAO et al., 2019). É possível verificar a competitividade da topologia proposta, levando-se em consideração a faixa de potência e de tensão que foi utilizada, 1,4 kW e 220 V eficaz, bem como o rendimento que foi obtido.

**Figura 65 – Resultados experimentais no ponto de operação A: espectro harmônico da corrente de entrada com carga de 1 kW**



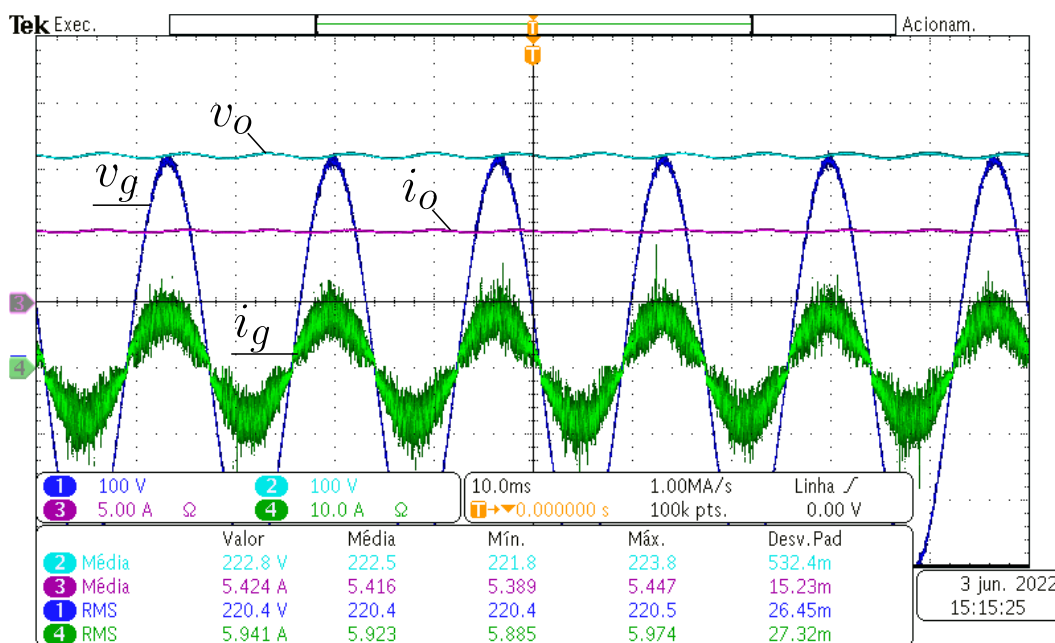
**Fonte: Autoria própria.**

Figura 66 - Resultados experimentais no ponto de operação A: temperatura durante a operação com carga de 1 kW



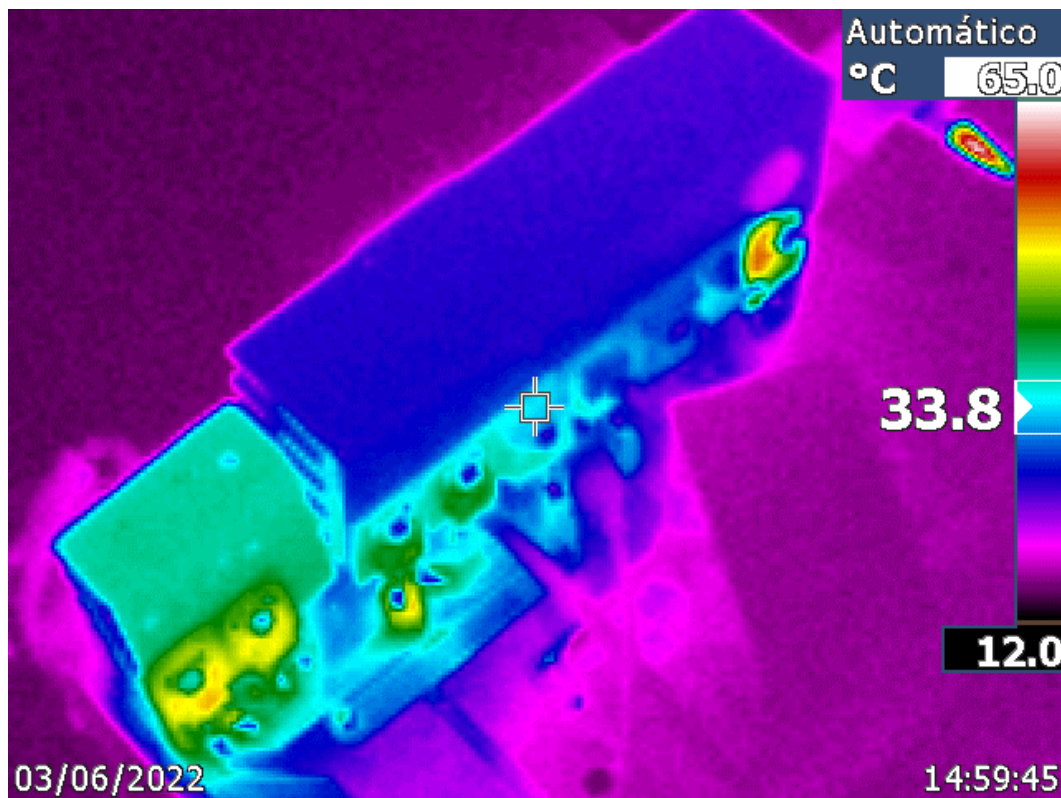
Fonte: Autoria própria.

Figura 67 - Resultados experimentais no ponto de operação B: corrente e tensão de entrada ( $v_g$  e  $i_g$ ) e corrente e tensão de saída ( $v_o$  e  $i_o$ ) com carga de 1 kW. FP = 0,958



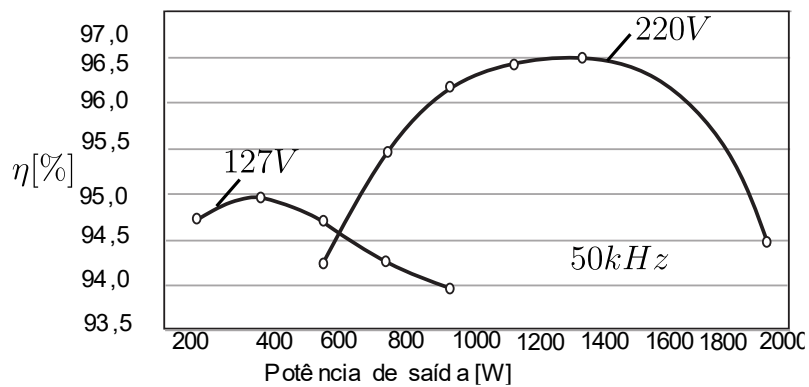
Fonte: Autoria própria.

**Figura 68 - Resultados experimentais no ponto de operação B: temperatura durante a operação com carga de 1 kW**



Fonte: Autoria própria.

**Figura 69 – Rendimento experimental dos protótipos com entrada de 127V e com entrada de 220V**



Fonte: Autoria própria.

**Tabela 10 – Comparativo entre a topologia proposta e outras topologias com redução de ganho estático mínimo**

Parâmetro	LI; PERREAULT, 2013	CHEN <i>et al.</i> , 2022	ZHAO <i>et al.</i> , 2019	SIU; HO, 2020	CAMPOS <i>et al.</i> , 2023
Transistores	10	2	12	2	2
Diodos rápidos	0	2	0	2	3
Diodos lentos	0	4	4	2	4
Capacitores	4	3	6	2	2
Indutores	2	3	-	2	1
Indutores acoplados/ TR*	1	0	-	-	-
Tensão de entrada ( $V_{g,RMS}$ ) / Tensão de saída ( $v_o$ )	20 V / 2,5 V	85V -130 V / 47 V	7 V – 25 V / 5 V - 9 V	220 V /120 V	220 V / 200 V
Potência de saída / Rendimento	4 W / 81%	44 W / 90%	200 W / 88,6%	779 W/ 94,4%	1,4 kW / 96,5%
Modo de condução	-	DCM	-	CCM	CCM
Sensor de corrente	-	Não	-	Sim	Sim

\* TR: Transformador

Fonte: Autoria própria.

#### 4.13 Conclusão

A aplicação da célula a capacitor chaveado para a redução do ganho estático foi validada. A variação escolhida de retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático foi analisada estaticamente e dinamicamente, tomando as premissas iniciais de idealidades na operação do conversor para facilitar a resolução dos cálculos. Foram expostos os estados topológicos e as principais formas de onda, sendo que a partir disso as equações de corrente que circulam nos componentes ao longo de cada estado topológico foram obtidas. Foram resolvidas as equações num período de comutação e num período da rede elétrica para se obter os esforços de corrente em valores médios e em valores eficazes. Também foi obtida a expressão do ganho estático do conversor, além de terem sido mostradas as expressões de ondulação de corrente no indutor de entrada e ondulação de tensão no capacitor de saída. Em seguida foi apresentada, também, a modelagem orientada ao controle dos conversores propostos, tendo sido utilizada a

abordagem por valores médios. Por fim, foram apresentados os resultados de simulações computacionais, além dos resultados experimentais, que validam o desenvolvimento teórico apresentado.

## 5 RETIFICADOR *BOOST* PFC *INTERLEAVED* HÍBRIDO A CAPACITOR CHAVEADO COM REDUÇÃO DO GANHO ESTÁTICO

### 5.1 Introdução

A validação da célula de comutação a capacitor chaveado para redução do ganho estático foi realizada por meio da implementação do retificador *Boost* PFC híbrido a capacitor chaveado, detalhado no Capítulo 4. Quando se objetiva elevar a potência do conversor, há trabalhos que abordam o uso de topologias *interleaved*, por dividirem os esforços de corrente entre os transistores, além de reduzirem o *ripple* da corrente de entrada, tendendo a reduzir o volume dos magnéticos. Esta técnica costuma envolver estratégias de controle envolvendo duas malhas, uma para o controle da tensão de saída e outra para o controle da corrente de entrada. Um modo de simplificar a estratégia de controle envolve a utilização da célula SC-PFM, que agrega um comportamento idealmente resistivo do conversor visto pela fonte de entrada. Assim sendo, é possível obter um elevado fator de potência sem a necessidade de medir ou controlar a corrente de entrada. Adicionalmente, consegue-se obter comutações suaves em alguns semicondutores, a saber nos transistores  $S_1$  e  $S_2$ , bem como nos diodos  $D_1$  e  $D_2$ , na Figura 70 (a).

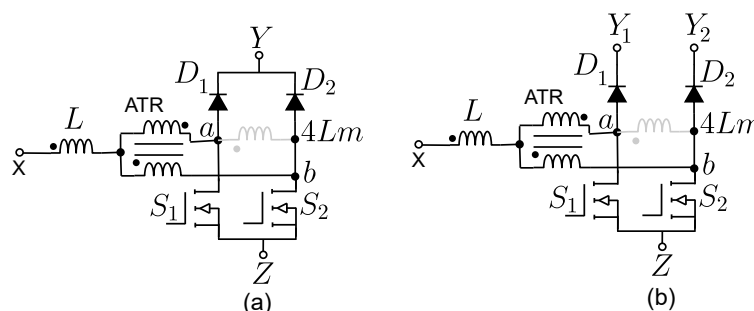
Neste capítulo, com base na generalização de retificadores *Boost* com redução do ganho estático da Figura 35, optou-se pela Variação 1, adaptando-a pela remoção do quinto diodo acima da ponte retificadora e pela integração da célula de comutação presente no conversor IBC-SFM, ilustrada na Figura 70 (a), proposta por Soares (2021), Soares e Badin (2022) e Tonolo (2024). Essa integração envolveu a conexão em paralelo dos pontos  $X$  e  $Z$  aos pontos  $p$  e  $n$ , respectivamente. Considerando que a célula da Figura 70 opera com comandos complementares e defasados em 180 graus, a integração com a célula a capacitor chaveado foi implementada com comandos idênticos, resultando na duplicação da célula a capacitor chaveado, conforme ilustrado na Figura 71. Desse modo, o ponto  $Y$  foi subdividido em  $Y_1$  e  $Y_2$ , conforme a Figura 70 (b).  $Y_1$  foi conectado ao dreno do transistor  $S_3$ , e o ponto  $Y_2$  ao dreno do transistor  $S_4$ .

Convém citar que a célula de comutação da Figura 70 introduz um indutor acoplado (também denominados ATR).

A topologia proposta neste capítulo, conforme a Figura 71, consiste em um retificador *Boost* PFC *interleaved* híbrido a capacitor chaveado com redução do ganho estático. Denomina-se, desse modo, esta topologia pela sigla PFC IB-PFM-HSCC. A

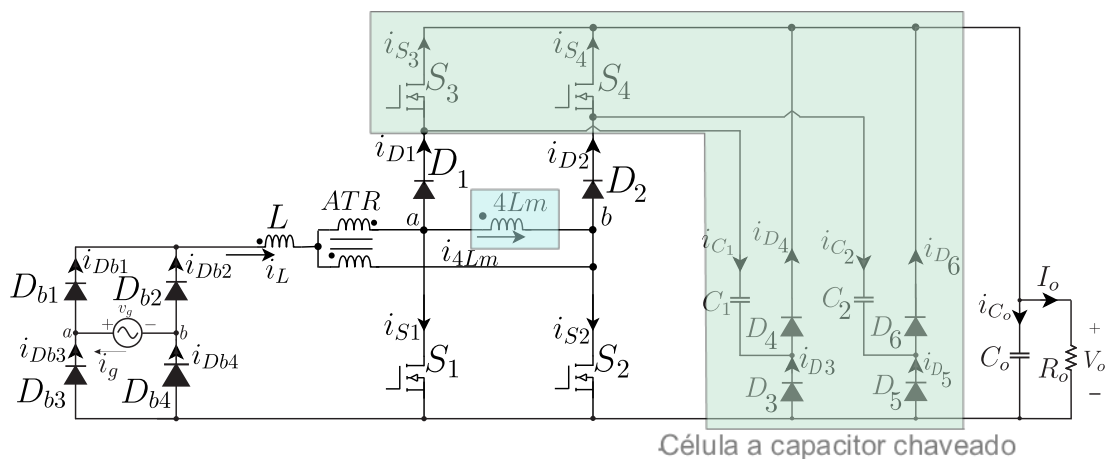
operação desta topologia é distinta da que foi proposta no capítulo 4, especificamente quanto a eliminação da necessidade de sensores de corrente para a medição da entrada, por se tratar de uma topologia essencialmente seguidora de tensão. Adicionalmente, possui comutação suave nos semicondutores  $S_1$ ,  $S_2$ ,  $D_1$ ,  $D_2$ ,  $D_4$  e  $D_6$ , empregando uma estratégia de modulação por frequência (do inglês *Pulse Frequency Modulation*, PFM), ou seja, a frequência de comutação é variável e a razão cíclica é fixa.

**Figura 70 – Célula presente no conversor IBC-SFM com modulação em frequência aplicável a retificadores *Boost* PFC**



Fonte: Adaptado de Soares (2021)

**Figura 71 – Retificador *Boost* PFC *interleaved* híbrido a capacitor chaveado com redução do ganho estático mínimo**



Fonte: Autoria própria.

## 5.2 Fundamentos acerca da operação da topologia proposta

A operação da topologia proposta apresentada na Figura 71 constitui-se de quatro estados topológicos fundamentais. No próximo item (5.2.1) será tratado do efeito das capacitâncias intrínsecas dos transistores  $S_1$  e  $S_2$  e dos diodos  $D_1$  e  $D_2$ , bem como da condução de corrente através dos diodos de corpo dos transistores  $S_1$  e  $S_2$ . Os estados a serem apresentados são válidos para o semiciclo positivo de tensão da rede elétrica, podendo ser replicados para o semiciclo negativo. A Figura 72 mostra

os estados topológicos do conversor proposto, ao passo que na Figura 73 são apresentadas as principais formas de onda ao longo de um período de comutação ( $T_s$ ).

No primeiro estado topológico, na Figura 72 (a), que tem início em  $t_0$  e término em  $t_1$ , tem-se os transistores  $S_1$  e  $S_3$  em condução e ocorre a transferência de energia da entrada para a saída através do diodo  $D_2$ . Os capacitores  $C_1$  e  $C_o$  suprem energia para a carga, estando conectados em paralelo. O capacitor  $C_2$  está conectado em série com o diodo de transferência  $D_2$ , sendo que circula por este elemento uma corrente que decresce de forma considerada linear até atingir o valor nulo. A tensão entre os pontos “a” e “b” é igual ao dobro da tensão de saída com polaridade invertida ( $v_{ab} = -2V_o$ ). Os esforços de tensão nos transistores  $S_2$  e  $S_4$ , que estão bloqueados, é o dobro da tensão de saída ( $2V_o$ ) e a tensão de saída ( $V_o$ ), respectivamente. Os diodos  $D_1$ ,  $D_4$  e  $D_5$  estão bloqueados e submetidos a tensão de saída.

No próximo estado topológico, na Figura 72 (b), que tem início em  $t_1$  e término em  $t_2$ , o diodo  $D_2$  está bloqueado, logo não há corrente no capacitor  $C_2$ , e tem-se uma desconexão entre o estágio de entrada e o estágio de saída, sendo que a corrente no indutor magnetizante ( $4L_m$ ) se mantém constante e igual a metade da corrente no indutor de entrada ( $-i_L/2$ ). Os capacitores,  $C_1$  e  $C_o$ , que são energizados pela fonte de entrada e pela energia armazenada no indutor, estão conectados em paralelo. A tensão entre os pontos “a” e “b” é igual ao valor nulo ( $v_{ab} = 0$ ). Os esforços de tensão nos transistores  $S_2$  e  $S_4$ , que estão bloqueados, se tornam nulos. Os diodos  $D_1$ ,  $D_2$ ,  $D_4$ ,  $D_5$  e  $D_6$  estão bloqueados e submetidos a tensão de saída.

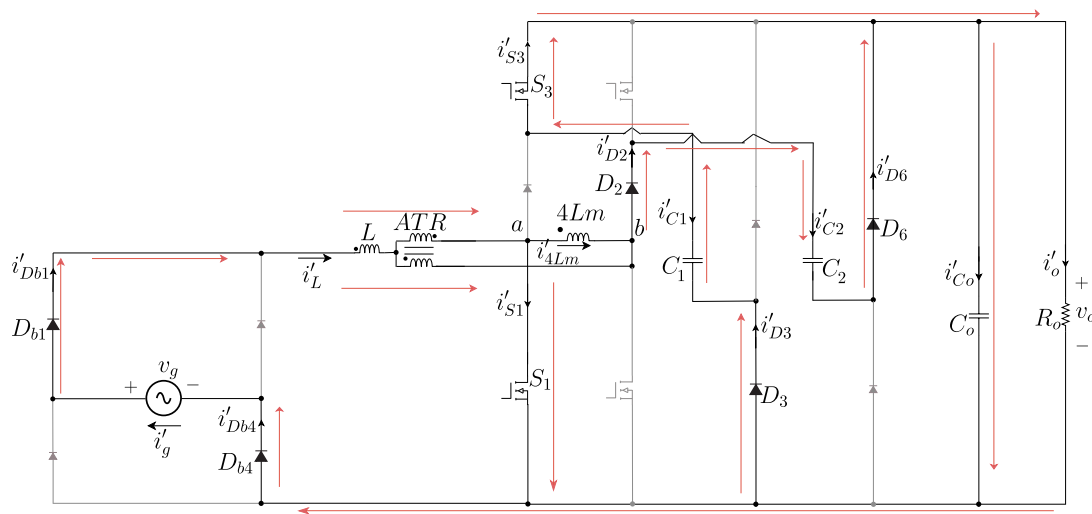
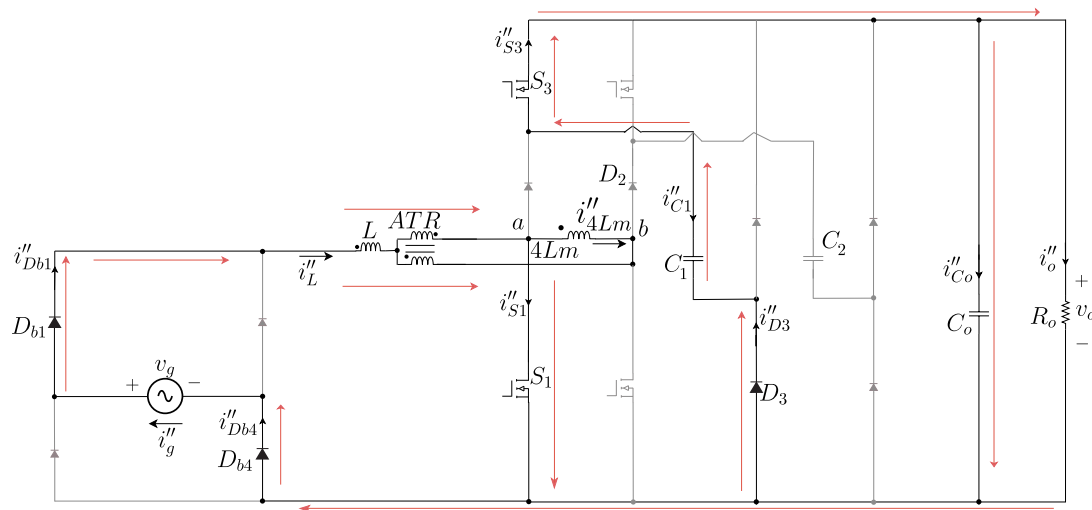
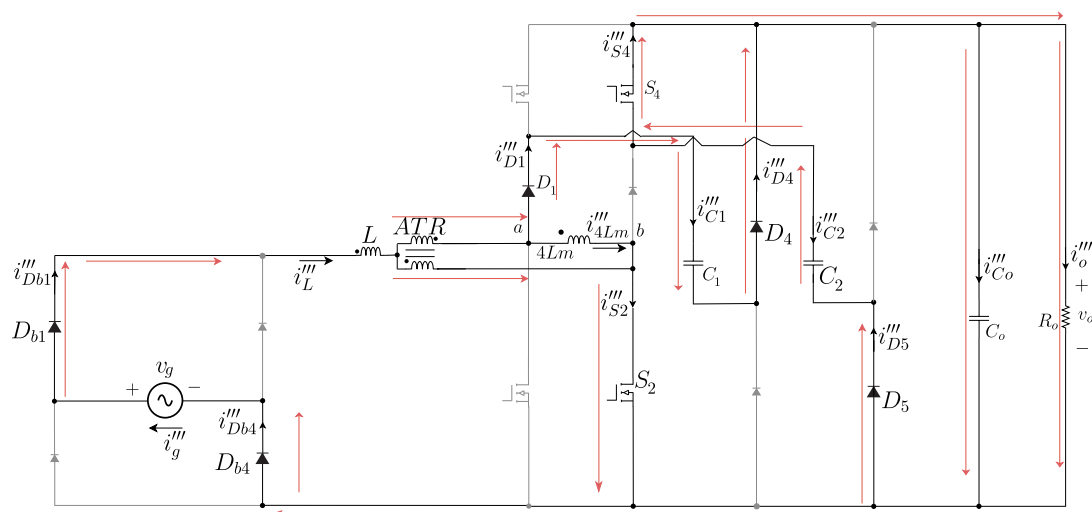
No estado topológico seguinte, na Figura 72 (c), que tem início em  $t_2$  e término em  $t_3$ , os transistores  $S_1$  e  $S_3$  são comandados a bloquear, enquanto os transistores  $S_2$  e  $S_4$  são comandados a conduzir. O diodo  $D_1$  passa a conduzir uma corrente que decresce de forma considerada linear até atingir o valor nulo, sendo a mesma corrente que flui através do capacitor  $C_1$ . Os capacitores  $C_2$  e  $C_o$  estão em paralelo e a tensão entre os pontos “a” e “b” é igual ao dobro da tensão de saída ( $v_{ab} = +2V_o$ ). Os esforços de tensão nos transistores  $S_1$  e  $S_3$ , que estão bloqueados, é o dobro da tensão de saída ( $2V_o$ ) e a tensão de saída ( $V_o$ ), respectivamente. Os diodos  $D_2$ ,  $D_3$  e  $D_6$  estão bloqueados e submetidos a tensão de saída.

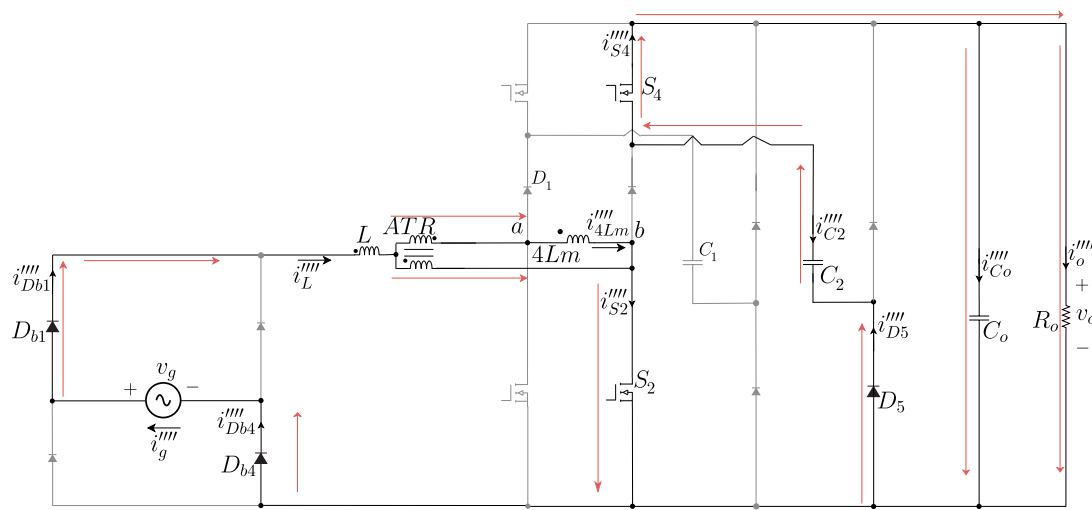
Por fim, no quarto estado topológico, na Figura 72 (d), que tem início em  $t_3$  e término em  $t_4$ , o diodo  $D_1$  encontra-se bloqueado, juntamente ao capacitor  $C_1$ .

Novamente, a corrente no indutor magnetizante ( $4L_m$ ) se mantém constante e igual a metade da corrente no indutor de entrada ( $+i_L/2$ ). Os capacitores, que são energizados pela fonte de entrada e pela energia armazenada no indutor, estão conectados em paralelo. A tensão entre os pontos “a” e “b” é igual ao valor nulo ( $v_{ab} = 0$ ). Os esforços de tensão nos transistores  $S_1$  e  $S_3$ , que estão bloqueados, se tornam nulos. Os diodos  $D_1, D_2, D_3, D_4$  e  $D_6$  estão bloqueados e submetidos a tensão de saída.

A Figura 73 apresenta as principais formas de onda deste conversor em operação e cabe citar que: a corrente no indutor de entrada é denominada  $i_L$ ; a indutância magnetizante dos indutores acoplados (ATR),  $L_{mag}$ , é igual a quatro vezes a indutância própria ( $L_{mag} = 4L_m$ ); a relação entre o intervalo de tempo em que o indutor  $L$  armazena energia e o período de comutação é denominada de razão cíclica efetiva ( $\delta$ ); os intervalos de tempo entre  $t_0$  e  $t_1$  e entre  $t_2$  e  $t_3$  correspondem a  $\frac{(1-\delta)T_s}{2}$ ; os intervalos de tempo entre  $t_1$  e  $t_2$  e entre  $t_3$  e  $t_4$  correspondem a  $\frac{\delta T_s}{2}$ .

Figura 72 – Estados topológicos do conversor proposto

(a) Intervalo entre  $t_0$  e  $t_1$ (b) Intervalo entre  $t_1$  e  $t_2$ (c) Intervalo entre  $t_2$  e  $t_3$

(d) Intervalo entre  $t_3$  e  $t_4$ 

Fonte: Autoria própria.

O conversor proposto apresenta as formas de onda ilustradas na Figura 73. Algumas características que configurariam um Modo de Condução Contínua (CCM): (SOARES; BADIN, 2023; LEE; LAI, 2021)

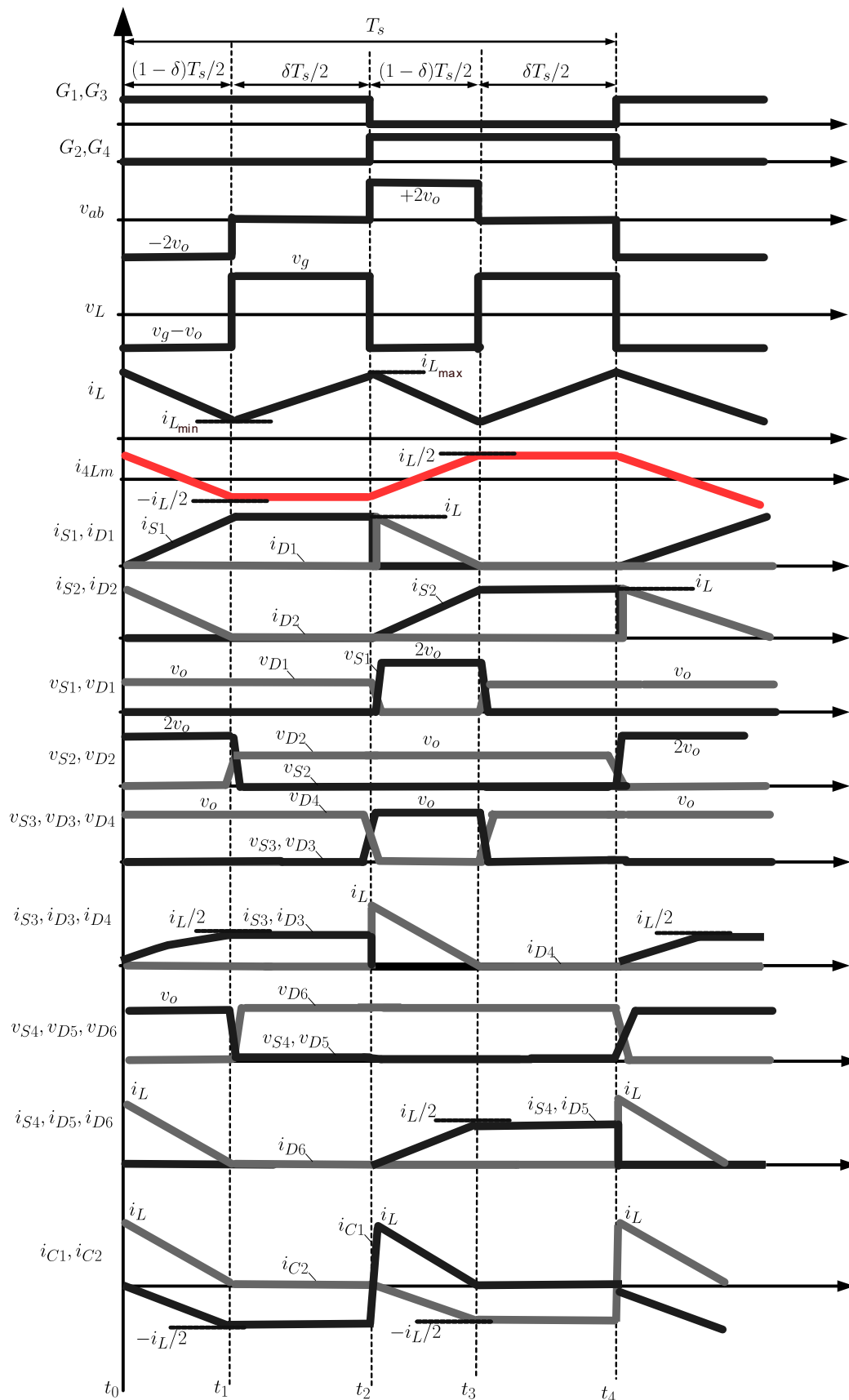
- a corrente do indutor de entrada não permanece nula em nenhum momento das etapas de operação
- há baixa ondulação na tensão de saída
- sempre há um estágio de transferência de energia
- existem dois estados topológicos em termos gerais, um de armazenamento de energia no indutor de entrada e na indutância de magnetização do indutor acoplado, e outro de transferência de energia para a saída
- redução do ripple de corrente em comparação ao modo DCM

No entanto, o conversor também demonstra algumas características de Modo de Condução Descontínua (DCM) (MURILLO-YARCE *et al.*, 2022; SOARES; BADIN, 2023):

- alteração da tensão de saída quando há variações da carga
- a dependência da tensão de saída de vários parâmetros do conversor
- o bloqueio do diodo antes do término do período de comutação

Por estas características apresentadas acima, é difícil definir entre um dos dois modos de condução para o conversor aqui proposto, portanto optou-se por definir um modo de condução em que há a continuidade da corrente do indutor (SOARES; BADIN, 2023).

**Figura 73 – Esboço das formas de onda referente aos estados topológicos do conversor proposto (fora de escala)**



Fonte: Autoria própria.

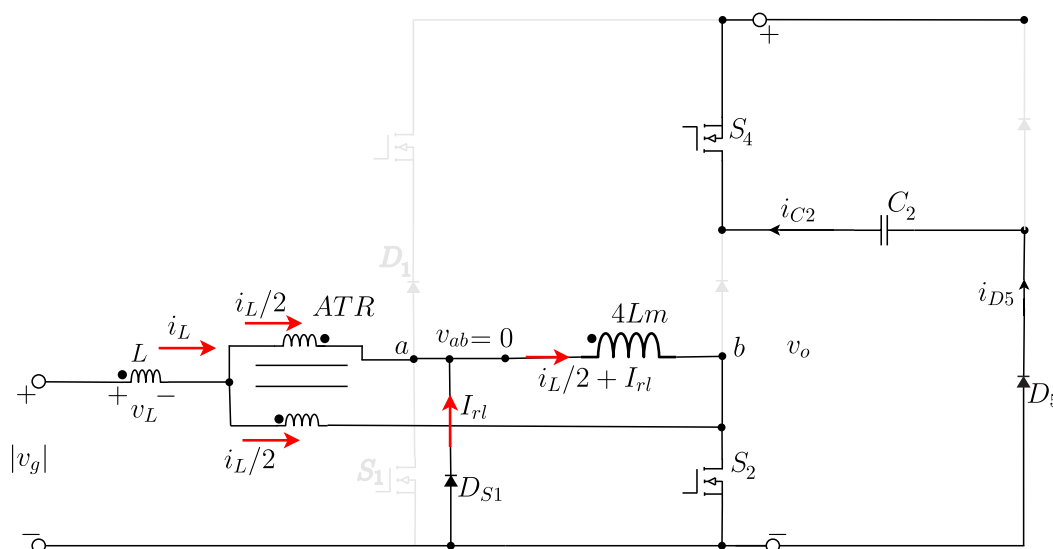


Ao término desta transferência o diodo de corpo do transistor  $S_1$  entra em condução, coincidindo com o estado topológico mostrado na Figura 73 (d). A corrente que flui através do diodo de corpo e conecta o indutor magnetizante, representado por  $4L_m$ , e que flui também pelos transistores  $S_2$  e o diodo de corpo do transistor  $S_1$  é denominada de corrente de roda-livre. O cálculo desta corrente de roda-livre é conforme (64).

$$I_{rl} = \frac{v_o}{2} \sqrt{\frac{C_s + C_d}{L_m}} \quad (64)$$

A condução que se dá pelo diodo de corpo do transistor  $S_1$  durante o quarto estado topológico é mostrada na Figura 75. Como pode-se ver, a tensão  $v_{ab}$  é nula durante este estado topológico. Esse efeito de descarga das capacitâncias intrínsecas dos transistores, durante a formação da corrente  $I_{rl}$ , é o que resulta na entrada em condução do transistor sob tensão nula. Da mesma forma, a corrente somente crescerá nos transistores  $S_1$  e  $S_2$  no sentido *drain-source* quando o transistor estiver acionado com o respectivo comando sobre o *gate-source*. Assim sendo, fica assegurada a entrada em condução dos transistores de acordo com a comutação ZCZVT (transição com corrente e tensão nula).

Figura 75 – Corrente de roda-livre no quarto estado topológico



Fonte: Adaptado de Soares (2021).

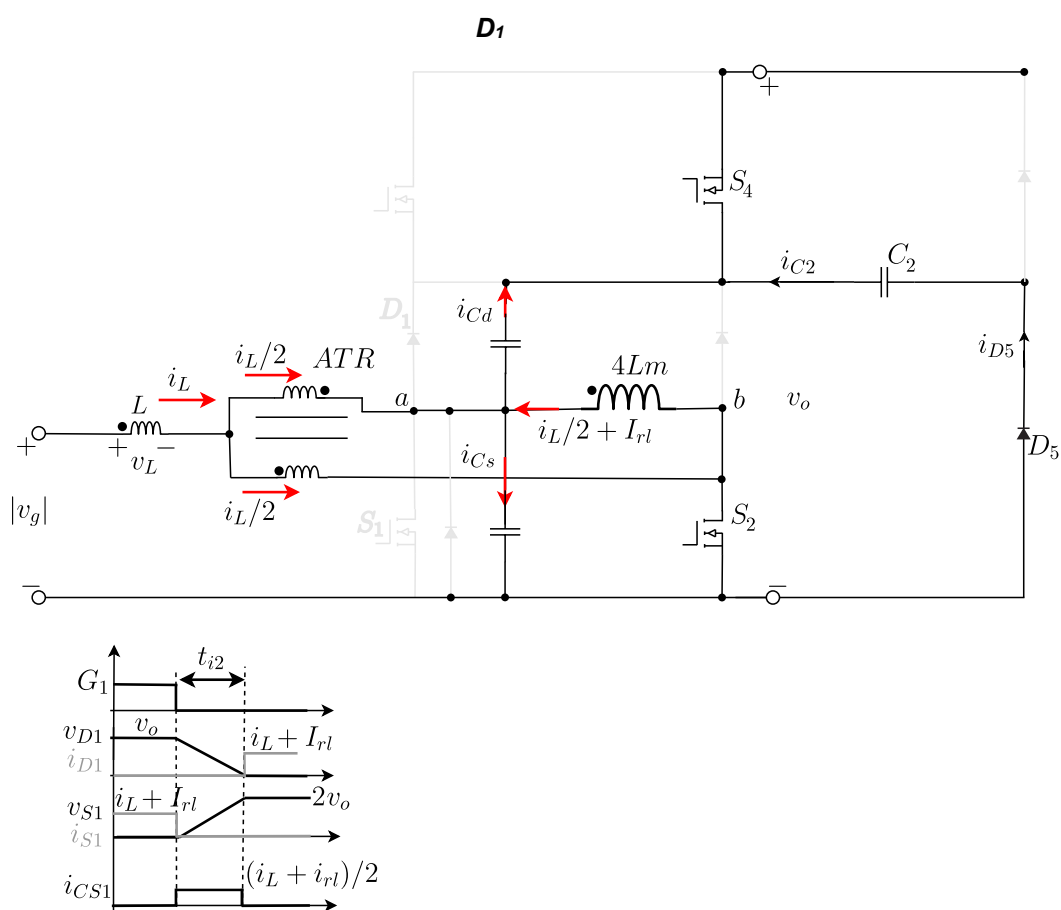
### 5.2.1.2 Bloqueio dos transistores

O bloqueio dos transistores  $S_1$  e  $S_2$  ocorre de forma análoga, portanto será exemplificado o bloqueio de  $S_1$ . O transistor  $S_1$  bloqueia ao término do segundo estado topológico, ao passo que o respectivo diodo,  $D_1$ , entrará em condução no início do terceiro estado topológico. Quando  $S_1$  recebe o comando de bloqueio a capacitância

intrínseca de  $S_1$  é carregada através da corrente que flui no enrolamento superior dos indutores acoplados e, ao mesmo tempo, o capacitor intrínseco de  $D_1$  é descarregado. A Figura 76 ilustra este estado topológico, bem como as formas de onda correspondentes. (65) representa o tempo de duração da descarga do capacitor intrínseco do diodo  $D_1$  ( $t_{i2}$ ). Conclui-se assim que a entrada em condução do diodo  $D_1$  se dá mediante tensão nula, sendo a chamada comutação ZVT (transição com tensão nula).

$$t_{i2} = \frac{v_{yz}(C_s + C_d)}{i_L + I_{rl}} \quad (65)$$

Figura 76 – Transição do bloqueio do transistor  $S_1$  e entrada em condução do diodo



Fonte: Adaptado de Soares (2021).

### 5.2.2 Frequência efetiva e equação aprimorada da corrente no indutor

A frequência efetiva de comutação representa o efeito da redução na frequência de comutação projetada para um conversor que utiliza a célula IBC-SFM da Figura 70. Tal efeito se deve de forma mais significativa ao intervalo de transição,  $t_{i1}$ . O período efetivo de comutação é mostrado em (66), ao passo que (67) mostra a frequência efetiva de comutação. Tem-se então (68), que é uma aproximação mais

precisa em relação a corrente no indutor, por considerar a corrente de roda-livre, além das capacitâncias intrínsecas dos transistores e diodos.

$$T_e = T_s - t_{i1} \quad (66)$$

$$f_e = \frac{1}{T_e} = \frac{1}{T_s - t_{i1}} \quad (67)$$

$$i_L = \frac{v_{xz}}{4L_m f_e} - 2I_{rl} \quad (68)$$

### 5.3 Estudo do conversor proposto

O retificador *Boost PFC interleaved* híbrido a capacitor chaveado com redução do ganho estático da Figura 71, aqui denominado PFC IB-PFM-HSCC, apresenta algumas características básicas de operação:

- Fator de potência teoricamente unitário;
- Comutação suave nos transistores  $S_1$  e  $S_2$ ;
- Diodos  $D_1$  e  $D_2$  sem perdas por recuperação reversa;
- Equilíbrio natural de corrente entre os semicondutores;
- Ganho estático equivalente ao retificador *Boost PFC* convencional em modo CCM;
- Não necessita de malha de controle de corrente de entrada.

Quanto as considerações iniciais antes de realizar a análise estática do conversor para calcular os esforços de corrente, pode-se citar:

- Os transistores e diodos são considerados ideais, exceto quando forem consideradas as capacitâncias intrínsecas destes componentes;
- A tensão de saída é considerada constante num período de comutação;
- A tensão de entrada é considerada constante durante um período de comutação;
- A ondulação de corrente (*ripple*) no indutor é considerada nula durante um período de comutação;
- O indutor acoplado é dividido em dois componentes: um indutor acoplado ideal e um indutor magnetizante ( $4L_m$ );
- A corrente do indutor  $i_L$  é dividida igualmente entre os enrolamentos do indutor acoplado;

- Os pares de transistores  $S_1$  e  $S_3$ , além de  $S_2$  e  $S_4$ , operam com razão cíclica fixa ( $D=0,5$ ) e deslocamento de fase de  $180^\circ$  entre si. O circuito é controlado por modulação em frequência, sendo a frequência de comutação igual a  $f_s$  e o período de comutação  $T_s$ . A razão cíclica efetiva é denominada  $\delta$  e multiplicada pelo período de comutação corresponde a fração de tempo em que o indutor armazena energia.

### 5.3.1 Primeiro estado topológico

O primeiro estado topológico foi ilustrado na Figura 72, no item (a), quando há o comando de bloqueio dos transistores  $S_2$  e  $S_4$  e a entrada em condução natural do diodo  $D_2$  e o comando de condução dos transistores  $S_1$  e  $S_3$ . Durante esta etapa há a transferência de energia do indutor  $L$  para a carga  $R_o$  e a tensão entre os pontos “a” e “b” ( $v_{ab}$ ) equivale ao dobro da tensão de saída com a polaridade negativa. O diodo  $D_2$  conecta o capacitor  $C_2$  ao ramo paralelo formado entre os capacitores  $C_1$  e  $C_o$ . Os esforços de corrente nos componentes neste intervalo ( $t_o$  a  $t_1$ ) são mostrados em (69) e a Tabela 11 mostra o nível lógico 1 ou 0, que indica se o referido componente está ou não em condução, respectivamente.

**Tabela 11 – Estados de condução e bloqueio dos elementos no primeiro estado topológico**

$S_1$	$S_2$	$S_3$	$S_4$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$C_1$	$C_2$
1	0	1	0	0	1	1	0	0	1	1	1

Fonte: Autoria própria.

$$\begin{cases} i'_{S1} = \frac{2i_g t}{(1-\delta)T_s} \\ i'_{S3} = i'_{D3} = -i'_{C1} = \frac{i_g t}{(1-\delta)T_s} \\ i'_{D2} = i'_{C2} = i'_{D6} = -\frac{2i_g t}{(1-\delta)T_s} + i_g \\ i'_{C_o} = \frac{i_g}{2} - \frac{i_g t}{2(1-\delta)T_s} \end{cases} \quad (69)$$

### 5.3.2 Segundo estado topológico

O segundo estado topológico foi ilustrado na Figura 72, no item (b), quando há o bloqueio do diodo  $D_2$ , desconectando o capacitor  $C_2$ . A tensão  $v_{ab}$  se torna nula, e os transistores  $S_1$  e  $S_3$  se mantêm em comando de condução, ao mesmo tempo em que os capacitores  $C_1$  e  $C_o$  permanecem em paralelo. Os esforços de corrente nos componentes neste intervalo ( $t_1$  a  $t_2$ ) são mostrados em (70) e a Tabela 12 mostra os níveis lógicos.

**Tabela 12 - Estados de condução e bloqueio dos elementos no segundo estado topológico**

$S_1$	$S_2$	$S_3$	$S_4$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$C_1$	$C_2$
1	0	1	0	0	0	1	0	0	0	1	0

Fonte: Autoria própria.

$$\begin{cases} i''_{S1} = i_g \\ i''_{S3} = i''_{D3} = -i''_{C1} = \frac{i_g}{2} \\ i''_{D2} = i''_{C2} = i''_{D6} = 0 \\ i''_{Co} = \frac{i_g}{4} \end{cases} \quad (70)$$

### 5.3.3 Terceiro estado topológico

O terceiro estado topológico foi ilustrado na Figura 72, no item (c), quando há o comando de bloqueio dos transistores  $S_1$  e  $S_3$  e a entrada em condução natural do diodo  $D_1$  e o comando de condução dos transistores  $S_2$  e  $S_4$ . Durante esta etapa há a transferência de energia do indutor  $L$  para a carga  $R_o$  e a tensão entre os pontos “a” e “b” ( $v_{ab}$ ) equivale ao dobro da tensão de saída com a polaridade positiva. O diodo  $D_1$  conecta o capacitor  $C_1$  ao ramo paralelo formado entre os capacitores  $C_2$  e  $C_o$ . Os esforços de corrente nos componentes neste intervalo ( $t_2$  a  $t_3$ ) são mostrados em (71) e a Tabela 13 mostra os níveis lógicos.

**Tabela 13 - Estados de condução e bloqueio dos elementos no terceiro estado topológico**

$S_1$	$S_2$	$S_3$	$S_4$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$C_1$	$C_2$
0	1	0	1	1	0	0	1	1	0	1	1

Fonte: Autoria própria

$$\begin{cases} i'''_{S2} = \frac{2 \cdot i_g \cdot t}{(1-\delta)T_s} \\ i'''_{S4} = i'''_{D5} = -i'''_{C2} = \frac{i_g}{(1-\delta)T_s} \cdot t \\ i'''_{D1} = i'''_{C1} = i'''_{D4} = -\frac{2 \cdot i_g \cdot t}{(1-\delta)T_s} + i_g \\ i'''_{Co} = \frac{i_g}{2} - \frac{i_g \cdot t}{2(1-\delta)T_s} \end{cases} \quad (71)$$

### 5.3.4 Quarto estado topológico

O quarto estado topológico foi ilustrado na Figura 72, no item (d), quando há o bloqueio do diodo  $D_1$ , desconectando o capacitor  $C_1$ . A tensão  $v_{ab}$  se torna nula, e os transistores  $S_2$  e  $S_4$  se mantêm em comando de condução, ao mesmo tempo em que os capacitores  $C_2$  e  $C_o$  permanecem em paralelo. Os esforços de corrente nos componentes neste intervalo ( $t_3$  a  $t_4$ ) são mostrados em (72) e a Tabela 14 mostra os níveis lógicos.

**Tabela 14 - Estados de condução e bloqueio dos elementos no quarto estado topológico**

$S_1$	$S_2$	$S_3$	$S_4$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$C_1$	$C_2$
0	1	0	1	0	0	0	0	1	0	0	1

Fonte: Autoria própria

$$\begin{cases} i_{S_2}'''' = i_g \\ i_{S_4}'''' = i_{D_5}'''' = -i_{C_2}'''' = \frac{i_g}{2} \\ i_{D_1}'''' = i_{C_1}'''' = i_{D_4}'''' = 0 \\ i_{C_o}'''' = \frac{i_g}{4} \end{cases} \quad (72)$$

#### 5.4 Ganho estático

Ao observar as formas de onda ilustradas na Figura 73 quanto a tensão sobre o indutor,  $v_L$ , pode-se considerar que num período de comutação o seu valor seja nulo (ERICKSON, MAKSIMOVIC, 2001), donde se chega em (73). Cabe citar que esta equação é válida para um período de comutação, assumindo as condições de que as tensões de entrada ( $v_i$ ) e de saída ( $v_o$ ) sejam constantes neste intervalo. Logo, substituindo as expressões de  $t_1$  e  $t_2$ , mostradas na própria Figura 73 e realizando as manipulações algébricas obtém-se (74) que define o ganho estático deste conversor.

$$\langle v_L(t) \rangle_{T_S} = 2 \frac{(v_i - v_o)t_1 + v_i t_2}{T_S} = 0 \quad (73)$$

$$\frac{V_o}{|v_g|} = \frac{1}{1 - \delta} \quad (74)$$

#### 5.5 Ondulação de corrente no indutor de entrada

A metodologia de cálculo da ondulação de corrente no indutor de entrada é semelhante ao desenvolvimento obtido para o conversor PFC *Boost* convencional, visto que o ganho estático desta topologia se equivale ao do PFC *Boost* convencional. Deste modo, (75) apresenta o cálculo da ondulação de corrente normalizada, dada em função da razão cíclica efetiva ( $\delta$ ) e da frequência de comutação ( $f_s$ ).

$$\overline{\Delta I_L} = \frac{\Delta I_L \cdot L}{v_g} = \frac{\delta}{f_s} \quad (75)$$

#### 5.6 Ondulação de tensão no capacitor de saída

A metodologia de cálculo da ondulação de tensão no capacitor de saída é conforme Soares (2021). (76) apresenta este cálculo, sendo  $\Delta V_o(\max)$  a máxima

ondulação de tensão de saída,  $i_g$  é a corrente de entrada,  $C_o$  é o valor da capacitância de saída, e  $f_{s(\min)}$  é a mínima frequência de comutação.

$$\Delta V_{O(\max)} = \frac{i_g \delta}{2C_o f_{s(\min)}} = \frac{P_o \delta}{n \cdot v_g \cdot 2 \cdot \Delta V_o \cdot f_{s(\min)}} \quad (76)$$

## 5.7 Análise de esforços de corrente

A análise matemática de esforços de corrente aqui apresentada desprezou o efeito das capacitâncias intrínsecas dos componentes, bem como a corrente oriunda da comutação suave, denominada de corrente de roda-livre. Na corrente dos capacitores chaveados foi considerado um comportamento linear, desprezando parcelas não lineares destas correntes.

### 5.7.1 Expressão do valor médio da corrente nos transistores $S_1$ e $S_2$

A corrente que flui através do transistor  $S_1$  é a mesma que flui em  $S_2$ , devido a simetria da operação do conversor proposto, portanto será apresentada somente a expressão em  $S_1$ . Em valor médio quase instantâneo, o cálculo é feito em (77).

$$\begin{cases} \langle \overline{I_{S1}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{\frac{(1-\delta)T_s}{2}} i'_{S1} dt + \int_{\frac{(1-\delta)T_s}{2}}^{\frac{T_s}{2}} i''_{S1} dt \right) \\ \langle \overline{I_{S1}} \rangle_{T_s} = \frac{1}{4} i_g (1 + \delta) \end{cases} \quad (77)$$

Com a expressão obtida, calcula-se o esforço de corrente em valor médio no período da rede elétrica em (78), fazendo as substituições:  $\delta = 1 - M \cdot |\text{sen}(\omega t)|$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \overline{I_{S1}} = \frac{1}{\pi} \int_0^{\pi} \langle \overline{I_{S1}}(\omega t) \rangle_{T_s} d\omega t \\ \overline{I_{S1}} = -\frac{1}{8} \frac{I_p (M\pi - 8)}{\pi} \end{cases} \quad (78)$$

### 5.7.2 Expressão do valor eficaz da corrente nos transistores $S_1$ e $S_2$

A corrente que flui através do transistor  $S_1$ , em valor eficaz num período de comutação, é calculada conforme (79).

$$\begin{cases} \langle I_{S1,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{\frac{(1-\delta)T_s}{2}} (i'_{S1})^2 dt + \int_{\frac{(1-\delta)T_s}{2}}^{\frac{T_s}{2}} (i''_{S1})^2 dt \right)} \\ \langle I_{S1,ef} \rangle_{T_s} = \frac{\sqrt{6}}{6} i_g \sqrt{1 + 2\delta} \end{cases} \quad (79)$$

A corrente que circulará através do transistor  $S_1$  pode ser calculada no período da rede elétrica conforme (80), fazendo as substituições:  $\delta = 1-M./\text{sen}(\omega t)/$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \langle I_{S1,ef}(\omega t) \rangle_{T_s} = \frac{\sqrt{6}}{6} I_p |\text{sen}(\omega t)| \sqrt{3 - 2 \cdot M \cdot |\text{sen}(\omega t)|} \\ I_{S1,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{S1,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{S1,ef} = \frac{I_p}{6} \sqrt{\frac{-16M+9\pi}{\pi}} \end{cases} \quad (80)$$

5.7.3 Expressão do valor médio da corrente nos transistores  $S_3$  e  $S_4$  e nos diodos  $D_3$  e  $D_5$

A corrente que flui através do transistor  $S_3$  é a mesma que flui em  $S_4$ , bem como nos diodos  $D_3$  e  $D_5$ , devido a simetria da operação do conversor proposto e as etapas de operação da Figura 72, portanto será apresentada somente a expressão em  $S_3$ . Em valor médio quase instantâneo, o cálculo é feito em (81).

$$\begin{cases} \langle \overline{I_{S3}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{\frac{(1-\delta)T_s}{2}} i'_{S3} dt + \int_{\frac{T_s}{2}}^{\frac{T_s}{2} + \frac{(1-\delta)T_s}{2}} i''_{S3} dt \right) \\ \langle \overline{I_{S3}} \rangle_{T_s} = \frac{i_g}{8} (\delta + 1) \end{cases} \quad (81)$$

Com a expressão obtida, calcula-se o esforço de corrente em valor médio no período da rede elétrica em (82), fazendo as substituições:  $\delta = 1-M./\text{sen}(\omega t)/$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \overline{I_{S3}} = \frac{1}{\pi} \int_0^\pi \langle \overline{I_{S3}}(\omega t) \rangle_{T_s} d\omega t \\ \overline{I_{S3}} = -\frac{1}{16} I_p \frac{(M\pi-8)}{\pi} \end{cases} \quad (82)$$

5.7.4 Expressão do valor eficaz da corrente nos transistores  $S_3$  e  $S_4$  e nos diodos  $D_3$  e  $D_5$

A corrente que flui através do transistor  $S_3$ , em valor eficaz num período de comutação, é calculada conforme (83).

$$\begin{cases} \langle I_{S3,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_{\frac{T_s}{2}}^{\frac{T_s}{2} + \frac{(1-\delta)T_s}{2}} (i'_{S3})^2 dt + \int_{\frac{T_s}{2}}^{\frac{T_s}{2} + \frac{(1-\delta)T_s}{2}} (i''_{S3})^2 dt \right)} \\ \langle I_{S3,ef} \rangle_{T_s} = \frac{\sqrt{6}}{12} i_g \sqrt{1 + 2\delta} \end{cases} \quad (83)$$

A corrente que circulará através do transistor  $S_3$  pode ser calculada no período da rede elétrica conforme (84), fazendo as substituições:  $\delta = 1-M./\text{sen}(\omega t)/$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \langle I_{S3,ef}(\omega t) \rangle_{T_s} = \frac{\sqrt{6}}{12} I_p |\text{sen}(\omega t)| \sqrt{3 - 2 \cdot M \cdot |\text{sen}(\omega t)|} \\ I_{S3,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{S3,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{S3,ef} = \frac{I_p}{12} \sqrt{\frac{9\pi - 16M}{\pi}} \end{cases} \quad (84)$$

#### 5.7.5 Expressão do valor médio da corrente nos diodos $D_1$ , $D_2$ , $D_4$ e $D_6$

A corrente que flui através do diodo  $D_1$  é a mesma que flui em  $D_2$ , bem como nos diodos  $D_4$  e  $D_6$ , devido as etapas de operação da Figura 72, portanto será apresentada somente a expressão em  $D_1$ . Em valor médio quase instantâneo, o cálculo é feito em (85).

$$\begin{cases} \langle \overline{I_{D1}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{\frac{(1-\delta)T_s}{2}} i'_{D1} dt \right) \\ \langle \overline{I_{D1}} \rangle_{T_s} = -\frac{1}{4} i_g (\delta - 1) \end{cases} \quad (85)$$

Com a expressão obtida, calcula-se o esforço de corrente em valor médio no período da rede elétrica em (86), fazendo as substituições:  $\delta = 1-M./\text{sen}(\omega t)/$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \overline{I_{D1}} = \frac{1}{\pi} \int_0^\pi \langle \overline{I_{D1}}(\omega t) \rangle_{T_s} d\omega t \\ \overline{I_{D1}} = \frac{1}{8} I_p M \end{cases} \quad (86)$$

#### 5.7.6 Expressão do valor eficaz da corrente nos diodos $D_1$ , $D_2$ , $D_4$ e $D_6$

A corrente que flui através do diodo  $D_1$ , em valor eficaz num período de comutação, é calculada conforme (87).

$$\begin{cases} \langle I_{D1,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{\frac{(1-\delta)T_s}{2}} (i'_{D1})^2 dt \right)} \\ \langle I_{D1,ef} \rangle_{T_s} = \frac{\sqrt{6}}{6} i_g \sqrt{1 - \delta} \end{cases} \quad (87)$$

A corrente que circulará através do diodo  $D_1$  pode ser calculada no período da rede elétrica conforme (88), fazendo as substituições:  $\delta = 1-M./\text{sen}(\omega t)/$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \langle I_{D1,ef}(\omega t) \rangle_{T_s} = \frac{\sqrt{6}}{6} I_p \cdot \text{sen}(\omega t)^{3/2} \sqrt{M} \\ I_{D1,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{D1,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{D1,ef} = \frac{\sqrt{2}}{3} I_p \sqrt{\frac{M}{\pi}} \end{cases} \quad (88)$$

### 5.7.7 Expressão do valor eficaz da corrente nos capacitores $C_1$ e $C_2$

A corrente que flui através do capacitor  $C_1$  é a mesma do capacitor  $C_2$ , por simetria de operação do conversor. Assim sendo, a expressão da corrente a ser mostrada é a do capacitor  $C_1$ , que possui um valor eficaz num período de comutação calculado conforme em (89).

$$\begin{cases} \langle I_{C2,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{\frac{(1-\delta)T_s}{2}} (i'_{C2})^2 dt + \int_{\frac{T_s}{2}}^{\frac{T_s+(1-\delta)T_s}{2}} (i'''_{C2})^2 dt + \int_{\frac{T_s+(1-\delta)T_s}{2}}^{T_s} T(i''''_{C2})^2 dt \right)} \\ \langle I_{C2,ef} \rangle_{T_s} = \frac{\sqrt{6}}{12} i_g \sqrt{-2\delta + 5} \end{cases} \quad (89)$$

A corrente que circulará através do capacitor  $C_1$  pode ser calculada no período da rede elétrica conforme (90), fazendo as substituições:  $\delta = 1 - M / \text{sen}(\omega t)$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \langle I_{C2,ef}(\omega t) \rangle_{T_s} = \frac{\sqrt{6}}{12} I_p |\text{sen}(\omega t)| \sqrt{2 \cdot M |\text{sen}(\omega t)| + 3} \\ I_{C2,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{C2,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{C2,ef} = \frac{1}{12} I_p \sqrt{\frac{16M+9\pi}{\pi}} \end{cases} \quad (90)$$

### 5.7.8 Expressão do valor eficaz da corrente no capacitor $C_o$

A corrente que flui através do capacitor  $C_o$  possui um valor eficaz num período de comutação calculado conforme (91).

$$\begin{cases} \langle I_{C_o,ef} \rangle_{T_s} = \sqrt{\frac{2}{T_s} \left( \int_0^{\frac{(1-\delta)T_s}{2}} (i'_{C_o})^2 dt + \int_{\frac{T_s}{2}}^{\frac{T_s}{2}} (i''_{C_o})^2 dt \right)} \\ \langle I_{C_o,ef} \rangle_{T_s} = \frac{\sqrt{3}}{12} i_g \sqrt{7 - 4\delta} \end{cases} \quad (91)$$

A corrente que circulará através do capacitor  $C_o$  pode ser calculada no período da rede elétrica conforme (92), fazendo as substituições:  $\delta = 1 - M / \text{sen}(\omega t)$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \langle I_{Co,ef}(\omega t) \rangle_{T_s} = \frac{\sqrt{3}}{12} I_p |\text{sen}(\omega t)| \sqrt{4M |\text{sen}(\omega t)| + 3} \\ I_{Co,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{Co,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{Co,ef} = \frac{\sqrt{2}}{24} I_p \sqrt{\frac{32M+9\pi}{\pi}} \end{cases} \quad (92)$$

5.7.9 Expressão dos valores médio e eficaz da corrente nos diodos  $D_{b1}$ ,  $D_{b2}$ ,  $D_{b3}$  e  $D_{b4}$

A corrente que flui através do diodo  $D_{b1}$  (que é igual à do diodo  $D_{b4}$  e por simetria aos diodos  $D_{b2}$  e  $D_{b3}$ ) em valor eficaz num período de comutação é calculada conforme (93).

$$\begin{cases} \langle I_{Db1,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{d \cdot T_s} (i'_{Db1})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{Db1})^2 dt \right)} \\ \langle I_{Db1,ef} \rangle_{T_s} = i_g = \frac{V_p}{4R(d-1)^2} \end{cases} \quad (93)$$

A corrente que circulará através do diodo  $D_{b1}$  pode ser calculada no período da rede elétrica conforme (94), fazendo as substituições:  $d = 1 - M \cdot \text{sen}(\omega t)$  e  $i_g = I_p \cdot \text{sen}(\omega t)$ .

$$\begin{cases} \langle I_{Db1,ef}(\omega t) \rangle_{T_s} = i_g = I_p \cdot \text{sen}(\omega t) \\ I_{Db1,ef} = \sqrt{\frac{1}{2\pi} \int_0^\pi (\langle I_{D1,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{Db1,ef} = \frac{I_p}{2} \end{cases} \quad (94)$$

5.7.10 Resumo dos esforços de corrente nos semicondutores e capacitores

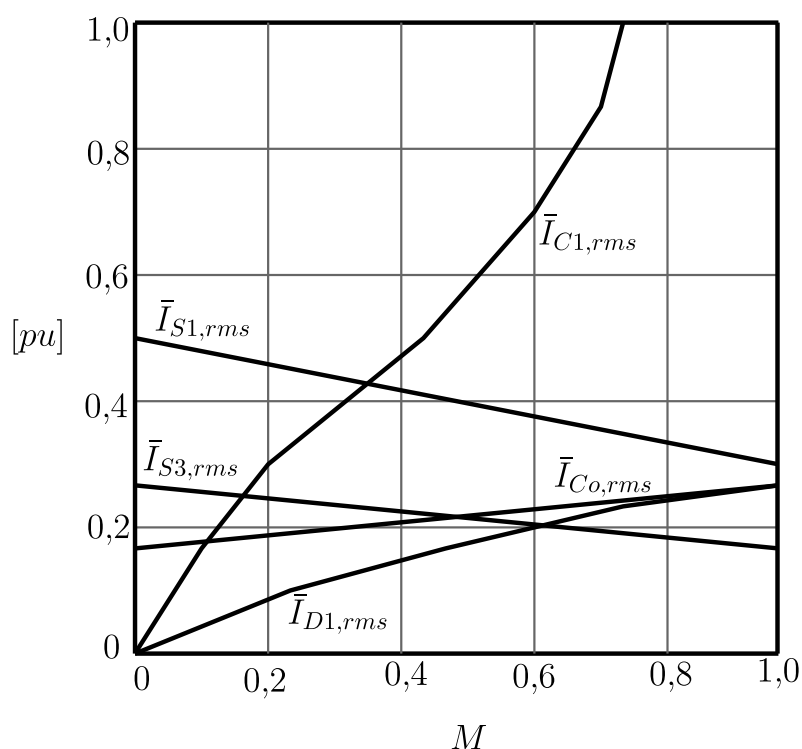
A Tabela 15 apresenta o resumo dos esforços de corrente nos semicondutores e capacitores do conversor proposto, em valor eficaz, num período de comutação e num período da rede elétrica. A Figura 77 mostra os esforços de corrente em valores eficazes normalizados em função do índice de modulação  $M$ . Tem-se a Equação 33 genérica válida apresentada anteriormente, ou seja, os valores eficazes (RMS) das correntes foram normalizados em relação aos valores de pico das correntes. Cabe citar que as correntes equivalentes, conforme a Tabela 15, foram omitidas no gráfico da Figura 77.

**Tabela 15 - Esforços de corrente em valores eficazes nos semicondutores e capacitores para operação PFC do conversor proposto**

Comp. x	Valor RMS em T <sub>s</sub>	Valor RMS em T <sub>g</sub>
$C_1, C_2$	$\frac{\sqrt{6}}{12} i_g \sqrt{-2\delta + 5}$	$\frac{1}{12} I_p \sqrt{\frac{16M+9\pi}{\pi}}$
$C_o$	$\frac{\sqrt{3}}{12} i_g \sqrt{7 - 4\delta}$	$\frac{\sqrt{2}}{24} I_p \sqrt{\frac{32M+9\pi}{\pi}}$
$S_1, S_2$	$\frac{\sqrt{6}}{6} i_g \sqrt{1 + 2\delta}$	$\frac{I_p}{6} \sqrt{\frac{-16M+9\pi}{\pi}}$
$S_3, S_4, D_3, D_5$	$\frac{\sqrt{6}}{12} i_g \sqrt{1 + 2\delta}$	$\frac{I_p}{12} \sqrt{\frac{9\pi-16M}{\pi}}$
$D_1, D_2, D_4, D_6$	$\frac{\sqrt{6}}{6} i_g \sqrt{1 - \delta}$	$\frac{\sqrt{2}}{3} I_p \sqrt{\frac{M}{\pi}}$
$D_{b1}, D_{b2}, D_{b3}, D_{b4}$	$\frac{V_p}{4R(d-1)^2}$	$\frac{I_p}{2}$

Fonte: Autoria própria.

**Figura 77 - Esforços de corrente em valores eficazes normalizados em função do índice de modulação equivalente M do conversor proposto**



Fonte: Autoria própria.

## 5.8 Modelagem e controle

Diferentemente do conversor proposto no capítulo 4, neste caso a estratégia de modulação é por frequência de pulso mantendo uma razão cíclica constante, sendo dispensado o controle da corrente de entrada, uma vez que o conversor é visto como uma impedância idealmente resistiva pela fonte de entrada. Esta característica torna

o conversor naturalmente com alto fator de potência, sem necessidade da medição e controle da corrente de entrada. Deste modo, é necessário apenas a medição da tensão de saída do conversor. Antes de apresentar a estratégia de controle, cabe apresentar o equacionamento que permite deduzir este comportamento de característica resistiva. Ao observar a corrente no indutor magnetizante no gráfico da Figura 73 pode-se deduzir (95) e (96).

$$i_{4L_m}(t_1) = i_{4L_m}(t_0) - \frac{1}{4L_m} \int_{t_0}^{t_1} 2V_o dt = i_{4L_m}(t_0) - \frac{1}{2L_m} \int_{t_0}^{t_1} V_o dt \quad (95)$$

$$i_{4L_m}(t_1) = i_{4L_m}(t_0) - \frac{V_o}{2L_m} (t_1 - t_0) \quad (96)$$

Sabe-se que (97) é válida, donde se conclui que (98) define a razão cíclica efetiva ( $\delta$ ). Comparando (98) com (74), deduz-se (99), que mostra que a tensão de entrada ( $v_g$ ) é linearmente dependente da corrente no indutor de entrada ( $i_L$ ), e a constante de proporção é dada pela resistência emulada pelo conversor que depende da indutância magnetizante ( $4L_m$ ) e da frequência de comutação ( $f_s$ ).

$$t_1 - t_0 = (1 - \delta) \frac{T_s}{2} \quad (97)$$

$$\delta = 1 - i_L \frac{4L_m}{v_o \cdot T_s} \quad (98)$$

$$i_L = \frac{v_g}{4L_m f_s} \quad (99)$$

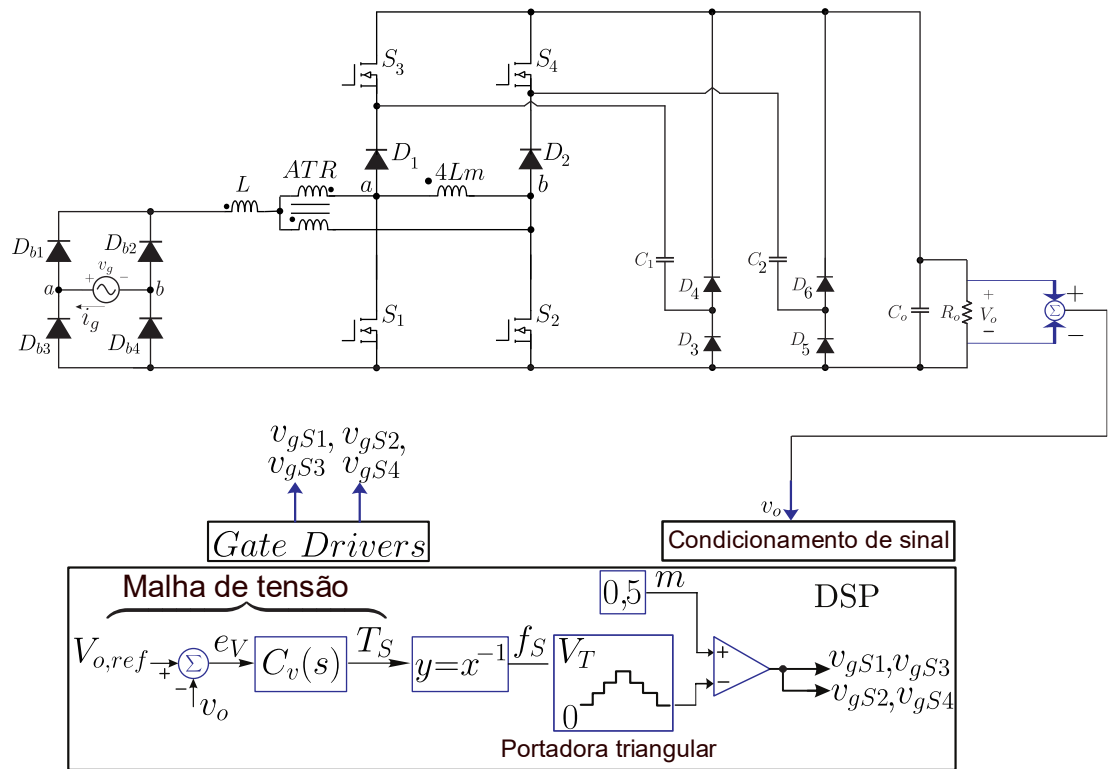
### 5.8.1 Estratégia de controle

O objetivo é obter um modelo matemático do sistema, ou seja, uma função de transferência que irá relacionar a tensão de saída com o período de comutação do conversor. Na Figura 78 pode-se ver as grandezas que são medidas para o sistema de controle do conversor proposto. A dispensa da medição da corrente de entrada é um facilitador para esta topologia proposta, reduzindo a complexidade de implementação uma vez que sensores de corrente requerem maiores imunidades a ruídos, gerados pela própria comutação dos transistores ou até mesmo pela rede elétrica. O conversor proposto, que utiliza a célula presente no IBC-SFM, possui a característica de operar com a continuidade de corrente no indutor de entrada.

A tensão de entrada pode ser medida com o intuito de aplicar a técnica denominada *feedforward*, com a finalidade de acelerar a dinâmica do controle, atingindo a resposta em regime permanente mais rápido e com menor esforço dos controladores. No entanto, tal técnica não é obrigatória para o funcionamento do

conversor com elevado fator de potência (aproximadamente unitário). O funcionamento do sistema de controle é mais bem explicado no item 5.8.2.

**Figura 78 – Estratégia de controle do retificador *Boost PFC interleaved* híbrido a capacitor chaveado com redução do ganho estático**



Fonte: Autoria própria.

### 5.8.2 Modelo por valores médios da tensão de saída

O balanço de potências para este conversor é ilustrado em (100), donde se procede (101). Ao aplicar uma perturbação nas grandezas período de comutação,  $T_s$ , e tensão de saída,  $V_o$ , conforme (102) e (103), respectivamente, obtém-se (104) e (105).

$$P_i(t) = P_o(t) = P_c(t) + P_R(t) \tag{100}$$

$$\frac{v_i^2 T_s(t)}{4L_m} = \frac{C_o}{2} \frac{d(v_o(t)^2)}{dt} + \frac{v_o(t)^2}{R} \tag{101}$$

$$\langle T_s(t) \rangle_{T_s} = T_{Seq} + \tilde{T}_s(t) \tag{102}$$

$$\langle v_o(t) \rangle_{T_s} = V_o + \tilde{v}_o(t) \tag{103}$$

$$\frac{v_i^2}{4L_m} \langle T_s(t) \rangle_{T_s} = \frac{C_o}{2} \frac{d}{dt} \langle v_o(t) \rangle_{T_s}^2 + \frac{\langle v_o(t) \rangle_{T_s}^2}{R} \tag{104}$$

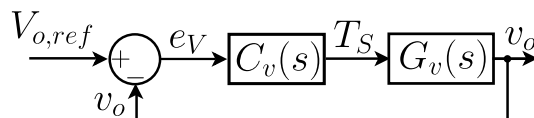
$$\frac{v_i^2}{4L_m} [T_{Seq} + \tilde{T}_s(t)] = \frac{C_o}{2} \frac{d}{dt} [V_o + \tilde{v}_o(t)]^2 + \frac{[V_o + \tilde{v}_o(t)]^2}{R} \tag{105}$$

Ao aplicar a transformada de Laplace, ignorando as condições iniciais, e desprezando os termos CC e os termos de segunda ordem e dividindo o numerador e o denominador por  $2V_o$ , obtém-se (106). A função de transferência que relaciona a tensão de saída do conversor com o período de comutação é mostrada em (106). O diagrama de blocos referente a malha de controle de tensão é apresentado na Figura 79. Pode-se ver que há apenas uma malha de controle de tensão, sendo que o compensador de tensão ( $C_v$ ) recebe o sinal de erro ( $e_v$ ) e fornece como resultado o período de comutação do conversor ( $T_s$ ). O inverso do período de comutação é a frequência de comutação ( $f_s$ ) utilizada no modulador PFM, mostrado na Figura 78. Deste modo, no modulador PFM é comparado um sinal fixo de razão cíclica equivalente a 0,5 ( $D = 0,5$ ) com duas portadoras, que tem ambas a mesma frequência variável ( $f_s$ ), e fases de  $0^\circ$  e  $180^\circ$  para gerar os sinais de comando para o par de transistores  $S_1 - S_3$  e  $S_2 - S_4$ , respectivamente.

A fase e o ganho estimados são obtidos a partir do diagrama de bode do sistema sem o compensador de tensão (Figura 80) e, posteriormente, com o compensador (Figura 81), conforme a equação 106 que representa a função de transferência de laço aberto simplificada do sistema (OGATA, 2009; NISE, 2017; LANGE, 2012). Foi utilizado o software Matlab para gerar os diagramas de Bode. A frequência de cruzamento escolhida neste projeto foi igual a 3,06 Hz. Através da resposta em frequência, com uma margem de fase igual a 71,2 graus, o sistema apresentou ganho unitário, podendo-se verificar a sua estabilidade.

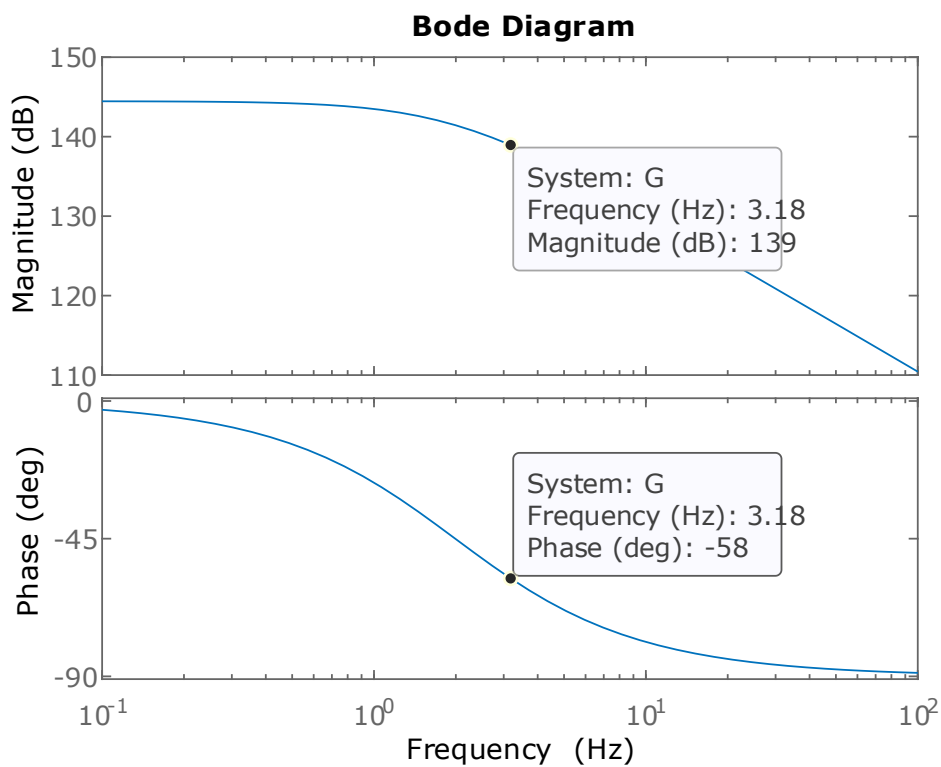
$$G_v(s) = \frac{\tilde{v}_o(s)}{\tilde{T}_s(s)} = \frac{v_{grms}^2 \cdot R}{8 \cdot L_m \cdot V_o} \frac{1}{\frac{R \cdot C_o \cdot s}{2} + 1} \quad (106)$$

**Figura 79 – Diagrama de blocos da malha de controle de tensão do conversor proposto**



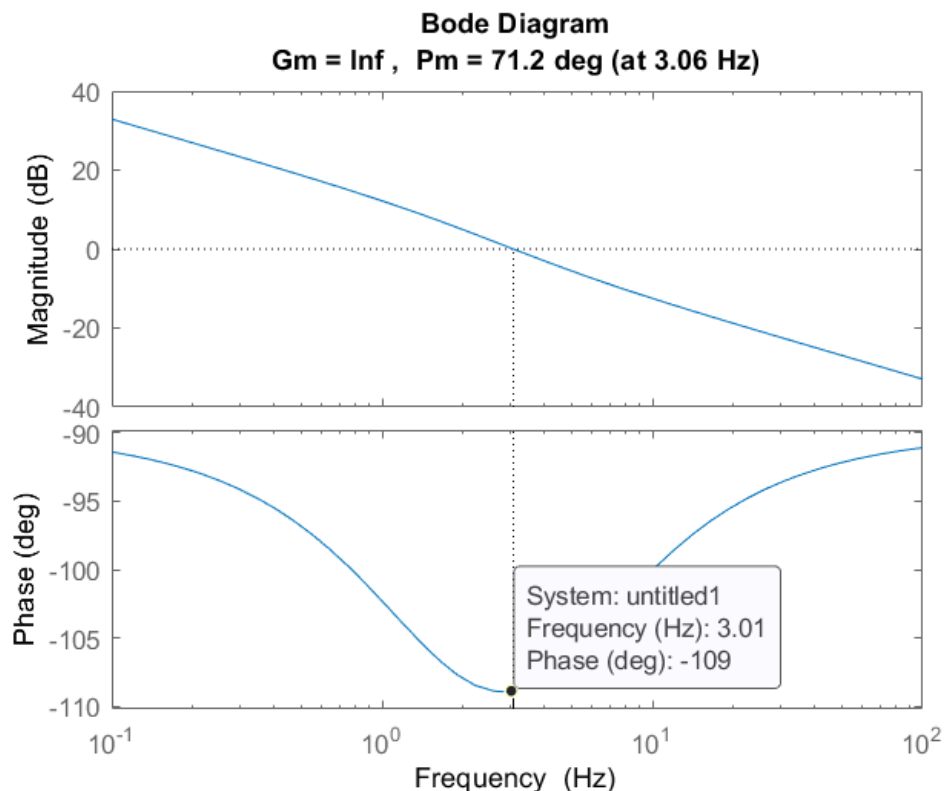
Fonte: Autoria própria.

**Figura 80 – Diagrama de bode do sistema em laço aberto,  $G_v(s)$ , sem o compensador de tensão. Ganho estimado de 139 dB e fase estimada de -58 graus.**



Fonte: Autoria própria.

**Figura 81 – Diagrama de bode do sistema em laço aberto,  $G_v(s)$ , com o compensador de tensão. Ganho unitário, 0 dB, e margem de fase 71,2 graus (frequência de cruzamento: 3,06 Hz).**



Fonte: Autoria própria.

### 5.8.3 Considerações acerca dos parâmetros do controlador

Para a obtenção da função de transferência do compensador de tensão, que é a única malha de controle necessária para a operação desta topologia com alto fator de potência, adotou-se o procedimento semelhante do capítulo 4, no item 4.9.4. Neste caso, com apenas uma malha de controle necessária, a implementação foi significativamente facilitada.

## 5.9 Definições de projeto

Os parâmetros do projeto referentes ao ponto de operação do conversor proposto, que foram aplicados nas simulações, são apresentados na Tabela 16. A Tabela 17 mostra as especificações dos componentes de projeto. Cabe citar novamente a observação feita em 4.10 em relação ao dimensionamento inicial deste protótipo, que foi estabelecido para a potência nominal de 1 kW. Contudo, adotou-se uma margem de sobredimensionamento de 50% (1,5 kW), de modo que ao obter os resultados experimentais e traçar a curva de rendimento foi possível extrapolar a

potência de 1 kW, afim de verificar o ponto de inflexão da curva, quando o rendimento é reduzido em relação ao ponto anterior.

**Tabela 16 – Parâmetros do projeto: Retificador *Boost* PFC *interleaved* híbrido a capacitor chaveado com redução do ganho estático e modulação em frequência de pulso**

Parâmetro	Valor
Tensão de entrada: $V_{g,rms}$	220 V
Frequência de entrada: $f_g$	60 Hz
Valor de pico da corrente de entrada: $I_p$	9,0 A
Valor eficaz da corrente de entrada: $I_{g,ef}$	6,36 A
Tensão de saída: $V_o$	400 V
Frequência de comutação: $f_s$	70 kHz
Potência de saída: $P_o$	1,4 kW
Corrente de saída: $I_o$	3,50 A

Fonte: Autoria própria.

**Tabela 17 – Componentes do projeto: Retificador *Boost* PFC *interleaved* híbrido a capacitor chaveado com redução do ganho estático e modulação em frequência de pulso**

Componente	Descrição/valor
Indutor de entrada - $L$	Toroidal Magnetics ref. 58438 – 2,2 mH / 128 espiras
Indutores acoplados - $ATR$	Núcleo de ferrite Thornton E-42/20 – 144,8 $\mu$ H / 14 espiras
Capacitor chaveado – $C_1$	Capacitor de filme 1 X 60 $\mu$ F 800V - TDK B32778G8606
Capacitor de barramento – $C_o$	Capacitor eletrolítico 2 X 470 $\mu$ F 450V – EPCOS 43547A5477
Transistores – $S_x, x \in 1 - 4$	C2M0025120D SiC MOSFET 1200V/127A $R_{DS(on)max} = 40$ m $\Omega$
Diodos lentos – $D_{bk}, k \in 1 - 4$	KBPC3508 800V/35A (ponte de diodos)
Diodos – $D_j, j \in 1 - 6$	MUR1560 – 600V/15A
Capacitância intrínseca dos transistores	$C_s = 224$ pF
Capacitância intrínseca dos diodos rápidos	$C_d = 75$ pF
Valor de rendimento aproximado	$n = 0,98$

Fonte: Autoria própria.

Com base na Tabela 16 e na Tabela 17 são calculados os parâmetros a seguir: o índice de modulação equivalente ( $M$ ), conforme (107); a razão cíclica efetiva, conforme (108); a indutância de entrada, conforme (109), tendo sido adotado uma

ondulação de corrente igual a 10% da corrente de pico no indutor; a ondulação de tensão no capacitor de barramento ( $\Delta v_{Co}$ ), conforme (110); bem como a constante de tempo do circuito ( $\tau$ ), conforme (111), considerando o caminho da corrente que circula por  $C_1$  conforme a Figura 72 (a), que envolve o transistor  $S_3$  e o diodo  $D_3$ . Pelo valor da constante de tempo do circuito, aproximadamente igual a 2,4  $\mu$ s, e o valor do período de comutação igual a 14,3  $\mu$ s, nota-se o modo de operação *complete-charge*, ou carga completa. Todavia, no circuito prático o modo de operação pode se aproximar do *partial-charge*, ou carga parcial, devido a outras resistências parasitas envolvidas e que não estão sendo consideradas no cálculo teórico (Ver os resultados experimentais na Figura 99 e na Figura 100).

É calculada, também, a indutância magnetizante provisória dos indutores acoplados,  $L_{mp}$  calculada em (112), para então obter a corrente de roda-livre ( $I_{rl}$ ) e o intervalo de tempo ( $t_{i1}$ ), ambos apresentados na seção 5.2.1.1 que tratou do bloqueio dos diodos  $D_1$  e  $D_2$ , conforme (113) e (114), respectivamente. Por fim, é calculada a frequência efetiva e a indutância magnetizante de projeto do indutor acoplado, conforme (115) e (116), respectivamente (Soares, 2021).

$$M = \frac{V_p}{V_o} = \frac{\sqrt{2} \cdot 220}{400} = 0,778 \quad (107)$$

$$\delta = \frac{V_o - V_{i,rms}}{V_o} = \frac{400 - 220}{400} = 0,45 \quad (108)$$

$$L = \frac{V_{i,rms} \cdot \delta}{\Delta i_L \cdot f_S} = \frac{220 \cdot 0,45}{0,1 \cdot 6,428 \cdot 70k} = 2,2mH \quad (109)$$

$$\Delta v_{Co} = \frac{P_o}{2 \cdot V_o \cdot C_o \cdot 2\pi \cdot f_g} = \frac{1k}{2 \cdot 400 \cdot 940\mu \cdot 2\pi \cdot 60} = 3,53V \quad (110)$$

$$\tau = R_{eq} \cdot C_1 = (R_{DS(on)max}) \cdot C_1 = (40m\Omega) \cdot 60\mu F = 0,0024ms \quad (111)$$

$$L_{mp} = \frac{n \cdot v_{i,rms}^2}{4 \cdot P \cdot f_S} = \frac{0,98 \cdot 220^2}{4 \cdot 1k \cdot 70k} = 169,4\mu H \quad (112)$$

$$I_{rl} = \frac{v_o}{2} \sqrt{\frac{C_s + C_d}{L_{mp}}} = \frac{400}{2} \sqrt{\frac{224p + 75p}{L_{mp}}} = 0,266A \quad (113)$$

$$t_{i1} = \pi \sqrt{L_{mp}(C_s + C_d)} = \pi \sqrt{169,4\mu(224p + 75p)} = 707ns \quad (114)$$

$$f_e = \frac{1}{T_s - t_{i1}} = \frac{1}{14,3\mu - 0,695\mu} \cong 73,6kHz \quad (115)$$

$$L_m = \frac{V_{i,rms}}{4(2I_{rl} + \frac{P}{n \cdot V_{i,rms}})f_e} = \frac{220}{4(2 \cdot 0,266 + \frac{1k}{0,98 \cdot 220})73,6k} = 144,5 \mu H \quad (116)$$

5.9.1 Estimativa de perdas no retificador *Boost PFC interleaved* híbrido a capacitor chaveado com redução do ganho estático

A mesma metodologia de cálculo de perdas apresentada na seção 4.10.1 é reapresentada para a topologia de retificador *Boost PFC interleaved* híbrido a capacitor chaveado com redução do ganho estático. Para a obtenção dos valores médios e eficazes das correntes foram utilizados resultados de simulação que serão mostrados na seção 5.10.

#### 5.9.1.1 Perdas nos transistores $S_1, S_2, S_3$ e $S_4$

(117) e (118) representam as perdas por condução e por comutação, respectivamente.

$$P_{S,cond} = R_{DS(on),max} \cdot I_{S,ef}^2 \quad (117)$$

$$P_{S,com} = \frac{V_{S,pico} \cdot I_{S,comutacao} \cdot f_S \cdot (t_{on} + t_{off})}{2} = \frac{V_{S,pico} \cdot I_L \cdot f_S \cdot (t_{on} + t_{off})}{2} \quad (118)$$

#### 5.9.1.2 Perdas nos diodos rápidos $D_1, D_2, D_4, D_6, D_3$ e $D_5$ e lentos $D_{b1}, D_{b2}, D_{b3}$ e $D_{b4}$

As perdas nos diodos são conforme (119).

$$P_{D,cond} = V_F \cdot I_{D,med} \quad (119)$$

#### 5.9.1.3 Perdas no enrolamento de cobre do indutor de entrada

As perdas nos enrolamentos de cobre do indutor de entrada são calculadas conforme (120). Ao assumir baixa ondulação da corrente de entrada, pode-se considerar somente a resistência cc dos enrolamentos do indutor.

$$P_{L,cond} = R_{L,cobre} \cdot I_{L,ef}^2 \quad (120)$$

#### 5.9.1.4 Perdas nos enrolamentos de cobre e no núcleo dos indutores acoplados

O procedimento de projeto dos indutores acoplados é apresentado mais detalhadamente no Apêndice C, tendo sido mostrados os coeficientes de perdas por histerese ( $k_h$ ) e perdas por correntes parasitas ( $k_f$ ) para o cálculo de perdas no núcleo, que é adaptado de Steinmetz (VENKATACHALAM *et al.*, 2002). (121) permite calcular as perdas nos enrolamentos de cobre, ao passo que (122) permite calcular as perdas no núcleo.

$$P_{L,cond} = R_{L,cobre} \cdot I_{L,ef}^2 \quad (121)$$

$$P_{\text{nucleo-ATR}} = V_e (K_h \cdot f_s + K_f \cdot f_s^2) \left( \frac{B_{\text{max}}}{T} \right)^{2,4} \quad (122)$$

#### 5.9.1.5 Perdas nos capacitores $C_1$ , $C_2$ e $C_o$

Os capacitores têm uma resistência equivalente série, sendo a perda calculada com base em (123).

$$P_{C,\text{cond}} = R_{\text{eqs},C} \cdot I_{C,ef}^2 \quad (123)$$

#### 5.9.1.6 Perdas fixas nos semicondutores

O cálculo das perdas fixas é com base em (124), em que o parâmetro  $E_{\text{oss}}$  é extraído da folha de dados do fabricante (quando disponível).

$$P_{\text{oss}} = E_{\text{oss}} \cdot f_s \quad (124)$$

#### 5.9.1.7 Rendimento teórico

A Tabela 18 resume as perdas totais no conversor. Pode-se, então, estimar o rendimento com base em (125), que resulta em 95,93%. Ressalta-se que nesta estimativa foi utilizada a resistência máxima de condução dos transistores, que se dá quando a temperatura é de cerca de 150 °C. A Figura 82 mostra a distribuição das perdas para este conversor, podendo ser observada a predominância das perdas nos transistores. Os cálculos contendo os parâmetros dos componentes utilizados são apresentados na seção de Apêndices, Apêndice B.

Na Figura 83 é visto o rendimento teórico do conversor proposto, que atingiu um valor máximo de 96,91% com potência de saída 1636,4 W, tendo decrescido para 96,68% com a potência de 1779,1 W. A potência de saída considerada neste cálculo foi obtida através de simulação computacional, apresentada na seção 5.10. Na curva teórica de rendimento obtida a partir da simulação foi extrapolado o valor de potência nominal, respeitando as condições de operação dos componentes escolhidos, de forma a verificar a redução no rendimento.

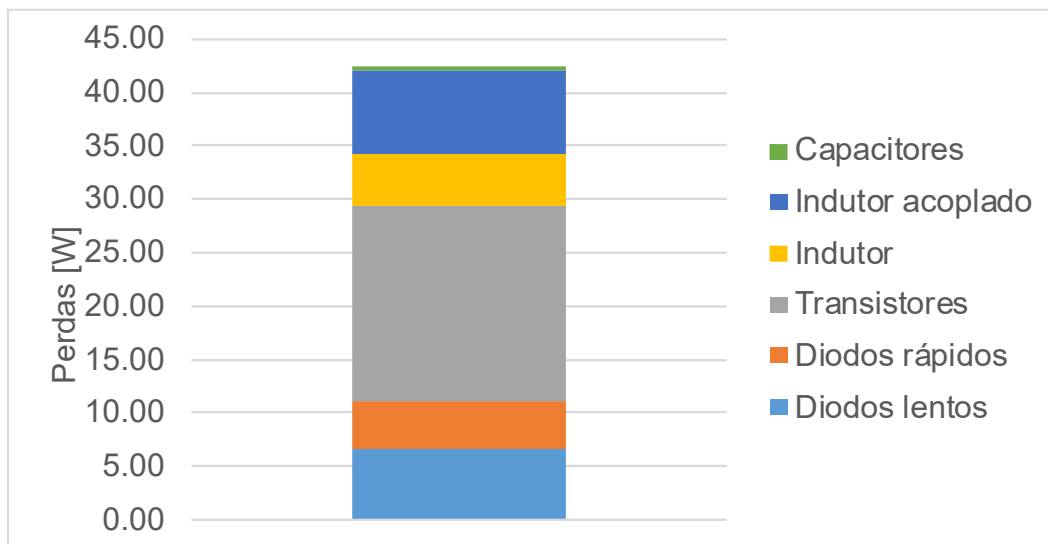
**Tabela 18 - Estimativa de perdas por condução do IB-PFM-HSCC com carga de 1 kW**

Componente	Perda por condução (W)
Diodos lentos	6,59
Diodos rápidos	4,49
Transistores	18,39
Indutor + Indutores acoplados	4,85 + 7,68
Capacitores	0,38
Perdas totais	42,37

**Fonte: Autoria própria.**

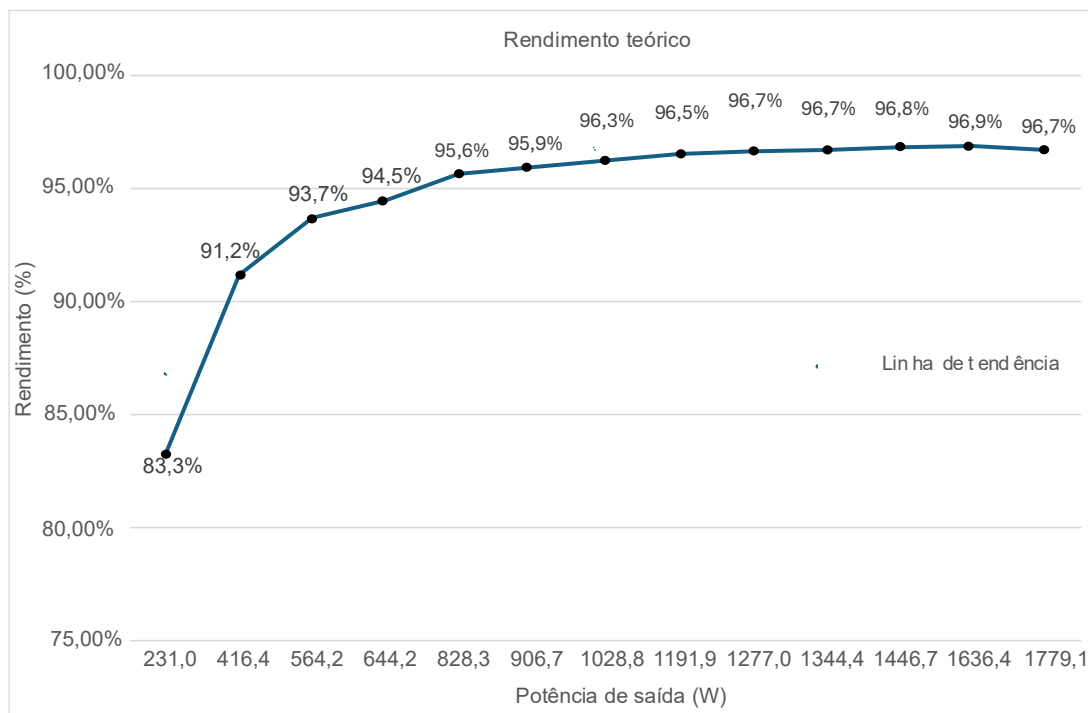
$$\eta = \frac{1000}{1000 + 42,37} = 0,9593 \quad (125)$$

**Figura 82 - Distribuição estimada de perdas do conversor IB-PFM-HSCC com carga de 1 kW**



Fonte: Autoria própria.

**Figura 83 – Rendimento teórico do conversor IB-PFM-HSCC**



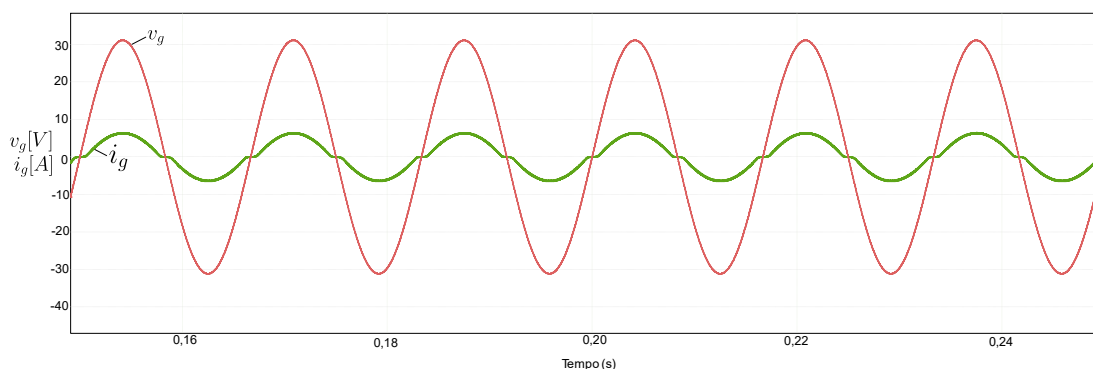
Fonte: Autoria própria.

## 5.10 Resultados de simulação

As simulações foram feitas no software PSIM, utilizando como dados de entrada a Tabela 16 e a Tabela 17. As simulações foram feitas com o conversor

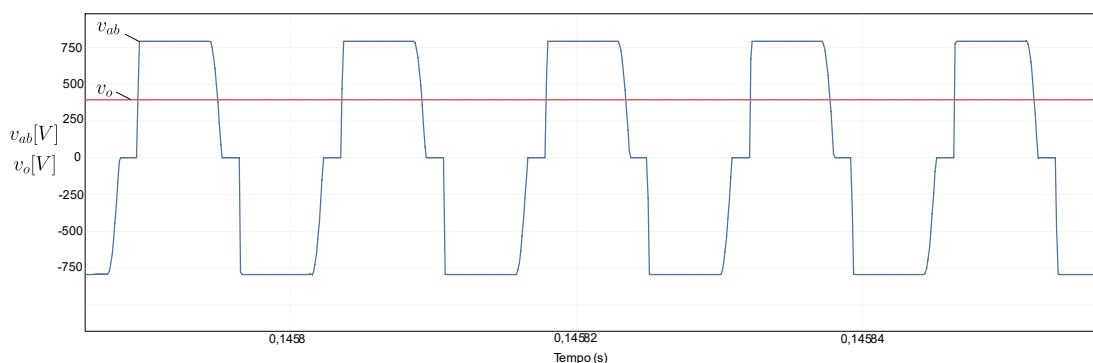
operando em potência nominal. Os resultados também são apresentados com o conversor operando em malha fechada com o controle da tensão de saída, a fim de verificar o desempenho da malha de controle da tensão de saída. A Figura 84 mostra a tensão e a corrente de entrada ( $v_g$  e  $i_g$ ). Pelo resultado pode-se perceber um elevado fator de potência de entrada, sem a necessidade de medir e controlar a corrente de entrada. A Figura 85 mostra a tensão de saída e a tensão comutada do conversor proposto,  $v_{ab}$ . Essa tensão comutada tem uma amplitude que é o dobro da tensão de saída, confirmando as formas de onda apresentadas na seção 5.2, na Figura 73.

**Figura 84 - IB-PFM-HSCC – Resultado de simulação em regime permanente: tensão e corrente de entrada ( $v_g$  e  $i_g$ ) em alguns ciclos da rede elétrica com carga de 1 kW**



Fonte: Autoria própria.

**Figura 85 – IB-PFM-HSCC – Resultado de simulação em regime permanente: tensão de saída ( $v_o$ ) e tensão comutada pelo conversor ( $v_{ab}$ ) com carga de 1 kW**

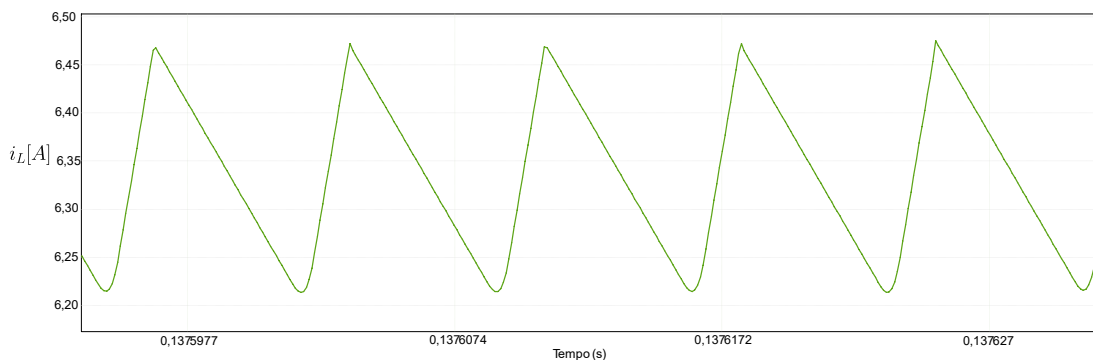


Fonte: Autoria própria.

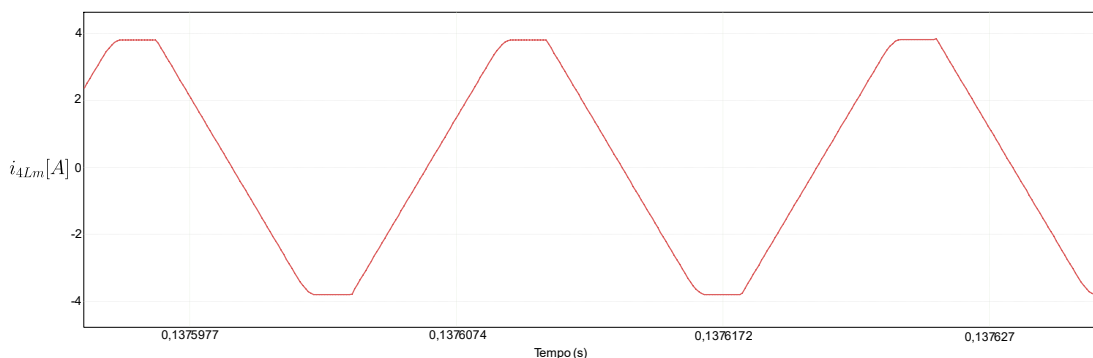
A Figura 86 apresenta as correntes no indutor de entrada e no indutor magnetizante ( $i_L$  e  $i_{4L_m}$ ), representado por  $4L_m$ . Pode-se notar a continuidade na corrente do indutor, conforme esperado. Na Figura 87 notam-se os esforços de tensão sobre o transistor  $S_1$  (que se equivale ao  $S_2$ ), bem como a comutação suave com

entrada em condução ZVS e ZCS, sendo que suportam o dobro da tensão de saída quando bloqueados.

**Figura 86 – IB-PFM-HSCC – Resultado de simulação em regime permanente: corrente no indutor de entrada ( $i_L$ ) (a) e no indutor magnetizante ( $i_{4Lm}$ ) (b) com carga de 1 kW**



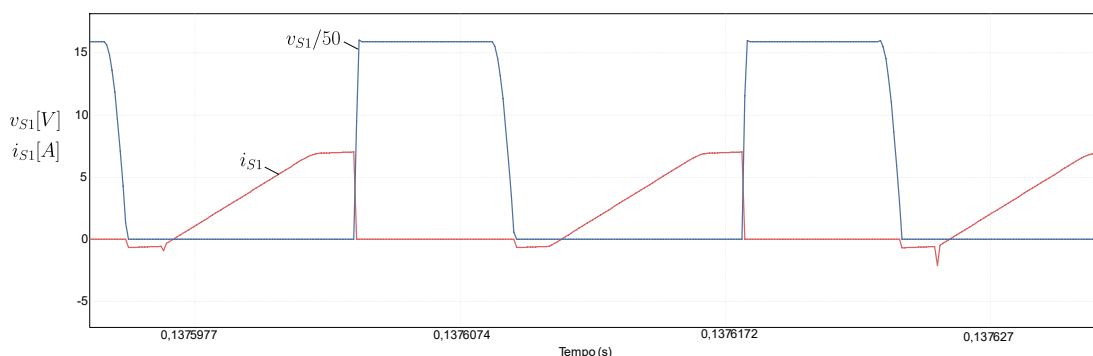
(a)



(b)

Fonte: Autoria própria.

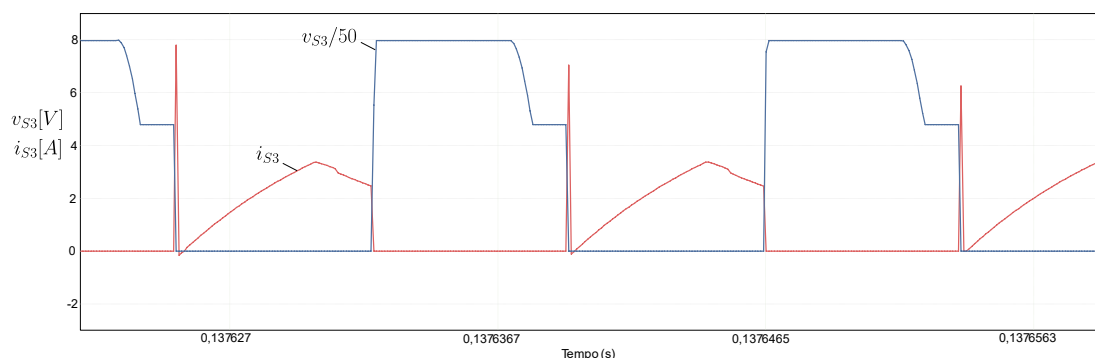
**Figura 87 – IB-PFM-HSCC – Resultado de simulação em regime permanente: corrente e tensão no transistor  $S_1$  com carga de 1 kW**



Fonte: Autoria própria.

Na Figura 88 percebe-se a comutação dissipativa nos transistores  $S_3$  e  $S_4$  (o mesmo comportamento é observado nos diodos  $D_3$  e  $D_5$ ), estando submetidos a um menor esforço de tensão, que é igual ao valor da tensão de saída.

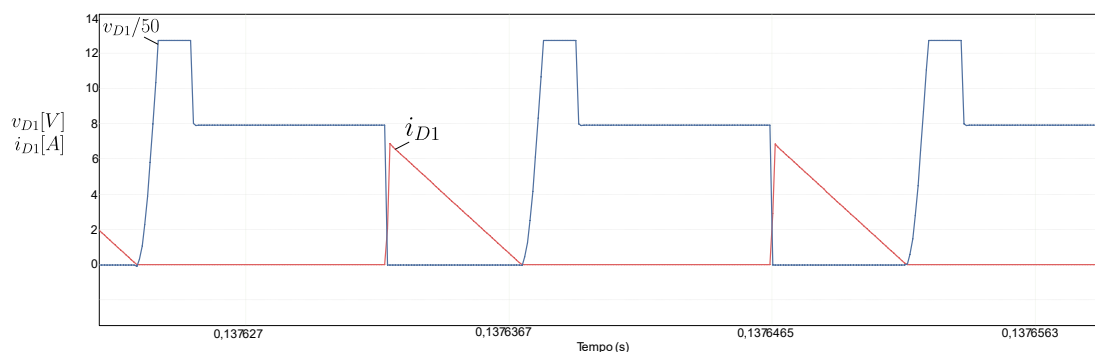
**Figura 88 – IB-PFM-HSCC – Resultado de simulação em regime permanente: corrente e tensão no transistor  $S_3$  com carga de 1 kW**



Fonte: Autoria própria.

A Figura 89 mostra as formas de onda da corrente e tensão no diodo  $D_1$ . Conforme explicado em 5.2.1.1, o bloqueio do diodo  $D_1$  ocorre com a transferência de energia das capacitâncias intrínsecas de  $S_1$  e  $D_1$  para o indutor  $4L_m$ , formando um circuito paralelo ressonante, ocorrendo a formação da chamada corrente de roda-livre que se estabelece através do transistor  $S_2$  e o diodo de corpo do transistor  $S_1$ . Após a circulação desta corrente de roda livre, esgotada a energia proveniente da ressonância, e havendo o comando para a entrada em condução do transistor  $S_1$ , passa a circular corrente no sentido do dreno para a fonte neste transistor. Tem-se, assim, a transição com corrente nula e tensão nula (ZCZVT). Por outro lado, o bloqueio do transistor  $S_1$  ocorre com o carregamento do capacitor intrínseco de  $S_1$  concomitantemente com a descarga do capacitor intrínseco do diodo  $D_1$ , deste modo a entrada em condução do diodo  $D_1$  é mediante tensão nula (ZVT).

**Figura 89 – IB-PFM-HSCC – Resultado de simulação em regime permanente: corrente e tensão no diodo  $D_1$  com carga de 1 kW**

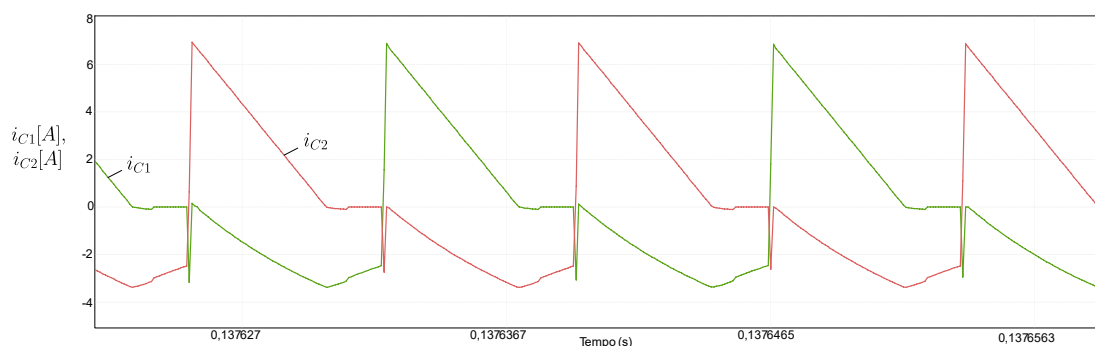


Fonte: Autoria própria.

Complementando as figuras da operação em regime permanente, na Figura 90 tem-se as correntes nos capacitores  $C_1$  e  $C_2$ . Pode-se ver que nos estados topológicos em que os diodos  $D_1$  e  $D_2$  estão em condução (estados 1 e 3,

respectivamente), os capacitores  $C_1$  e  $C_2$  conduzem a corrente de descarga destes diodos, respectivamente, até atingirem um valor nulo ao final desta etapa. Em seguida, o capacitor que estava com corrente nula passa a ser chaveado em paralelo junto com o capacitor de barramento, tendendo ao modo de carga parcial (PC), pois a corrente no capacitor não se anula e não permanece constante. Diferentemente do resultado obtido no item 5.9, que resultou no modo de operação de carga-completa (CC), a simulação indica a tendência de operação no modo de carga parcial, e isto será confirmado nos resultados experimentais.

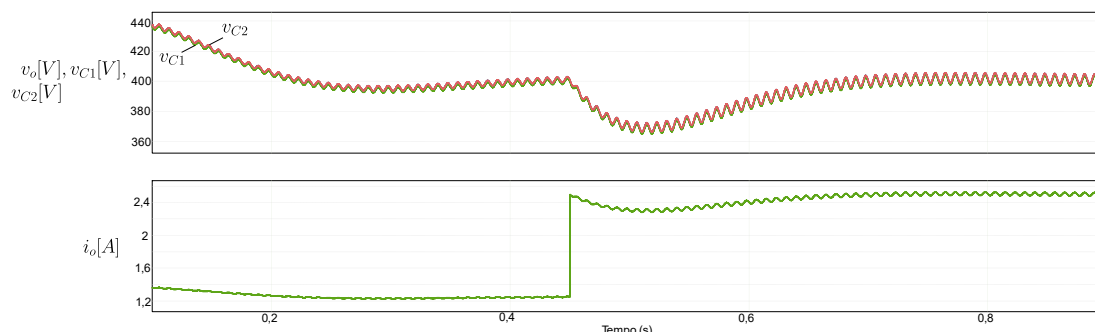
**Figura 90 – Resultado de simulação em regime permanente: Corrente no capacitor  $C_1$  e no capacitor  $C_2$  com carga de 1 kW**



**Fonte: Autoria própria.**

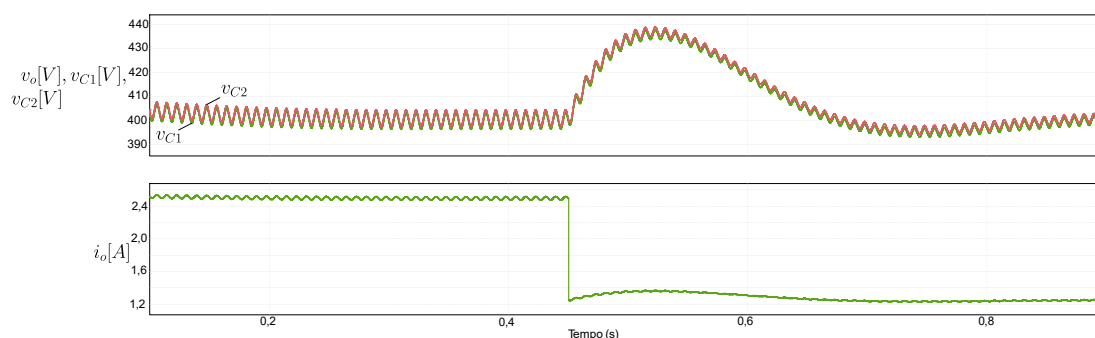
Por fim, a Figura 91 e a Figura 92 mostram as respostas transitórias da tensão de saída mediante a um degrau de carga, de 50% para 100% e de 100% para 50%, respectivamente, no instante 0,55 s de simulação. Fica comprovado o funcionamento da malha de controle que atingiu o valor de referência da tensão de saída, que é igual a 400 V neste ponto de operação. Ao se observar a Tabela 19, nota-se que o modelo matemático para os esforços de corrente apresentados foi uma boa aproximação, tanto para as correntes nos semicondutores (diodos e transistores) quanto nos capacitores.

**Figura 91 – IB-PFM-HSCC Resultado de simulação mediante a um degrau de carga de 50% para 100% (1 kW) no instante 0,45 s para teste da malha de controle da tensão de saída: tensão de saída  $v_o$  e tensão nos capacitores  $v_{C1}$  e  $v_{C2}$ ; corrente de carga  $i_o$**



Fonte: Autoria própria.

**Figura 92 - IB-PFM-HSCC Resultado de simulação mediante a um degrau de carga de 100% (1 kW) para 50% no instante 0,45 s para teste da malha de controle da tensão de saída: tensão de saída  $v_o$  e tensão nos capacitores  $v_{C1}$  e  $v_{C2}$ ; corrente de carga  $i_o$**



Fonte: Autoria própria.

**Tabela 19 – IB-PFM-HSCC: Comparativo de esforços de corrente entre os valores teóricos e de simulação com carga de 1 kW**

	Cálculo	PSIM	Desvio (%)
$D_{b1}-D_{b4}$	3,22	3,31	2,90
$D_1-D_2-D_4-D_6$	1,51	1,63	7,40
$D_3-D_5-S_3-S_4$	1,20	1,19	-0,80
$S_1-S_2$	2,40	2,73	12,10
$C_1, C_2$	1,93	1,98	2,50
$C_o$	1,56	1,99	21,60

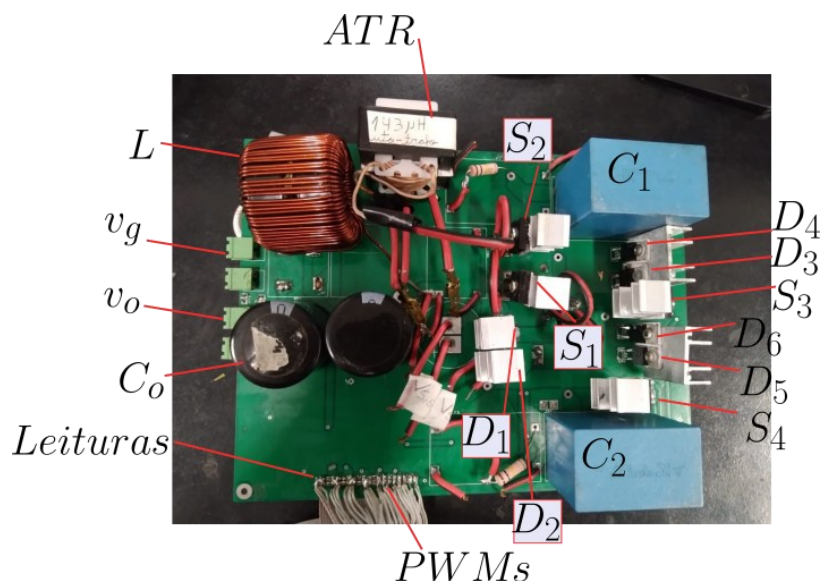
Fonte: Autoria própria.

## 5.11 Resultados experimentais

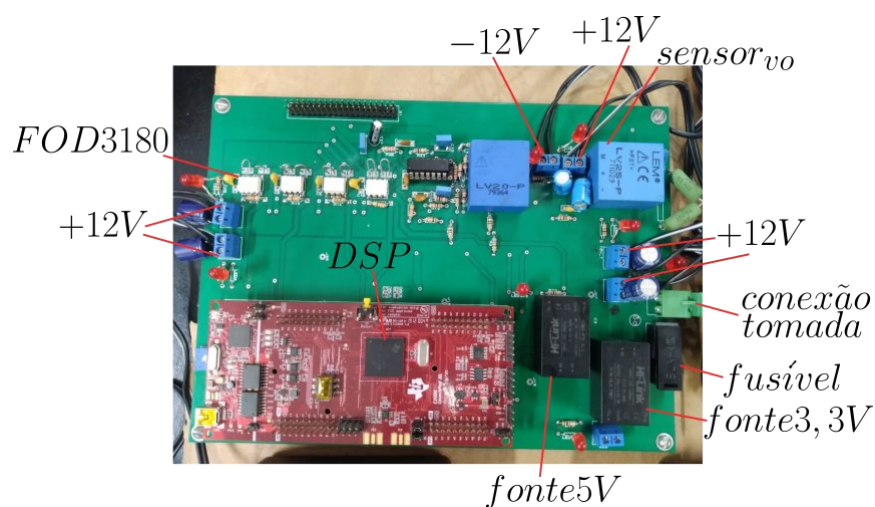
O protótipo construído para aquisição dos resultados experimentais é mostrado na Figura 93, sendo a parte (a) o conversor de potência, contendo os transistores, diodos, magnéticos e capacitores arranjados numa Placa de Circuito Impresso (PCI). Na parte (b) da Figura 93 tem-se, entre outros, o circuito contendo o

kit de desenvolvimento da Texas Instruments da família C2000 de Processadores Digitais de Sinais (PDS), sendo utilizado o modelo TMS320F28379D.

**Figura 93 – Foto do protótipo construído**



**(a) Placa de circuito elétrico do conversor de potência**



**(b) Placa de circuito elétrico de aquisição, processamento e controle**

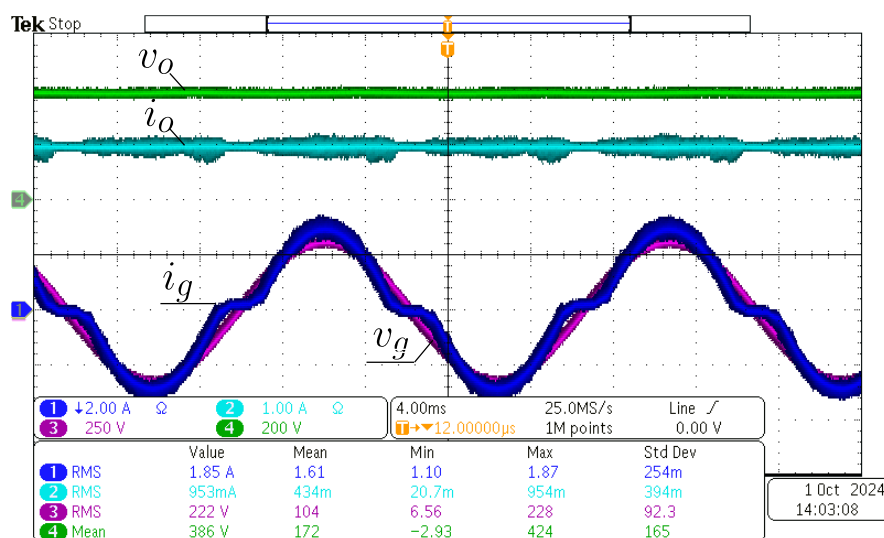
Fonte: Autoria própria.

Os resultados experimentais obtidos com o protótipo em operação estão apresentados na Figura 94, que mostra no canal 1 ( $i_g$ , 2A/div) a corrente de entrada; no canal 2 ( $i_o$ , 1A/div) a corrente de saída; no canal 3 ( $v_g$ , 250V/div) a tensão de entrada; no canal 4 ( $v_o$ , 200V/div) a tensão de saída. Nota-se o elevado fator de potência do conversor em operação, mesmo com carga abaixo da nominal (40% da carga nominal). Na Figura 95 a operação é em carga nominal (1 kW) e as escalas dos canais foram modificadas: canal 1 ( $i_g$ , 5A/div); canal 2 ( $i_o$ , 2A/div); canal 3 ( $v_g$ , 250V/div)

e canal 4 ( $v_o$ , 200V/div). O comportamento de elevado fator de potência permanece nítido nestas formas de onda.

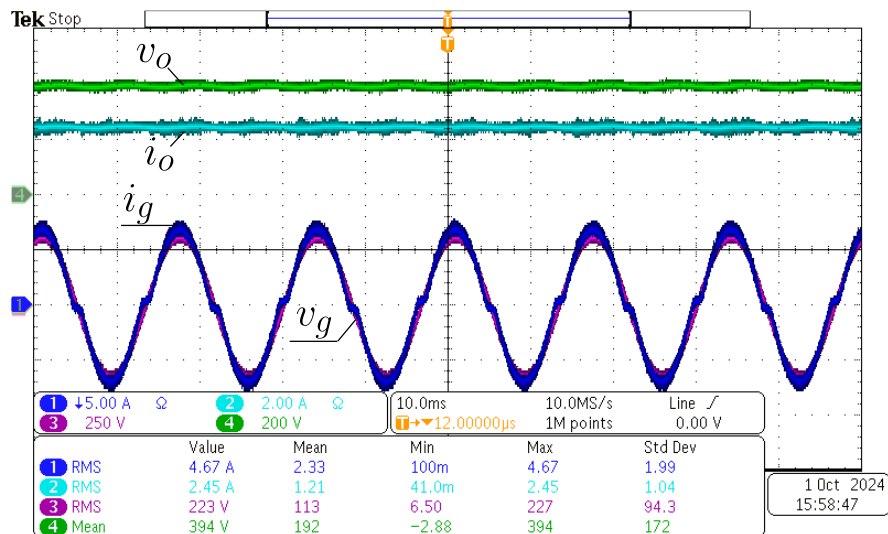
Na Figura 96 é dada ênfase na transição entre o bloqueio e o comando no transistor  $S_1$  com 20% da carga nominal. Foi observado o comando de bloqueio do transistor  $S_1$ , sendo que a corrente quase instantaneamente se anula, ao passo que ao entrar em condução a tensão é nula e a corrente é nula, devido a etapa de circulação da corrente de roda-livre. Essa corrente de roda-livre teve uma amplitude aproximadamente constante e igual a 720 mA ao longo de cerca de 972 ns. Na Figura 97 a transição entre corrente e tensão no transistor  $S_1$  é em carga nominal, tendo sido muito semelhante ao observado com 200 W de carga, ou seja, a entrada em condução é ZVS e ZCS, praticamente anulando as perdas por comutação nestes transistores  $S_1$  e  $S_2$ .

**Figura 94 - Resultados experimentais com carga 40% da carga de 1 kW em malha aberta: tensão e corrente de entrada ( $i_g$  e  $v_g$ ) e tensão e corrente de saída ( $i_o$  e  $v_o$ ). FP = 0,983**



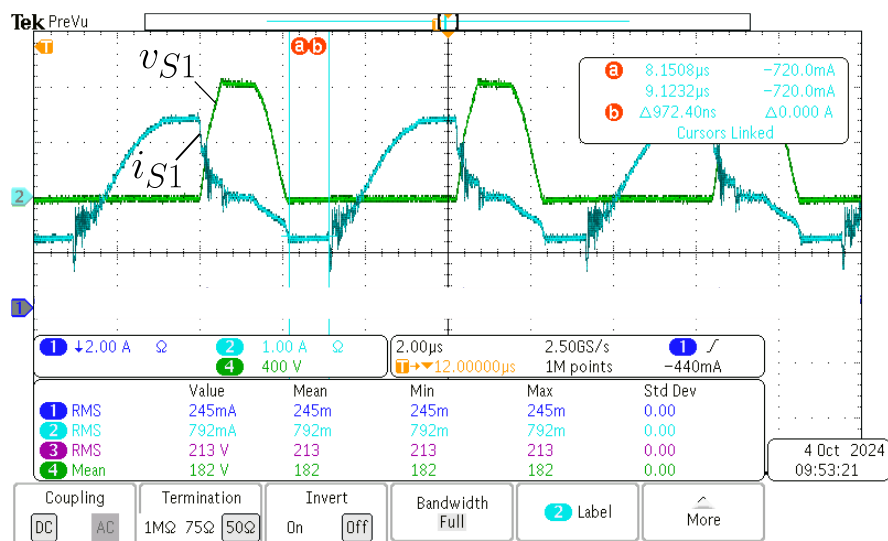
Fonte: Autoria própria.

Figura 95 – Resultados experimentais em carga de 1 kW em malha aberta: tensão e corrente de entrada ( $i_g$  e  $v_g$ ) e tensão e corrente de saída ( $i_o$  e  $v_o$ ). FP = 0,996



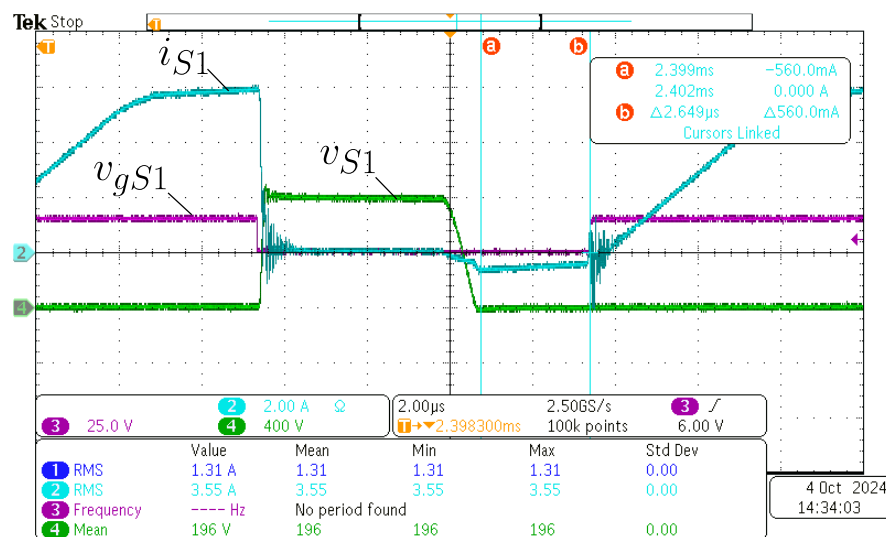
Fonte: Autoria própria.

Figura 96 – Resultados experimentais com carga 20% da carga de 1 kW em malha aberta: corrente no transistor  $S_1$  ( $i_{s1}$ ) e tensão no transistor  $S_1$  ( $v_{s1}$ )



Fonte: Autoria própria.

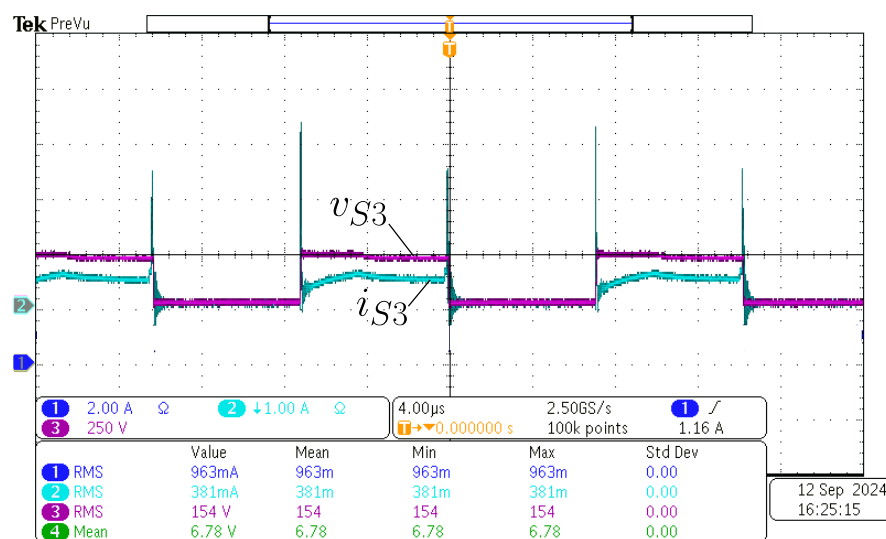
Figura 97 - Resultados experimentais com carga de 1 kW em malha aberta: corrente no transistor  $S_1$  ( $i_{S1}$ ) e tensão no transistor  $S_1$  ( $v_{S1}$ )



Fonte: Autoria própria.

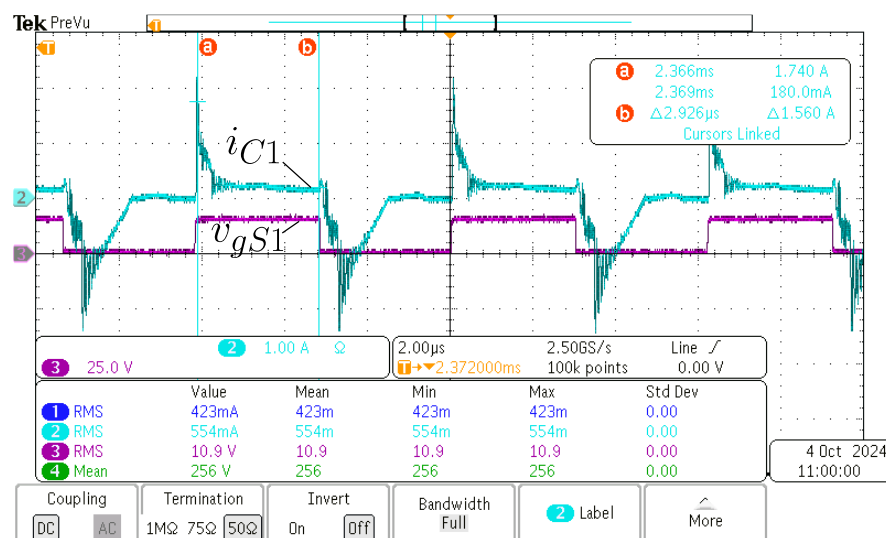
Na Figura 98 é notória a comutação dissipativa no transistor  $S_3$ , e por simetria no  $S_4$ , embora nestes transistores o esforço de tensão seja a própria tensão de saída, tendo atingido 250 V neste caso. A Figura 99 traz a corrente no capacitor  $C_1$  ( $i_{C1}$ ) juntamente com a tensão entre os terminais de *gate* e *source* do transistor  $S_1$  ( $v_{gS1}$ ). Para a condição de carga de 20% da nominal, que equivale a 200 W, a frequência de comutação medida foi 161 kHz, o que leva a um período de comutação igual a 6,21  $\mu$ s, sendo superior a constante de tempo, que é igual a 2,4  $\mu$ s. Desta maneira, o modo de operação da célula a capacitor chaveado tenderia para o modo de carga parcial.

Figura 98 – Resultados experimentais com carga de 1 kW em malha aberta: corrente no transistor  $S_3$  ( $i_{S3}$ ) e tensão no transistor  $S_3$  ( $v_{S3}$ )



Fonte: Autoria própria.

**Figura 99 - Resultados experimentais com carga 20% da carga de 1 kW em malha aberta: corrente no capacitor chaveado  $C_1$  ( $i_{C1}$ ) e tensão entre os terminais *gate* e *source* no transistor  $S_1$  ( $v_{gS1}$ )**



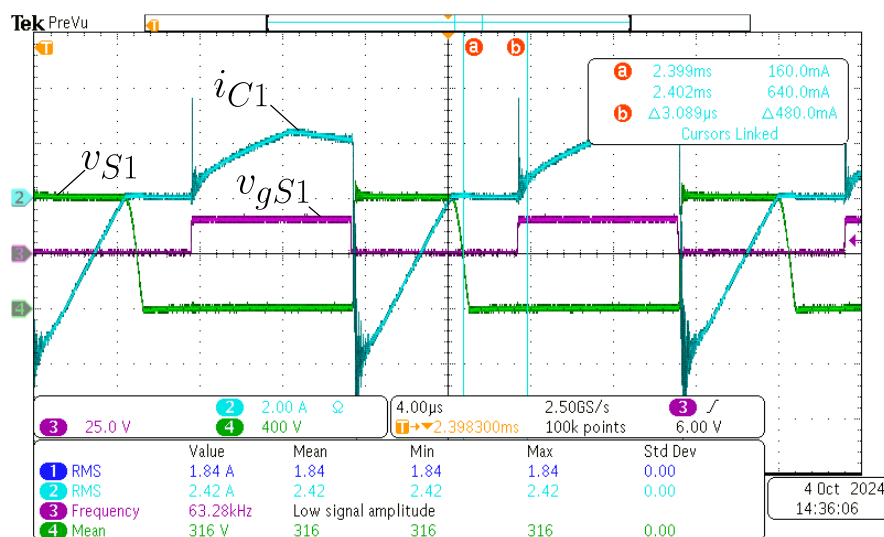
Fonte: Autoria própria.

Em seguida, na Figura 100, a corrente no capacitor  $C_1$  e a tensão entre o *gate* e o *source* do transistor  $S_1$  são apresentadas considerando a operação com carga nominal. Neste caso, a frequência de comutação medida foi 63,3 kHz, o que leva a um período de comutação igual a 15,8  $\mu$ s, que é superior a constante de tempo do circuito que envolve os capacitores chaveados, equivalente aos mesmos 2,4  $\mu$ s. Nesta condição supostamente o modo de operação da célula a capacitor chaveado seria o modo carga completa, porém o comportamento da Figura 100 se aproxima mais do modo carga parcial. Pode-se presumir que a constante de tempo do circuito seja superior ao valor calculado, pois mais resistências parasitas estão presentes no circuito e não foram consideradas, tal como a resistência intrínseca do diodo, a resistência intrínseca das trilhas e as resistências intrínsecas dos capacitores chaveados.

A Figura 101 apresenta a curva de rendimento e distorção harmônica total de corrente (em inglês THDi), em função da potência na carga. Também é apresentada a variação da frequência de comutação ao longo da variação da potência na carga. O rendimento máximo foi de 97,2%, tendo mantido este valor constante durante uma faixa de carga que variou entre 880 W até 1430 W. Tal comportamento em relação a curva de rendimento é bastante atrativo, pois mantém um patamar elevado para uma faixa de carga considerável. Outro ponto de observação foi a THDi que variou de

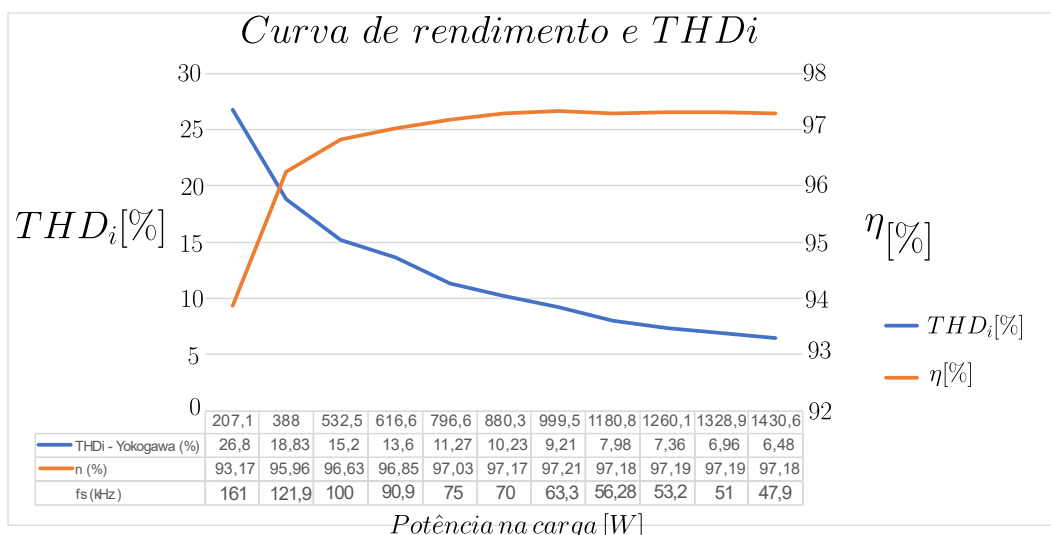
maneira inversa, portanto, quanto maior a carga menor foi a  $THD_i$  medida, tendo atingido o mínimo equivalente a 6,5%. A Figura 102 mostra o espectro harmônico da corrente de entrada em carga nominal, tendo sido constatado que atingiu valores bem inferiores aos limites máximos da norma IEC 61000-3-2 classe A.

**Figura 100 – Resultados experimentais com carga de 1 kW em malha aberta: corrente no capacitor chaveado  $C_1$  ( $i_{C1}$ ), tensão entre os terminais *gate* e *source* no transistor  $S_1$  ( $v_{gS1}$ ) e tensão entre o dreno e o source no transistor  $S_1$  ( $V_{S1}$ )**



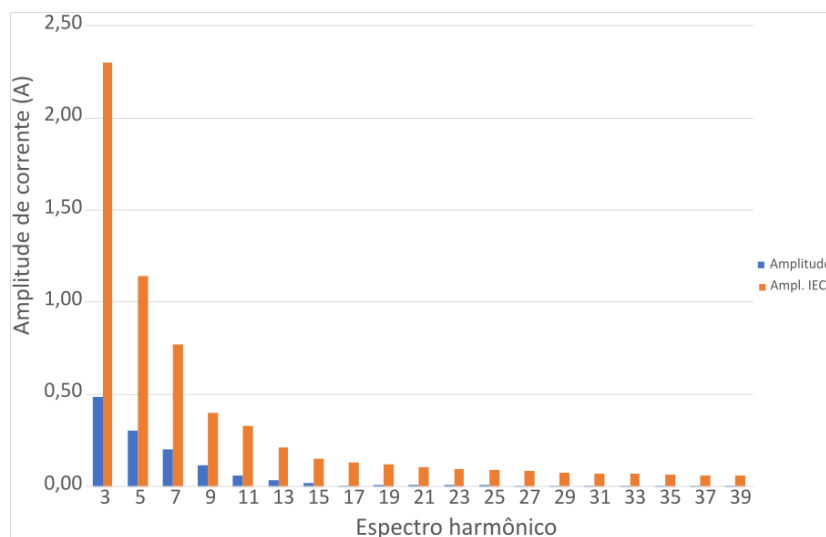
Fonte: Autoria própria.

**Figura 101 - Resultados experimentais com variação de carga em malha aberta: curva de rendimento e  $THD_i$  da corrente de entrada**



Fonte: Autoria própria.

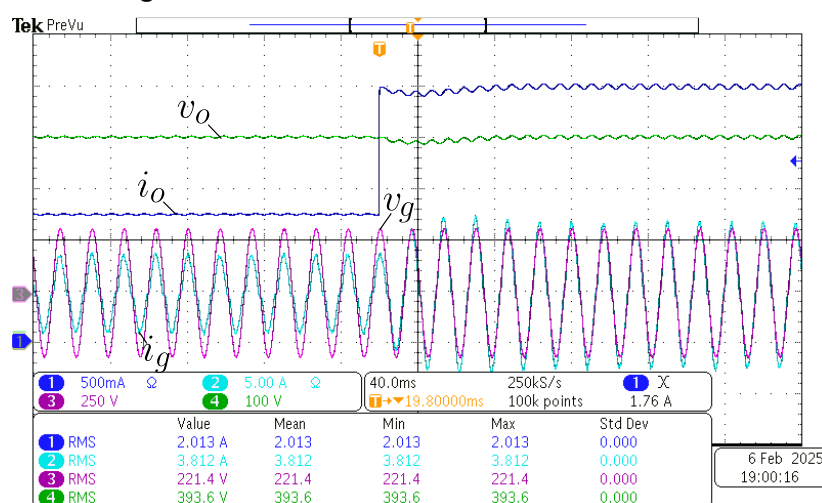
**Figura 102 - Resultados experimentais com carga de 1 kW em malha aberta: espectro harmônico da corrente de entrada**



Fonte: Autoria própria.

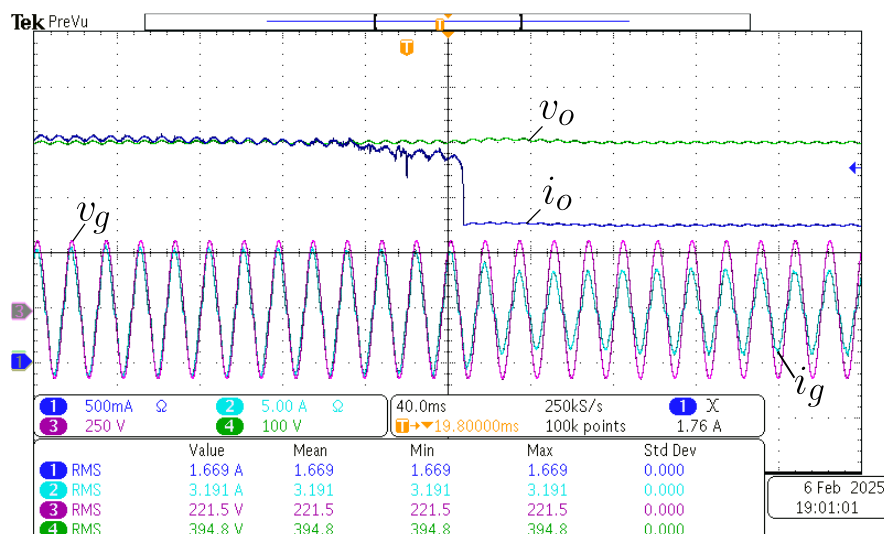
Por fim, a Figura 103 e a Figura 104 apresentam o degrau de carga de 50% para 100% e de 80% para 50% da carga de 1 kW. A fim de evitar a formação de arco elétrico percebeu-se empiricamente a necessidade de reduzir a carga de 100% para 80%, reduzindo assim a corrente circulante, para então aplicar o degrau para 50% de carga. Pode-se notar que a resposta do controle é atingida de maneira considerada rápida, tendo mantido o formato senoidal da corrente de entrada, o que resulta em elevado fator de potência e reduzida THDi.

**Figura 103 – Resultado experimental mediante a um degrau de carga de 50% para 100% da carga de 1 kW: tensão de saída e corrente de saída**



Fonte: Autoria própria.

**Figura 104 - Resultado experimental mediante a um degrau de carga de 80% para 50% da carga de 1 kW: tensão de saída e corrente de saída**



**Fonte: Autoria própria.**

A Figura 105 mostra a temperatura próxima dos transistores  $S_1$  e  $S_2$ , que foi de 32,9 °C, ao passo que para os diodos  $D_1$  e  $D_2$  na Figura 106 a temperatura foi de 36,5 °C. Em seguida, a temperatura no transistor  $S_3$  atingiu 45 °C, conforme a Figura 107, enquanto na Figura 108 nota-se a temperatura de 46 °C nos indutores acoplados. Por fim, a Figura 109 mostra a temperatura atingindo um valor máximo de 55 °C, na região próxima dos diodos  $D_3$  e  $D_4$  (similar aos diodos  $D_5$  e  $D_6$ ). Convém ressaltar que as temperaturas apresentadas foram medidas durante a operação nominal do conversor.

Cabe citar, também, que no protótipo confeccionado foram incluídas capacitâncias de valor igual a 100 pF, utilizando capacitores de filme, em paralelo com os semicondutores de modo a facilitar a obtenção de comutação suave. Os resultados experimentais permitiram constatar a comutação suave nos transistores  $S_1$  e  $S_2$ , bem como nos diodos rápidos  $D_1$  e  $D_4$ , além dos diodos  $D_2$  e  $D_6$ .

Figura 105 - Resultados experimentais com carga de 1 kW em malha aberta:  
temperatura no transistor  $S_1$



Fonte: Autoria própria.

Figura 106 - Resultados experimentais com carga de 1 kW em malha aberta:  
temperatura nos diodos  $D_1$  e  $D_2$



Fonte: Autoria própria.

**Figura 107 - Resultados experimentais com carga de 1 kW em malha aberta:  
temperatura no transistor  $S_3$**



Fonte: Autoria própria.

**Figura 108 - Resultados experimentais com carga de 1 kW em malha aberta:  
temperatura no núcleo dos indutores acoplados**



Fonte: Autoria própria.

**Figura 109 - Resultados experimentais com carga de 1 kW em malha aberta: temperatura nos diodos  $D_3$  e  $D_4$**



Fonte: Autoria própria.

## 5.12 Conclusão

Este capítulo destinou-se a apresentar o retificador *Boost PFC interleaved* híbrido a capacitor chaveado com redução do ganho estático (IB-PFM-HSCC), incluindo a análise estática e dinâmica, tomando as premissas iniciais de idealidades na operação do conversor para facilitar a resolução dos cálculos apresentados. Foram apresentados os estados topológicos e as principais formas de onda, sendo que a partir disso as equações de corrente que circulam nos componentes ao longo de cada estado topológico foram obtidas. Foram, então, resolvidas as equações num período de comutação e num período da rede elétrica para se obter os esforços de corrente em valores médios e em valores eficazes. Também foi obtida a expressão do ganho estático do conversor, além de terem sido mostradas as expressões de ondulação de corrente no indutor de entrada e ondulação de tensão no capacitor de saída. Foi apresentada, também, a modelagem orientada ao controle dos conversores propostos, tendo sido utilizada a abordagem por valores médios. Foram apresentados os resultados de simulações computacionais que validam o desenvolvimento teórico apresentado. Por fim, os resultados experimentais comprovam o funcionamento do conversor, tendo sido obtidos resultados em conformidade com os estudos teóricos.

## 6 CONSIDERAÇÕES FINAIS

A partir da motivação inicial desta tese, que foi estudar técnicas envolvendo a redução do ganho estático mínimo de retificadores *Boost* PFC, foi proposta a célula a capacitor chaveado apresentada no capítulo 3. A célula insere um transistor, dois diodos e um capacitor a ser chaveado juntamente ao capacitor de barramento do retificador *Boost* PFC, conforme a Figura 35, resultando em um ganho estático que remete a uma tensão de saída mínima equivalente à metade do valor de pico da tensão de entrada. Desta forma, consegue-se obter valores de tensão de saída que um retificador *Boost* PFC convencional não obteria, por se tratar de uma topologia elevadora de tensão. Deste modo, tem-se uma operação inédita para o conversor *Boost* PFC. Assim sendo, o objetivo geral foi definido: propor, modelar e validar a célula a capacitor chaveado para a redução do ganho estático mínimo aplicada a retificadores *Boost* monofásicos com correção do fator de potência.

O primeiro passo para a validação foi a integração da célula em uma topologia denominada de retificador *Boost* PFC híbrido a capacitor chaveado com redução do ganho estático, que consistiu em inserir a célula proposta em paralelo ao barramento CC do retificador *Boost* PFC convencional operando em CCM com a modulação PWM. Tal topologia evidenciou a maior complexidade para a obtenção da correção do fator de potência por requerer o controle em malha fechada, além de precisar de duas malhas de controle, uma para o controle da corrente de entrada e a outra para o controle da tensão de saída. Foram obtidos resultados de simulação que validaram o modelo teórico apresentado e, por fim, os resultados experimentais atestaram a validade do conversor, tendo sido atingido um rendimento de 96,5% para uma tensão de entrada de 220 V, tensão de saída de 200 V e potência na carga de 1,4 kW. Tais resultados mostraram-se competitivos frente a topologias apresentadas na Tabela 10, principalmente quando se considera o rendimento em relação aos patamares de potência da ordem de 1 kW. Também se nota que as aplicações da primeira topologia proposta nesta tese diferem das encontradas na literatura, por envolver tensões de saída com valores próximos dos valores de tensão de entrada.

O próximo passo para a validação da célula proposta foi buscar topologias que possibilitem elevar a potência, bem como simplificar a técnica de controle. Um caminho encontrado na literatura foi o uso de topologias *interleaved*, por dividirem os esforços de corrente entre os transistores, além de reduzirem o *ripple* da corrente de entrada, reduzindo também o volume dos magnéticos. Esta técnica costuma envolver

estratégias de controle multimalhas, o que poderia ser evitado utilizando a célula SC-PFM, que agrega um comportamento idealmente resistivo do conversor visto pela fonte de entrada. Assim sendo, é possível obter um elevado fator de potência sem a necessidade de medir ou controlar a corrente de entrada. Adicionalmente, consegue-se obter comutações suaves em alguns semicondutores, tal como exposto em 5.2.1.

O passo seguinte, então, foi a integração da célula a capacitor chaveado em uma topologia denominada de retificador *Boost PFC interleaved* híbrido a capacitor chaveado com redução do ganho estático (denominada PFC IB-PFM-HSCC), que consistiu em inserir a célula proposta em paralelo ao barramento CC do retificador *Boost PFC interleaved*, contendo a célula de comutação denominada de SC-PFM. Para a integração com a célula SC-PFM foram feitos ajustes conforme explicados na Figura 70 (b) e exemplificado na Figura 71. A operação do conversor proposto é com a modulação PFM e apresenta continuidade da corrente no indutor. Foram obtidos resultados de simulação que validaram o modelo teórico apresentado e, por fim, os resultados experimentais atestaram a validade do conversor, tendo sido atingido um rendimento de 97,2% para uma tensão de entrada de valor eficaz igual a 220 V, tensão de saída de valor igual a 400 V e potência na carga de 1 kW. Nesta segunda topologia proposta nesta tese conseguiu-se um rendimento superior a outras topologias contendo faixas de tensão de saída semelhantes, como foi ilustrado na Tabela 2. Convém ressaltar que a célula SC-PFM aplicada ao retificador *Boost PFC interleaved* apresenta como limite inferior para a tensão de saída o dobro do valor de pico da tensão de entrada. Desta maneira, a integração com a célula a capacitor chaveado proposta reduziu este limite inferior pela metade, validando novamente a célula proposta.

Os resultados experimentais das topologias propostas mostraram um elevado fator de potência de entrada com uma THD da corrente de entrada compatível com normas como a IEC 61000-3-2. Pode-se concluir, portanto, que a célula a capacitor chaveado proposta possui viabilidade de implementação prática. Além disso, o tema aqui exposto é de considerável importância na literatura da área, uma vez que o uso de cargas com especificações de tensão próximas ou inferiores a tensão de entrada é uma realidade tanto no contexto de microrredes quanto em carregadores de veículos elétricos leves.

Pode-se afirmar, portanto, que esta tese de doutorado contribuiu com uma proposta inédita envolvendo uma célula a capacitor chaveado que reduz o ganho

estático de retificadores Boost PFC. A célula foi proposta, modelada e validada em retificadores *Boost* PFC sem a técnica *interleaved* e com a técnica, reduzindo assim a tensão de saída mínima destes conversores, de modo a atender especificações de tensão de saída mais próximas do valor de pico da tensão de entrada.

### 6.1 Sugestões de trabalhos futuros

A célula a capacitor chaveado para a redução de ganho estático não se restringe a conversores *Boost*, tendo o potencial de ser testada em outros conversores CC-CC, tais como o *Buck*, o *Buck-Boost*, o *Cuk*, o SEPIC e o Zeta, sendo isso ilustrado na Figura 110. É importante frisar que para a célula *Buck-Boost* e *Cuk* os diodos da célula a capacitor chaveado precisam ser invertidos devido a inversão de polaridade da tensão de saída. Outro ponto observado ao se simular essas variações é que a célula a capacitor chaveado apresenta um fator de multiplicação do ganho estático igual a 0,5 nos casos em que a saída é em tensão, tal como no *Boost* (além do *Buck-Boost* e do SEPIC).

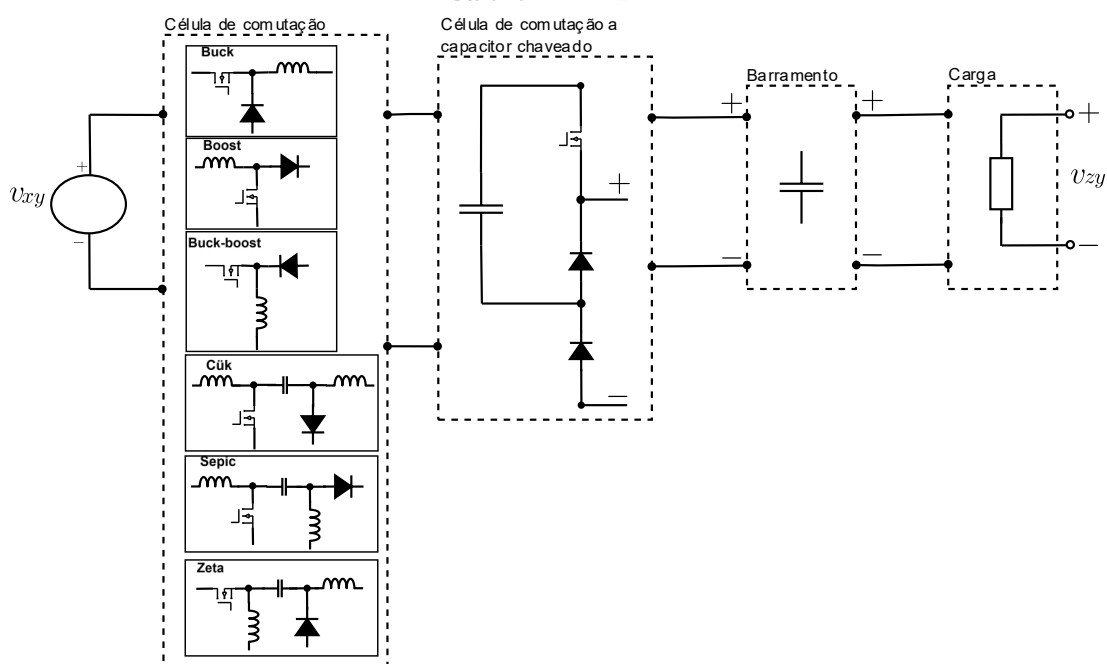
Pode-se considerar que a fonte de alimentação de entrada do conversor,  $v_{xy}$ , seja proveniente de uma bateria ou fonte CC, ou ainda a partir da retificação de uma fonte de alimentação alternada, conforme a Figura 111, então estende-se a família de conversores para os retificadores PFC.

A Figura 112 apresenta um conversor *Buck-Boost* híbrido a capacitor chaveado com redução de ganho estático, ao passo que a Figura 113 mostra as formas de onda de tensão e corrente no indutor. A Figura 114 ilustra o conversor SEPIC híbrido a capacitor chaveado, ao passo que a Figura 115 mostra as formas de onda de tensão e corrente nos indutores deste conversor. Ambas as topologias, *Buck-Boost* e SEPIC, apresentam saída com características de fonte de tensão. O conversor SEPIC apresenta a facilidade de possuir na entrada as características de fonte de corrente, facilitando o controle e a obtenção de elevado fator de potência, o que é desejável para aplicações como retificador PFC.

Outro potencial para estudos futuros é utilizar “n” células a capacitor chaveado para a redução do ganho estático conectadas conforme a Figura 116, possibilitando assim elevar o potencial de redução do ganho estático (Ex.:  $1/n$  vezes a tensão de entrada, sendo n o número de células a capacitor chaveado). Cabe citar, ainda, a possibilidade de bidirecionalidade ao substituir os diodos por transistores ou utilizar configurações de chaves bidirecionais, tendo um conversor CC-CC bidirecional.

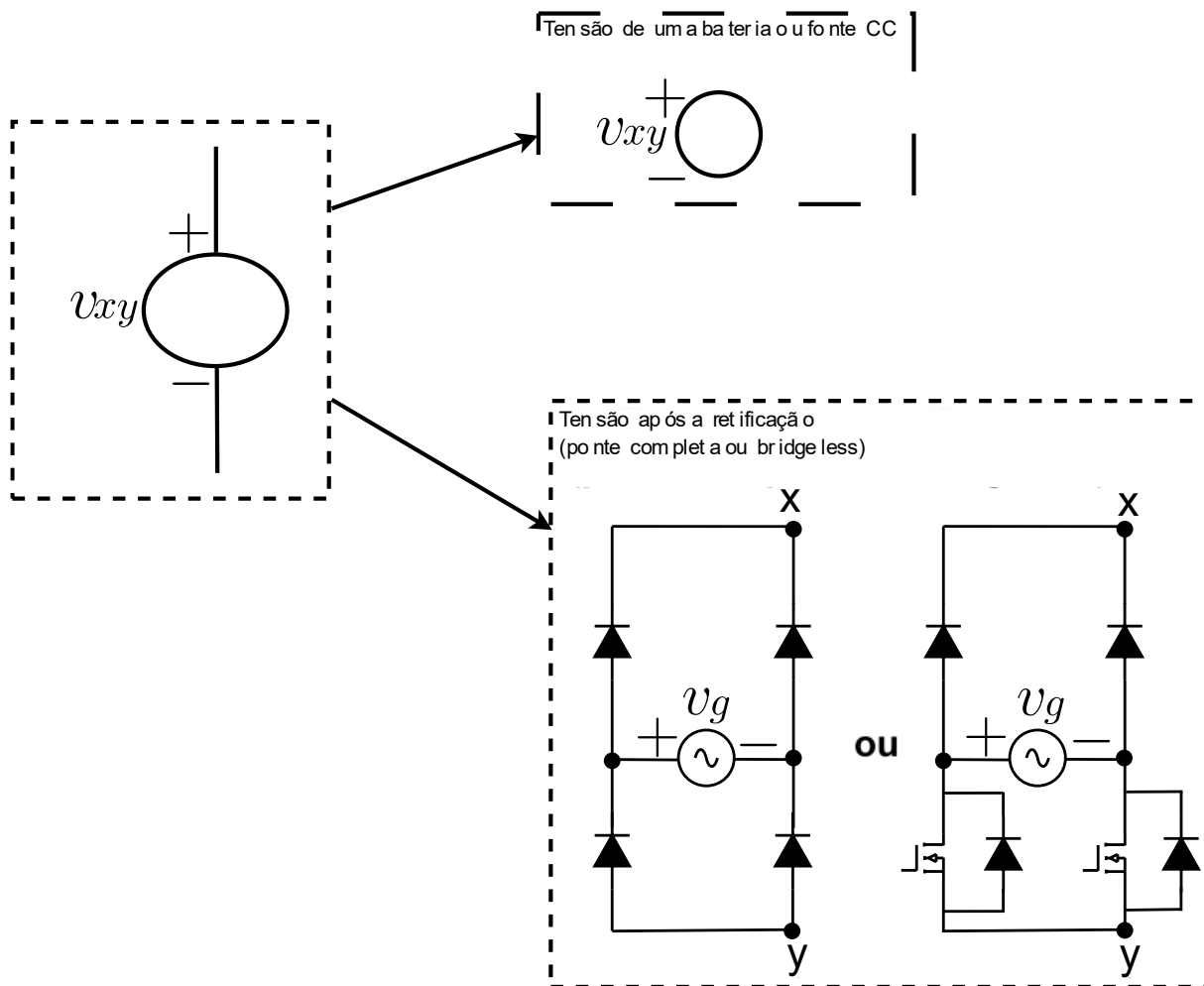
Por fim, também podem-se citar as aplicações que requerem o isolamento galvânico entre a fonte de entrada e a carga de saída, como é o caso de carregadores de baterias de veículos elétricos. Nestes casos, uma variação isolada seria um conversor *Flyback* híbrido a capacitor chaveado, com modos de operação bastante similares ao conversor *Boost* híbrido a capacitor chaveado, adicionando a possibilidade de redução de ganho estático mínimo por meio da relação de transformação. Um ponto de estudo também contemplaria os benefícios que a célula a capacitor chaveado para a redução do ganho estático implicaria no projeto do transformador isolador do *Flyback*, pois para a mesma redução da tensão de saída possibilitaria modificar a relação de transformação para valores mais próximos do unitário, em comparação a não utilizar a célula.

**Figura 110 - Diagrama de blocos genérico da família de conversores CC-CC com a célula a capacitor chaveado para a redução do ganho estático**



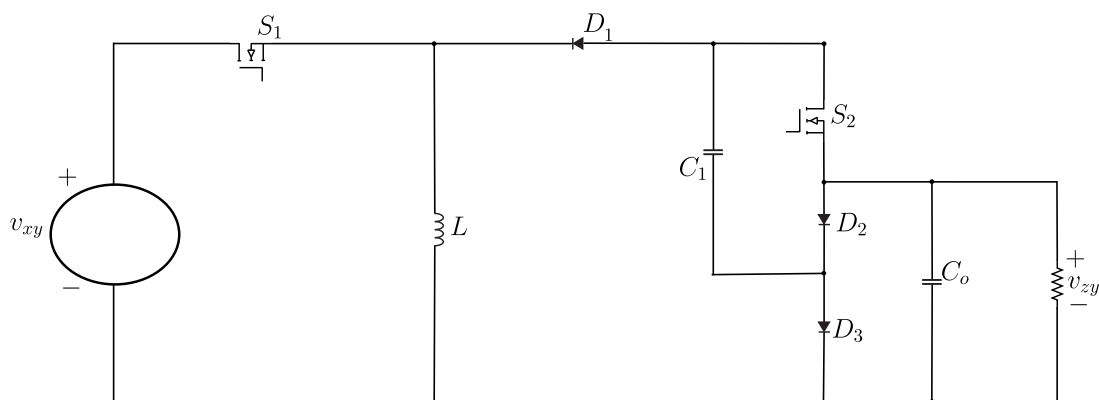
Fonte: Autoria própria.

Figura 111 – Fonte de alimentação de entrada genérica, a partir de entrada CC ou CA retificada



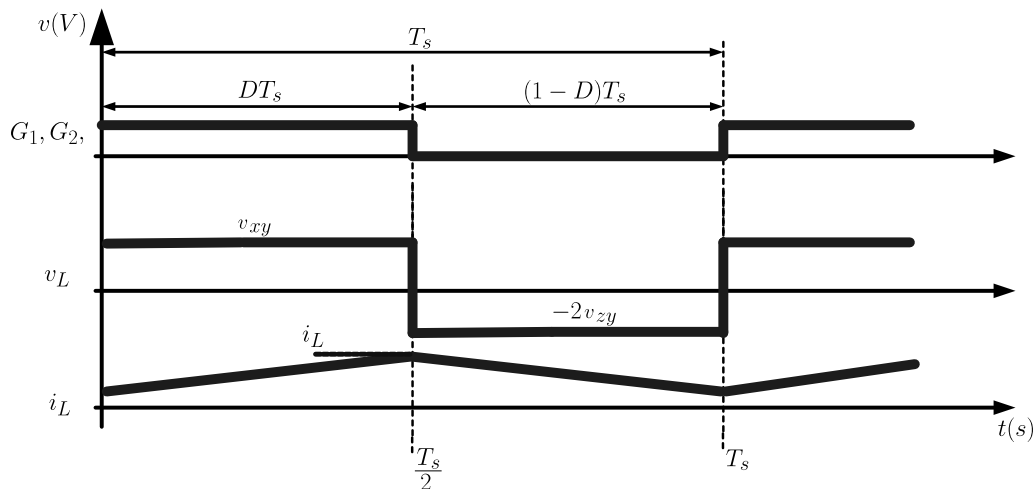
Fonte: Autoria própria.

Figura 112 – Conversor Buck-Boost híbrido a capacitor chaveado com redução do ganho estático



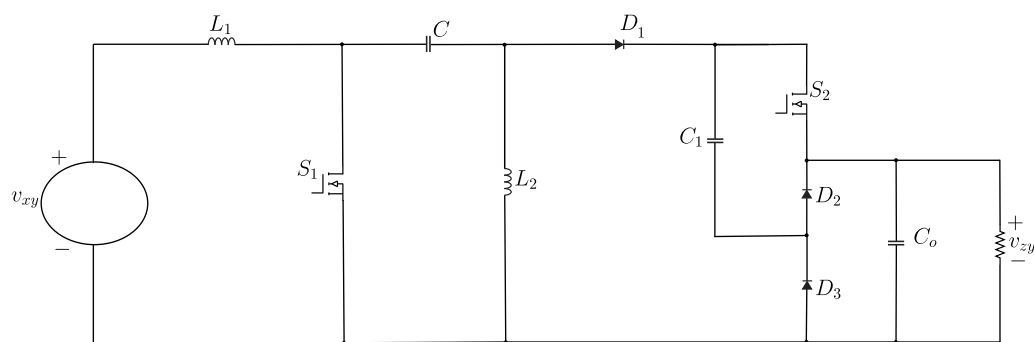
Fonte: Autoria própria.

**Figura 113 - Formas de onda para o conversor *Buck-Boost* híbrido a capacitor chaveado com redução do ganho estático**



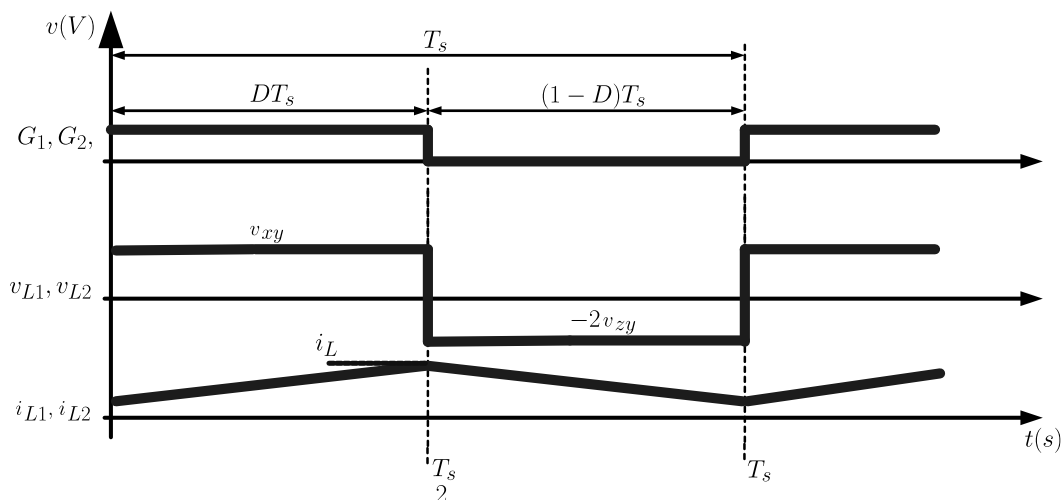
Fonte: Autoria própria.

**Figura 114 - Conversor SEPIC híbrido a capacitor chaveado com redução do ganho estático**



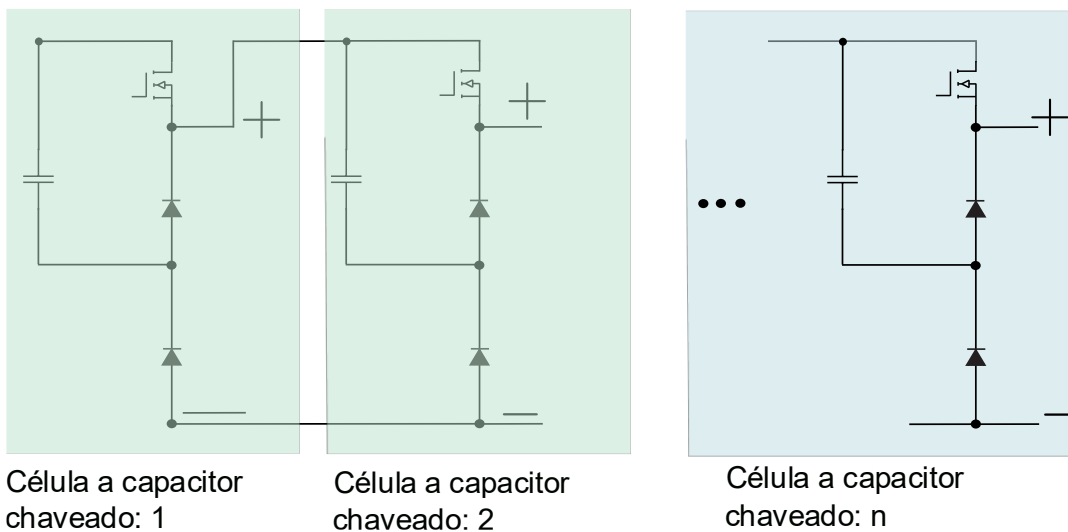
Fonte: Autoria própria.

**Figura 115 - Formas de onda para o conversor SEPIC híbrido a capacitor chaveado com redução do ganho estático**



Fonte: Autoria própria.

**Figura 116 – Possibilidade de ampliar a redução do ganho estático utilizando mais de uma célula proposta em paralelo**



**Fonte: Autoria própria.**

## REFERÊNCIAS

AL GABRI, A. M.; FARDOUN, A. A.; ISMAIL, E. H.. Bridgeless PFC modified SEPIC rectifier with extended gain for universal input voltage applications. **IEEE Transactions on Power Electronics**, vol. 30, no. 8, pp. 4272–4282, Aug. 2015.

AL-SAFFAR, M. A.; ISMAIL, E. H.; SABZALI, A. J.. Integrated *Buck–Boost*– quadratic *Buck* PFC rectifier for universal input applications. **IEEE Transactions on Power Electronics**, vol. 24, no. 12, pp. 2886–2896, Dec. 2009.

ANANTHAPADMANABHA, B. R.; MAURYA, Rakesh; ARYA, Sabha Raj. Improved Power Quality Switched Inductor *Cuk* Converter for Battery Charging Applications. **IEEE Transactions on Power Electronics**, vol. 33, no. 11, pp. 9412-9423, Nov. 2018.

ANCUTI, M. -C.; SVOBODA, M.; MUSUROI, S.; HEDES, A.; OLARESCU, N. -V.; WIENMANN, M.. *Boost interleaved* PFC versus bridgeless *Boost interleaved* PFC converter performance/efficiency analysis. *In: 2014 International Conference on Applied and Theoretical Electricity (ICATE)*, Craiova, Romania, 2014, pp. 1-6.

ANGÉLICO, Bruno A.; CAMPANHOL, Leonardo B. G.; SILVA, Sérgio A. O. da.. **Proportional-integral/proportional-integral-derivative tuning procedure of a single-phase shunt active power filter using Bode diagram**. **IET Power Electronics**, vol. 7, iss. 10, pp. 2647-2659, March 2014.

AXELROD, B.; BERKOVICH, Y.; IOINOVICI, A.. Switched capacitor/switched-inductor structures for getting transformerless hybrid DC–DC PWM converters. **IEEE Transactions on Circuits Systems**. I: Reg. Papers, vol. 55, no. 2, pp. 687–696, Mar. 2008.

BABAEI, Mohammad; MONFARED, Mohammad. High Step-Down Bridgeless SEPIC/*Cuk* PFC Rectifiers With Improved Efficiency and Reduced Current Stress. **IEEE Transactions on Industrial Electronics**, vol. 69, no. 10, pp. 9984-9991, Oct. 2022.

BARBI, Ivo. **Eletrônica de Potência**. Florianópolis: Edição do Autor, 2005.

BARBI, Ivo. **Projetos de Fontes Chaveadas**. Florianópolis: Edição do Autor, 2014.

BEN-YAAKOV, S.. Behavioral average modeling and equivalent circuit simulation of switched capacitors converters. **IEEE Transactions on Power Electronics**, vol. 27, no. 2, pp. 632–636, Feb. 2012.

BIANCHIN, Carlos Gabriel. **Retificador trifásico isolado em alta frequência para carregamento rápido de baterias de veículos elétricos**. 141 f. Tese (Doutorado em engenharia elétrica). Universidade Tecnológica Federal do Paraná, Curitiba, 2017.

BIELA, J; BADSTUEBNER, U; KOLAR, J. W.. Design of a 5-kw, 1-u, 10-kw/dm<sup>3</sup> resonant DC–DC converter for telecom applications. **IEEE Transactions on Power Electronics**, vol. 24, no. 7, pp. 1701–1710, Jul. 2009.

BUSARELLO, T. D. C.; POMILIO, J. A.; SIMÕES, M. G.. Passive Filter Aided by Shunt Compensators Based on the Conservative Power Theory. **IEEE Transactions on Industry Applications**, vol. 52, no. 4, pp. 3340-3347, July-Aug. 2016.

CAMPOS, Henrique M. V. D. B.; SOARES, J. W. M.; BADIN, A. A.; CORTEZ, D. F.. Single-Phase Hybrid Switched-Capacitor PFC *Boost* Rectifier With Low Voltage Gain. **IEEE Transactions on Power Electronics**, vol. 38, no. 1, pp. 968-976, Jan. 2023.

CAO, G.; KIM, H. – J.. An improved bridgeless *interleaved Boost* PFC rectifier with optimized magnetic utilization and reduced sensing noise. *In: 2014 IEEE International Conference on Industrial Technology (ICIT)*, Busan, Korea (South), 2014, pp. 436-441.

CHEN, J.; MAKSIMOVIC, D.; ERICKSON, R. W.. Analysis and design of a low-stress *Buck-Boost* converter in universal-input PFC applications. **IEEE Transactions on Power Electronics**, vol. 21, no. 2, pp. 320–329, Mar. 2006.

CHEN, Z.; HAN, Y.; WU, Y; LU, Z.; LIU, X.. A Low Voltage Stress PFC Rectifier Based on Nonoverlapping Strategy Using Resonant Switched-Capacitor Converter. **IEEE Transactions on Industrial Electronics**, vol. 69, no. 12, pp. 12728-12738, Dec. 2022.

COCKROFT, J. D.; WALTON, E. T. S. **Experiments with High Velocity Positive Ions**. Proc. R. Soc. Lond. A, v. 136, n. 830, p. 619–630, June 1932.

CORTEZ, D. F. **Família de retificadores PWM unidirecionais três-níveis híbridos a capacitor chaveado com elevado fator de potência**. 2015. 252 f. Tese (Doutorado em Engenharia Elétrica). Universidade Federal de Santa Catarina, Florianópolis, 2015.

CORTEZ, D. F.; BARBI, I.. A family of high-voltage gain single-phase hybrid switched-capacitor PFC rectifiers. **IEEE Transactions on Power Electronics**, vol. 30, no. 8, pp. 4189–4198, Aug. 2015.

CORTEZ, D. F.; BARBI, I.. A three-phase multilevel hybrid switched capacitor PWM PFC rectifier for high-voltage-gain applications. **IEEE Transactions on Power Electronics**, vol. 31, no. 5, pp. 3495–3505, May 2016.

COSTA, P. J. S.; ILLA FONT, C. H.; LAZZARIN, T. B.. Single-phase hybrid switched-capacitor voltage-doubler SEPIC PFC rectifiers. **IEEE Transactions on Power Electronics**, vol. 33, no. 6, pp. 5118–5130, Jun. 2018.

COSTA, P. J. S.; EWERLING, M. V. M.; FONT, C. H. I.; LAZZARIN, T. B.. Unidirectional three-phase voltage-doubler SEPIC PFC rectifier. **IEEE Transactions on Power Electronics**, vol. 36, no. 6, pp. 6761–6773, Jun. 2021.

D'AMICO SILVA, Fernanda. **Retificador PWM híbrido a capacitor chaveado com alto fator de potência com baixo ganho de tensão**. 2019. 62 p. Trabalho de conclusão de curso (Graduação em Engenharia Elétrica). Universidade Tecnológica Federal do Paraná, Curitiba, 2019.

DIAS, J.C.; LAZZARIN, T. B.. A family of voltage-multiplier unidirectional single-phase hybrid *Boost* PFC rectifiers. **IEEE Transactions on Industrial Electronics**, vol. 65, no. 1, pp. 232–241, Jan. 2018.

DIAS, J. C.; LAZZARIN, T. B.. Single-phase hybrid *Boost* AC–DC converters with switched-capacitor cells and reduced switch count. **IEEE Transactions on Industrial Electronics**, vol. 68, no. 8, pp. 6710–6720, Aug. 2021.

DIAS, Julio C. **Unidirectional Converters with Switched-Capacitors and Multistate Switching Cells**. 2023. 203 p. Tese (Doutorado em Engenharia Elétrica). Universidade Federal de Santa Catarina, Florianópolis, 2023.

DUTTA, Sukanya; GANGAVARAPU, Sivanagaraju; RATHORE, Akshay Kumar; SINGH, Rajeev Kumar; MISHRA, Santanu K.; KHADKIKAR, Vinod. Novel Single-Phase *Cuk*-Derived Bridgeless PFC Converter for On-Board EV Charger With Reduced Number of Components. **IEEE Transactions on Industry Applications**, vol. 58, no. 3, pp. 3999–4010, May/June 2022.

ERICKSON, Robert W.; MAKSIMOVIC, Dragan. **Fundamentals of Power Electronics**. Second edition. Springer, 2001. ISBN 978-0-7923-7270-7. Disponível em: <https://link.springer.com/book/10.1007/b100747>. Acesso em: 8 jul. 2023.

EVZELMAN, M.; BEN-YAAKOV, S.. Simulation of hybrid converters by average models. **IEEE Transactions on Industrial Applications**, vol. 50, no. 2, pp. 1106–1113, Mar./Apr. 2014.

FONSECA, Z. P.; PERIN, A. J.; JUNIOR, E. A.; NASCIMENTO, C. B.. Single-stage high power factor converters requiring low dc-link capacitance to drive power leds. **IEEE Transactions on Industrial Electronics**, vol. 64, no. 5, pp. 3357–3567, May 2017.

GOLMAKANI, K. M.; HEYDARI, H.; ALGHAR, S. Y.. Common Mode Noise Sources Analysis and Volume Optimized CM-EMI Filter Design for a TM-PFC. *In*: **2022 12th Smart Grid Conference (SGC)**, Kerman, Islamic Republic of Iran, 2022, pp. 1-5.

GREINACHER, H. Das Ionometer und Seine Verwendung zur Messung von Radium und Röntgenstrahlen. **Physikalische Zeitschrift**, v. 15, p. 410–415, 1914.

GUIMARÃES, J. C.; CORTEZ, D. F.; BADIN, A. A. Single-phase hybrid switched-capacitor *interleaved* AC-DC *Boost* converter. **IEEE Access**, vol. 9, pp. 140799–140808, Oct. 2021.

GUIMARÃES, Julio César. **Conversor CA-CC Boost Interleaved Híbrido a Capacitor Chaveado com Elevado Fator de Potência**. 2022. 186 f. Tese (Doutorado em Engenharia Elétrica). Universidade Tecnológica Federal do Paraná, Curitiba, 2022.

GUPTA, Jitendra; KUSHWAHA, Radha; SINGH, Bhim. Improved Power Quality Transformerless Single-Stage Bridgeless Converter Based Charger for Light Electric Vehicles. **IEEE Transactions on Power Electronics**, vol. 36, no. 7, pp. 7716-7724, July 2021.

GUPTA, Shantanu; MAZUMDER, Sudip K. A Novel Modulation Scheme for Isolated PWM Active-Clamp *Cuk* DC/DC Converter. **IEEE Transactions on Power Electronics**, vol. 37, no. 12, pp. 14966-14980, Dec. 2022.

GUPTA, Jitendra; SINGH, Bhim. A Single-Stage Bridgeless Isolated AC–DC Conversion System for Light Electric Vehicles Charging Application. **IEEE Transactions on Transportation Electrification**, vol. 9, no. 1, pp. 1379-1389, March 2023.

HAFEZINASAB, H.; EBERLE, W.; GAUTAM, D. S.; BOTTING, C.. Universal input AC three-phase power factor correction with adaptive intermediate bus voltage to optimize efficiency. **IEEE Transactions on Industrial Applications**, vol. 55, no. 2, pp. 1698–1707, Mar./Apr. 2019.

HARRIGILL, W. T.; MYERS, I. T. **Efficiency and Weight of Voltage Multiplier Type Ultra Lightweight DC-DC Converters**. Electronics and Electrical Engineering-Culver

City, CA, USA, January 1975. NASA Lewis Research Center Cleveland, OH, USA. Disponível em: <http://ntrs.nasa.gov/search.jsp?R=19750015779>.

IEC 61851. Electric vehicle conductive charging system – Part 1: General requirements. **IEC 61851-1:2019**, p. 287, 2019.

IEC 61000-3-2. Electromagnetic compatibility (EMC) - Part 3-2: Limits - Limits for harmonic current emissions (equipment input current  $\leq 16$  A per phase). **IEC 61000-3-2:2019**, p. 21, 2019.

IEC 61000-3-4. Electromagnetic compatibility (EMC) - Part 3-4: Limits - Limitation of emission of harmonic currents in low-voltage power supply systems for equipment with rated current greater than 16 A. **IEC 61000-3-4:1998**, p. 21, 1998.

KANNAN, N.; RAJA, D.. *Interleaved* bridgeless PFC rectifier for UPS application using current controllers. *In: 2015 IEEE International Conference on Electrical, Computer and Communication Technologies (ICECCT)*, Coimbatore, India, 2015, pp. 1-5.

KASPER, M.; BORTIS, D.; DEBOY, G.; KOLAR, J. W. Design of a highly efficient (97.7%) and very compact (2.2 kw/dm<sup>3</sup>) isolated AC–DC telecom power supply module based on the multicell ISOP converter approach. **IEEE Transactions on Power Electronics**, vol. 32, no. 10, pp. 7750–7769, Oct. 2017.

KHALILI, Siamak; MOLAVI, Navid; FARZANEHFARD, Hosein. Soft-Switched Asymmetric *Interleaved* WCCI High Step-Down Converter With Low-Voltage Stress. **IEEE Journal of emerging and selected topics in power electronics**, vol. 9, no. 6, Dec. 2021.

KHALILIAN, H. Farzanehfard; ADIB, E.; ESTEKI, M.. Analysis of a new single-stage soft-switching power-factor-correction LED driver with low DC-bus voltage. **IEEE Transactions on Industrial Electronics**, vol. 65, no. 5, pp. 3858-3865, May 2018.

KHALID, Mohd R.; ALAM, Mohammad S.; SARWAR, Adil; ASGHAR, M. S. J.. A comprehensive review on electric vehicles charging infrastructures and their impacts on power-quality of the utility grid. **eTransportation**, vol. 1, 2019.

KISHORE, G. I.; TRIPATHI, R. K. A Novel High Voltage Gain Single-Phase AC-DC PFC Converter Using Switched-Capacitor. *In: 2017 4th International Conference on Power, Control & Embedded Systems (ICPCES)*, Allahabad, India, 2017, pp. 1-6.

KOHLER, M. A. F. de S.; CORTEZ, D. F.. Single-phase five level flying-capacitor rectifier using three switches. **IEEE Open Journal of Power Electronics**, vol. 1, pp. 383–392, Sep. 2020.

KRAVETZ, Fábio I.. **Desenvolvimento de Tecnologias Aplicadas à Topologia do Conversor SEPIC Modificado para Aplicações de Elevado Desempenho**. 213 f. Tese (Doutorado em engenharia elétrica). Universidade Tecnológica Federal do Paraná, Curitiba, 2023.

LANGE, A. D. B.; SOEIRO, T. B.; ORTMANN, M. S.; HELDWEIN, M. L.. Three level single-phase bridgeless PFC rectifiers. **IEEE Transactions on Power Electronics**, vol. 30, no. 6, pp. 2935–2949, Jun. 2015.

LANGE, André D. B. **Retificador PFC monofásico PWM Bridgeless Três-níveis de Alto Desempenho**. 230 f. Dissertação (Mestrado em engenharia elétrica). Universidade Federal de Santa Catarina, Florianópolis, 2012.

LE, C.; GERBER, D. L.; KLINE, M.; SANDERS, S. R.; KINGET, P. R.. Reconfigurable hybrid-switched-capacitor-resonant LED driver for multiple mains voltages. **IEEE Transactions of Emerging and Selected Topics in Power Electronics**, vol. 6, no. 4, pp. 1871–1883, Dec. 2018.

LEE, Moonhyun; LAI, Jih-Sheng. Unified voltage balancing *feedforward* for three-level *Boost* PFC converter in discontinuous and critical conduction modes. **IEEE Transactions on circuits and systems-II: Express briefs**, vol. 68, no. 1, Jan. 2021.

LEONE, André de Souza. **Inversor de interligação operando no modo de controle de corrente e no modo de controle de tensão com *droop* bidirecional para aplicação em microrredes híbridas**. 335 f. Tese (Doutorado em engenharia elétrica). Universidade Federal do Paraná, Curitiba, 2023.

LI, W.; PERREAULT, D. J.. Switched-capacitor step-down rectifier for low-voltage power conversion. *In*: TWENTY-EIGHTH ANNUAL IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (APEC). 2013, Long Beach, CA, USA. **Anais [...]** Long Beach: IEEE, 2013. p. 1884-1891.

LIN, Xiang; JIN, Zhihui; WANG, Fei; LUO, Jian. A Novel Bridgeless *Cuk* PFC Converter With Further Reduced Conduction Losses and Simple Circuit Structure. **IEEE Transactions on Industrial Electronics**, vol. 68, no. 11, pp. 10699-10708, Nov. 2021.

LIU, J.; GREGORI, S.. Switched-capacitor *Boost-Buck* ladder converters with extended voltage range in standard CMOS. **IEEE Transactions on Circuits Systems I: Reg. Papers**, vol. 67, no. 12, pp. 4593–4606, Dec. 2020.

MA, H.; CHEN, G.; YI, J. H.; MENG, Q. W.; ZHANG, L.; XU, J. P.. A single-stage PFM-APWM hybrid modulated soft-switched converter with low bus voltage for high-power led lighting applications. **IEEE Transactions on Industrial Electronics**, vol. 64, no. 7, pp. 5777–5788, Jul. 2017.

MACCARINI, Marcelo C. **Retificador Monofásico com Fator de Potência Unitário de Alto Ganho Baseado em um Conversor *Boost* Híbrido**. 2013. Dissertação (Mestrado) — UFSC - Universidade Federal de Santa Catarina, Florianópolis, SC, 2013. Programa de Pós-Graduação em Engenharia Elétrica.

MAINALI, K.; ORUGANTI, R.. Conducted EMI Mitigation Techniques for Switch-Mode Power Converters: A Survey. **IEEE Transactions on Power Electronics**, vol. 25, no. 9, pp. 2344-2356, Sept. 2010.

MALSCHITZKY, A.; ALBUQUERQUE, F.; AGOSTINI, E.; NASCIMENTO, C. B.. Single-stage integrated bridgeless-*Boost* nonresonant half-bridge converter for LED

driver applications. **IEEE Transactions on Industrial Electronics**, vol. 65, no. 5, pp. 3866–3878, May 2018.

MAXWELL, J. C.. **A Treatise on Electricity and Magnetism - Vol. II**. Oxford: Clarendon Press, 1873.

MISHRA, S.; MAJI, A.; NAG, S. S.. Improving grid power availability in rural telecom exchanges. **IEEE Transactions on Industrial Applications**, vol. 54, no. 1, pp. 636–646, Jan./Feb. 2018.

MOHAN, Ned; UNDELAND, Tore M.; ROBBINS, William P. **Power Electronics: Converters, Applications, and Design**. 2nd ed. John Wiley & Sons, Inc., 1995.

MURILLO-YARCE, Duberney; RESTREPO, Carlos; LAMAR, Diego G.; SEBASTIÁN, Javier. A general method to study multiple discontinuous conduction modes in DC-DC converters with one transistor and its application to the versatile *Buck-Boost* converter. **IEEE Transactions on power electronics**, vol. 37, no. 11, pp. 13030-13046, Nov. 2022.

NISE, Norman S. **Engenharia de sistemas de controle**. 7. ed. Rio de Janeiro: LTC, 2017.

OGATA, Katsuhiko. **Engenharia de controle moderno**. 5. ed. São Paulo: Prentice Hall, 2009.

ORTMANN, M. S. **Retificadores multiníveis PWM com célula de comutação de múltiplos estados**. 2013. Tese (Doutorado) — UFSC - Universidade Federal de Santa Catarina, Florianópolis, SC, 2013. Programa de Pós-Graduação em Engenharia Elétrica.

PASCAL, Blaise. **Pensamentos, fragmentos e cartas de Blaise Pascal**. Vol. 2, p. 347. Prosper Faugère - Andrieux, 1814

PATIL, Rahul; PRAKASH P, Saravana. Performance enhancement of switched-capacitor based bridgeless *Buck* PFC rectifier. **IEEE Transactions on Power Electronics**, vol. 39, no. 3, pp. 2938-2942, March 2024.

PRAKASH, S.; KALPANA, R.; SINGH, B.; BHUVANESWARI, G.. Design and implementation of sensorless voltage control of front-end rectifier for power quality improvement in telecom system. **IEEE Transactions on Industrial Applications**, vol. 54, no. 3, pp. 2438–2448, May/Jun. 2018.

QIAN, J.; ZHAO, Q.; LEE, F.. Single-stage single-switch power-factor correction AC/DC converters with DC-bus voltage feedback for universal line applications. **IEEE Transactions on Power Electronics**, vol. 13, no. 6, pp. 1079–1088, Nov. 1998.

REZVANYVARDOM, M.; MIRZAEI, A.. Zero-Voltage Transition Nonisolated Bidirectional *Buck–Boost* DC–DC Converter With Coupled Inductors. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, vol. 9, no. 3, pp. 3266-3275, June 2021.

SALAZAR-PÉREZ, D.; PONCE-SILVA, M.; ALONSO, J. M.; AQUÍ-TAPIA, J. A.; CORTÉS-GARCÍA, C.. A novel high-power-factor electrolytic-capacitor-less LED driver based on ripple port. **IEEE Transactions of Emerging and Selected Topics in Power Electronics**, vol. 9, no. 5, pp. 6248–6258, Oct. 2021.

SANTOS, Rodrigo de Souza. **Inversores PWM trifásicos híbridos a capacitor chaveado para aplicações com reduzido ganho de tensão (*high step-down*)**. 2017. Tese (Doutorado) — UFSC - Universidade Federal de Santa Catarina, Florianópolis, SC, 2017. Programa de Pós-Graduação em Engenharia Elétrica.

SHAMELI, Atefe; MAGHSOUDI, Mohammad; FARZANEHFARD, Hosein. Bridgeless *Cuk* PFC converter with soft switching in full input voltage and load range. **IEEE Transactions on Industrial Electronics**, vol. 71, no. 7, pp. 6938-6945, Jul. 2024.

SHARMA, U.; SINGH, B.. A Bidirectional Bridgeless Converter-Based Electric Vehicle Charger. **IEEE Transactions on Industry Applications**, vol. 60, no. 1, pp. 900-909, Jan.-Feb. 2024.

SINGH, Alakshyender; GUPTA, Jitendra; SINGH, Bhim. Design and Control of Two Stage Battery Charger for Low Voltage Electric Vehicles Using High Gain *Buck-Boost* PFC AC-DC Converter. **IEEE Transactions on Industry Applications**, vol. 59, no. 5, Sept./Oct. 2023.

SIU, K. K. M.; HO, C. N. M.. Manitoba rectifier–bridgeless *Buck–Boost* PFC. **IEEE Transactions on Power Electronics**, vol. 35, no. 1, pp. 403–414, Jan. 2020.

SOARES, Jefferson W. M.. **Célula de comutação intercalada para conversores com características de seguidor de tensão e comutação suave**. 2021. 200 f. Dissertação (Mestrado em Engenharia elétrica e informática industrial) – Universidade Tecnológica Federal do Paraná. Curitiba, 2021.

SOARES, J. W. M.; BADIN, A. A.. An *interleaved* PFC *Boost* converter with soft commutations and voltage follower characteristics. **IEEE Transactions on Industrial Electronics**, vol. 69, no. 7, pp. 6732–6740, Jul. 2022.

SOARES, J. W. M.; BADIN, A. A.. High-efficiency *interleaved* totem-pole PFC converter with voltage follower characteristics. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, vol. 11, no. 2, pp. 1879-1887, Apr. 2023.

SUN, Z.; BAE, S.. Multiple-Input Soft-Switching DC–DC Converter to Connect Renewable Energy Sources in a DC Microgrid. **IEEE Access**, vol. 10, pp. 128380-128391, 2022.

TONOLO, Édwin A.. **Conversores CC-CC de alto ganho *interleaved* baseados na célula de comutação SC-PFM sem sensor de corrente para sistemas fotovoltaicos**. 2024. 236 f. (Doutorado em Engenharia Elétrica). Universidade Tecnológica Federal do Paraná, Curitiba, 2024.

UMENO, T.; TAKAHASHI, K.; OOTA, I.; UENO, F.; INOUE, T. New Switched-Capacitor DC-DC Converter with Low Input Current Ripple and Its Hybridization. **Proceedings of the 33rd Midwest Symposium on Circuits and Systems**, v. 2, p. 1091-1094, August 1990.

VENKATACHALAM, Kapil; SULLIVAN, C.R.; ABDALLAH, T.; TACCA, H.. Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters. In: **2002 IEEE Workshop on Computers in Power Electronics**, 2002, pp. 36-41.

VILLARD, P. **Transformateur a Haut Voltage. A Survolteur Cathodique**. Journal de Physique Theorique et Appliquee, v. 10, p. 28-32, 1901.

WANG, Haoyu; DUSMEZ, Serkan; KHALIGH, Alireza. A Novel Approach to Design EV Battery Chargers Using SEPIC PFC Stage and Optimal Operating Point Tracking Technique for LLC Converter. In: **2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014**, Fort Worth, TX, USA, 2014, pp. 1683-1689.

WANG, Y.; CHEN, P.; YONG, J.; XU, W.; XU, S.; LIU, K.. A Comprehensive Investigation On the Selection of High-Pass Harmonic Filters. **IEEE Transactions on Power Delivery**, vol. 37, no. 5, pp. 4212-4226, Oct. 2022.

XIE, H.; LI, R.. A novel switched-capacitor converter with high voltage gain. **IEEE Access**, vol. 7, pp. 107831-107844, Jul. 2019.

XU, H.; CHEN, D.; XUE, F.; LI, X.. Optimal Design Method of *Interleaved Boost* PFC for Improving Efficiency from Switching Frequency, *Boost* Inductor, and Output Voltage. **IEEE Transactions on Power Electronics**, vol. 34, no. 7, pp. 6088-6107, July 2019.

YADAV, V. K.; VERMA, A. K.; YARAGATTI, U. R., KUMAR, M.. A high PFC AC-DC system for led using k factor control driven by synchronous semi-bridgeless rectifier. In: **Proceeding 3rd International Conference on Energy, Power and Environment: Toward Clean Energy Technology**, 2021, pp. 1-6.

YOUNG, C. M.; CHEN, M. H.; CHEN, H. L.; CHAO, J. Y.; KO, C. C. Transformerless Single-Stage High Step-Up AC-DC Converter Based on Symmetrical Cockroft-Walton Voltage Multiplier With PFC. **IEEE PEDS2011**, v. 5, n. 8, p. 191–196, December 2011.

ZHAO, C.; COCHRAN, S.; COSTINETT, D.; YANG, S.. Design and Evaluation of a Multilevel Switched Capacitor Rectifier for Wireless Fast Charging. *In*: IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (APEC). 2019, Anaheim, CA, USA. **Anais [...]** Anaheim: IEEE, 2019. p. 833-840.

**APÊNDICE A - ESTUDO DOS ESFORÇOS DE CORRENTE NA TOPOLOGIA  
DE RETIFICADOR *BOOST* PFC HÍBRIDO A CAPACITOR CHAVEADO COM  
REDUÇÃO DO GANHO ESTÁTICO E MODULAÇÃO PWM**

### Análise de esforços de corrente

- Expressão do valor médio da corrente no transistor  $S_1$

A corrente que flui através do transistor  $S_1$ , em valor médio quase instantâneo, é calculada em (126).

$$\begin{cases} \langle \overline{I_{S1}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{d \cdot T_s} i'_{S1} dt + \int_{d \cdot T_s}^{T_s} i''_{S1} dt \right) \\ \langle \overline{I_{S1}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{d \cdot T_s} i_g dt \right) = \frac{d \cdot V_p}{4R(d-1)^2} \end{cases} \quad (126)$$

Com a expressão obtida, calcula-se o esforço de corrente em valor médio no período da rede elétrica em (127), fazendo as substituições:  $d = 1 - M \cdot |\text{sen}(\omega t)|$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \overline{I_{S1}} = \frac{1}{\pi} \int_0^\pi \langle \overline{I_{S1}}(\omega t) \rangle_{T_s} d\omega t \\ \overline{I_{S1}} = I_p \frac{(-2M + \pi)}{\pi} \end{cases} \quad (127)$$

- Expressão do valor eficaz da corrente no transistor  $S_1$

A corrente que flui através do transistor  $S_1$ , em valor eficaz num período de comutação, é calculada conforme (128).

$$\begin{cases} \langle I_{S1,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{d \cdot T_s} (i'_{S1})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{S1})^2 dt \right)} \\ \langle I_{S1,ef} \rangle_{T_s} = \frac{V_p}{4R} \sqrt{\frac{d}{(d-1)^4}} \end{cases} \quad (128)$$

A corrente que circulará através do transistor  $S_1$  pode ser calculada no período da rede elétrica conforme (129), fazendo as substituições:  $d = 1 - M \cdot |\text{sen}(\omega t)|$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \langle I_{S1,ef}(\omega t) \rangle_{T_s} = I_p \cdot |\text{sen}(\omega t)| \sqrt{1 - M \cdot |\text{sen}(\omega t)|} \\ I_{S1,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{S1,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{S1,ef} = I_p \sqrt{\frac{3\pi - 8M}{6\pi}} \end{cases} \quad (129)$$

- Expressão do valor médio da corrente no transistor  $S_2$  e no diodo  $D_7$

A corrente que flui através do transistor  $S_2$  é a mesma que flui através do diodo  $D_7$ , portanto, apenas a corrente em  $S_2$  é mostrada. O valor médio quase instantâneo desta corrente, é calculado em (130).

$$\begin{cases} \langle \overline{I_{S2}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{d \cdot T_s} i'_{S2} dt + \int_{d \cdot T_s}^{T_s} i''_{S2} dt \right) \\ \langle \overline{I_{S2}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{d \cdot T_s} \left( \frac{i_g(d-1)}{d} \right) dt \right) = \frac{(d-1) \cdot V_p}{4R(d-1)^2} \end{cases} \quad (130)$$

Com a expressão obtida, calcula-se o esforço de corrente em valor médio no período da rede elétrica conforme (131), fazendo as substituições:  $d = 1 - M \cdot |\text{sen}(\omega t)|$  e  $i_g = I_p \cdot |\text{sen}(\omega t)|$ .

$$\begin{cases} \overline{I_{S2}} = \frac{1}{\pi} \int_0^\pi \langle \overline{I_{S2}}(\omega t) \rangle_{T_s} d\omega t \\ \overline{I_{S2}} = -\frac{M \cdot I_p}{2} \end{cases} \quad (131)$$

- Expressão do valor eficaz da corrente no transistor  $S_2$  e no diodo  $D_7$

A corrente que flui através do transistor  $S_2$  e do diodo  $D_7$ , em valor eficaz num período de comutação, é calculada conforme (132).

$$\begin{cases} \langle I_{S2,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{d \cdot T_s} (i'_{S2})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{S2})^2 dt \right)} \\ \langle I_{S2} \rangle_{rms}^{T_s} = \frac{V_p}{4R} \sqrt{\frac{1}{d(d-1)^2}} \end{cases} \quad (132)$$

A corrente que circulará através do transistor  $S_2$  pode ser calculada em valor eficaz no período da rede elétrica conforme (133), fazendo as substituições:  $d = 1 - M \cdot \text{sen}(\omega t)$  e  $i_g = I_p \cdot \text{sen}(\omega t)$ , sendo  $\beta = \arctan\left(\frac{M}{\sqrt{1-M^2}}\right)$ .

$$\begin{cases} \langle I_{S2,ef}(\omega t) \rangle_{T_s} = |\text{sen}(\omega t)| \sqrt{-\frac{M^2 I_p^2}{M|\text{sen}(\omega t)|-1}} \\ I_{S2,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{S2,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{S2,ef} = \frac{I_p \sqrt{6}}{6\pi M} \sqrt{-\frac{8}{\sqrt{-M^2+1}} \left( -\frac{3}{2}\beta + (M^3 + \frac{3}{8}M^2\pi + \frac{3}{2}M + \frac{3}{4}\pi) \sqrt{-M^2+1} - \frac{3}{4}\pi \right)} \end{cases} \quad (133)$$

- Expressão do valor médio da corrente nos diodos  $D_5$  e  $D_6$

A corrente que flui através dos diodos  $D_5$  e  $D_6$  é a mesma, logo serão apresentadas as expressões de corrente para o diodo  $D_5$ . Em valor médio num período de comutação essa corrente é calculada conforme (134).

$$\begin{cases} \langle \overline{I_{D5}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{d \cdot T_s} i'_{D5} dt + \int_{d \cdot T_s}^{T_s} i''_{D5} dt \right) \\ \langle \overline{I_{D5}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_{d \cdot T_s}^{T_s} i_g dt \right) = -\frac{V_p}{4R(d-1)} \end{cases} \quad (134)$$

A corrente que circulará através dos diodos  $D_5$  e  $D_6$  pode ser calculada em valor médio no período da rede elétrica conforme (135), fazendo as substituições:  $d = 1 - M \cdot \text{sen}(\omega t)$  e  $i_g = I_p \cdot \text{sen}(\omega t)$ .

$$\begin{cases} \overline{I_{D5}} = \frac{1}{\pi} \int_0^\pi \langle \overline{I_{D5}}(\omega t) \rangle_{T_s} d\omega t \\ \overline{I_{D5}} = \frac{M \cdot I_p}{2} \end{cases} \quad (135)$$

- Expressão do valor eficaz da corrente nos diodos  $D_5$  e  $D_6$

A corrente que flui através dos diodos  $D_5$  e  $D_6$ , em valor eficaz num período de comutação, é calculada conforme (136).

$$\begin{cases} \langle I_{D5,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{d \cdot T_s} (i'_{D5})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{D5})^2 dt \right)} \\ \langle I_{D5,ef} \rangle_{T_s} = \frac{V_p}{4R} \sqrt{-\frac{1}{(d-1)^3}} \end{cases} \quad (136)$$

A corrente que circulará através dos diodos  $D_5$  e  $D_6$  pode ser calculada no período da rede elétrica conforme (137), fazendo as substituições:  $d = 1 - M \cdot \text{sen}(\omega t)$  e  $i_g = I_p \cdot \text{sen}(\omega t)$ .

$$\begin{cases} \langle I_{D5,ef}(\omega t) \rangle_{T_s} = I_p \cdot |\text{sen}(\omega t)|^{\frac{3}{2}} \cdot \sqrt{M} \\ I_{D5,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{D5,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{D5,ef} = I_p \sqrt{\frac{4M}{3\pi}} \end{cases} \quad (137)$$

- Expressão do valor eficaz da corrente no capacitor  $C_1$

A corrente que flui através do capacitor  $C_1$ , em valor eficaz num período de comutação, é calculada conforme (138).

$$\begin{cases} \langle I_{C1,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{d \cdot T_s} (i'_{C1})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{C1})^2 dt \right)} \\ \langle I_{C1,ef} \rangle_{T_s} = I_p \sqrt{\frac{1-d}{d}} \end{cases} \quad (138)$$

A corrente que circulará através do capacitor  $C_1$  pode ser calculada no período da rede elétrica conforme (139), fazendo as substituições:  $d = 1 - M \cdot \text{sen}(\omega t)$ ,  $i_g = I_p \cdot \text{sen}(\omega t)$  e  $\beta = \arctan\left(\frac{M}{\sqrt{1-M^2}}\right)$ .

$$\begin{cases} \langle I_{C1,ef}(\omega t) \rangle_{T_s} = I_p |\text{sen}(\omega t)|^{\frac{3}{2}} \sqrt{-\frac{M}{M|\text{sen}(\omega t)|-1}} \\ I_{C1,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{C1,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{C1,ef} = \frac{\sqrt{2}I_p}{2\sqrt{\pi}M} \sqrt{-\frac{1}{\sqrt{-M^2+1}} (-4\beta + (M^2\pi + 4M + 2\pi)\sqrt{-M^2+1} - 2\pi)} \end{cases} \quad (139)$$

- Expressão do valor eficaz da corrente no capacitor  $C_o$

A corrente que flui através do capacitor  $C_o$ , em valor eficaz num período de comutação, é calculada conforme (140).

$$\begin{cases} \langle I_{C_o,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{d \cdot T_s} (i'_{C_o})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{C_o})^2 dt \right)} \\ \langle I_{C_o,ef} \rangle_{T_s} = I_p \sqrt{-\frac{(d-1)(2d-1)^2}{d}} \end{cases} \quad (140)$$

A corrente que circulará através do capacitor  $C_o$  pode ser calculada no período da rede elétrica conforme (141), fazendo as substituições:  $d = 1 - M \cdot \text{sen}(\omega t)$  e  $i_g = I_p \cdot \text{sen}(\omega t)$ .

$$\begin{cases} \langle I_{C_o,ef}(\omega t) \rangle_{T_s} = I_p |\sin(\omega t)|^{\frac{3}{2}} \sqrt{-\frac{(M(2M|\sin(\omega t)|-1)^2}{M|\sin(\omega t)|}} \\ I_{C_o,ef} = \sqrt{\frac{1}{\pi} \int_0^\pi (\langle I_{C_o,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{C_o,ef} = \frac{\sqrt{2}I_p}{2\sqrt{\pi}M} \sqrt{-\frac{3}{\sqrt{-M^2+1}} \left( -\frac{4}{3}\beta + \left( (M^4 + \frac{1}{3}M^2 + \frac{2}{3}) \pi + \frac{4}{3}M \right) \sqrt{-M^2+1} - \frac{2}{3}\pi \right)} \end{cases} \quad (141)$$

- Expressão do valor médio da corrente nos diodos  $D_1$ ,  $D_2$ ,  $D_3$  e  $D_4$

A corrente que flui através dos diodos  $D_1$  e  $D_4$  é a mesma, logo serão apresentadas as expressões de corrente para o diodo  $D_1$ . Pode-se, por analogia, concluir que as expressões de corrente para os diodos  $D_2$  e  $D_3$  serão as mesmas, uma vez que conduzirão pelo mesmo tempo em que os diodos  $D_1$  e  $D_4$ , porém no semiciclo negativo da rede elétrica. Em valor médio num período de comutação a corrente no diodo  $D_1$  é calculada, desprezando-se a resistência intrínseca do capacitor  $C_1$ , conforme (142).

$$\begin{cases} \langle \overline{I_{D1}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{d \cdot T_s} i'_{D1} dt + \int_{d \cdot T_s}^{T_s} i''_{D1} dt \right) \\ \langle \overline{I_{D1}} \rangle_{T_s} = \frac{1}{T_s} \left( \int_0^{d \cdot T_s} i_g dt + \int_{d \cdot T_s}^{T_s} i_g dt \right) = i_g = \frac{V_p}{4R(d-1)^2} \end{cases} \quad (142)$$

A corrente que circulará através dos diodos  $D_1$  e  $D_4$  pode ser calculada em valor médio no período da rede elétrica conforme (143), fazendo as substituições:  $d = 1 - M \cdot \text{sen}(\omega t)$  e  $i_g = I_p \cdot \text{sen}(\omega t)$ .

$$\begin{cases} \overline{I_{D1}} = \frac{1}{2\pi} \int_0^\pi \langle \overline{I_{D1}}(\omega t) \rangle_{T_s} d\omega t \\ \overline{I_{D1}} = \frac{I_p}{\pi} \end{cases} \quad (143)$$

- Expressão do valor eficaz da corrente nos diodos  $D_1$ ,  $D_2$ ,  $D_3$  e  $D_4$

A corrente que flui através do diodo  $D_1$  (que é igual à do diodo  $D_4$  e por simetria aos diodos  $D_2$  e  $D_3$ ), em valor eficaz num período de comutação, é calculada conforme (144).

$$\begin{cases} \langle I_{D1,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left( \int_0^{d \cdot T_s} (i'_{Co})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{Co})^2 dt \right)} \\ \langle I_{D1,ef} \rangle_{T_s} = i_g = \frac{V_p}{4R(d-1)^2} \end{cases} \quad (144)$$

A corrente que circulará através do diodo  $D_1$  pode ser calculada no período da rede elétrica conforme (145), fazendo as substituições:  $d = 1 - M \cdot \text{sen}(\omega t)$  e  $i_g = I_p \cdot \text{sen}(\omega t)$ .

$$\begin{cases} \langle I_{D1,ef}(\omega t) \rangle_{T_s} = i_g = I_p \cdot \text{sen}(\omega t) \\ I_{D1,ef} = \sqrt{\frac{1}{2\pi} \int_0^\pi (\langle I_{D1,ef}(\omega t) \rangle_{T_s})^2 d\omega t} \\ I_{D1,ef} = \frac{I_p}{2} \end{cases} \quad (145)$$

**APÊNDICE B - MEMORIAL DE CÁLCULO DE PERDAS NOS CONVERSORES**

### Memorial de cálculo das perdas no conversor do Capítulo 3

Os principais cálculos de perdas são aqui apresentados e os componentes submetidos aos mesmos esforços de corrente e tensão tiveram as perdas omitidas para reduzir a extensão do texto.

- Perdas nos transistores

$$P_{S1,condA} = (0,040\Omega)(4,36A)^2 = 0,76W$$

$$P_{S1,comA} = \frac{(200V) \cdot (11,79A) \cdot (50k) \cdot (30ns + 106ns)}{2} = 8,02W$$

$$P_{S2,condA} = (0,040\Omega)(8,57A)^2 = 2,94W$$

$$P_{S2,comA} = \frac{(100V) \cdot (11,79A) \cdot (50k) \cdot (30ns + 106ns)}{2} = 4,01W$$

$$P_{S1,condB} = (0,029\Omega)(2,9A)^2 = 0,24W$$

$$P_{S1,comB} = \frac{(400V) \cdot (6,91A) \cdot (50k) \cdot (80ns + 220ns)}{2} = 20,75W$$

$$P_{S2,condB} = (0,029\Omega)(5,83A)^2 = 0,99W$$

$$P_{S2,comB} = \frac{(200V) \cdot (6,91A) \cdot (50k) \cdot (80ns + 220ns)}{2} = 10,37W$$

- Perdas nos diodos

$$P_{D1,condA} = P_{D2,condA} = P_{D3,condA} = P_{D4,condA} = (0,86V) \cdot (3,72A) = 3,2W$$

$$P_{D5,condA} = P_{D6,condA} = (1,8V) \cdot (5,0A) = 9,0W$$

$$P_{D7,condA} = (1,8V) \cdot (4,94A) = 8,89W$$

$$P_{D1,condB} = P_{D2,condB} = P_{D3,condB} = P_{D4,condB} = (1,2V) \cdot (2,12A) = 2,54W$$

$$P_{D5,condB} = P_{D6,condB} = (0,86V) \cdot (2,58A) = 2,22W$$

$$P_{D7,condB} = (0,86V) \cdot (2,61A) = 2,24W$$

- Perdas nos enrolamentos de cobre do indutor de entrada

$$P_{L,condA} = (0,098\Omega) \cdot (8,34A)^2 = 6,82W$$

$$P_{L,condB} = (0,196\Omega) \cdot (4,89A)^2 = 4,69W$$

- Perdas no capacitor chaveado e no capacitor de barramento

$$P_{C1,condA} = (0,048\Omega) \cdot (11,1A)^2 = 5,91W$$

$$P_{Co,condA} = (0,048\Omega) \cdot (4,97A)^2 = 1,19W$$

$$P_{C1,condB} = (0,0025\Omega) \cdot (7,03A)^2 = 0,13W$$

$$P_{Co,condB} = (0,048\Omega) \cdot (4,74A)^2 = 1,08W$$

- Perdas fixas nos semicondutores

$$P_{C_{ossA}} = (27\mu\text{J}) \cdot (50\text{kHz}) = 1,35\text{W}$$

$$P_{C_{ossB}} = (28,8\mu\text{J}) \cdot (50\text{kHz}) = 1,44\text{W}$$

#### Memorial de cálculo das perdas no conversor do Capítulo 4

- Perdas nos transistores

$$P_{S1,cond} = P_{S2,cond} = (0,041\Omega)(2,81\text{A}^2) = 0,32\text{W}$$

$$P_{S3,cond} = P_{S4,cond} = (0,041\Omega)(1,18\text{A}^2) = 0,06\text{W}$$

$$P_{S3,com} = P_{S4,com} = \frac{(400\text{V}) \cdot (3,40\text{A}) \cdot (70\text{k}) \cdot (58\text{ns} + 33\text{ns})}{2} = 4,33\text{W}$$

- Perdas nos diodos

$$P_{D1,cond} = P_{D2,cond} = (1,2\text{V}) \cdot (0,63\text{A}) = 0,76\text{W}$$

$$P_{D3,cond} = P_{D5,cond} = (1,2\text{V}) \cdot (0,62\text{A}) = 0,74\text{W}$$

$$P_{D4,cond} = P_{D6,cond} = (1,2\text{V}) \cdot (0,62\text{A}) = 0,74\text{W}$$

$$P_{Db1,cond} = P_{Db2,cond} = P_{Db3,cond} = P_{Db4,cond} = (0,8\text{V}) \cdot (2,06\text{A}) = 1,65\text{W}$$

- Perdas nos enrolamentos de cobre do indutor de entrada

$$P_{L,cond} = (0,21\Omega) \cdot (4,81\text{A}^2) = 4,85\text{W}$$

- Perdas no enrolamento e no núcleo do indutor acoplado

$$P_{L,cond} = R_{L-cobre} I_{L,ef}^2 = (0,0002287\Omega/\text{cm}) \cdot (135,8\text{cm}) \cdot 3,07^2 = 0,33\text{W}$$

$$P_{\text{nucleo-ATR}} = V_e (K_h \cdot f_s + K_f \cdot f_s^2) \left( \frac{B_{\max}}{T} \right)^{2,4} \quad (146)$$

$$= 23,3(10^{-2})^3 (0,0004 \cdot (70\text{k}) + 4 \cdot 10^{-10} \cdot (70\text{k})^2) \left( \frac{0,15}{T} \right)^{2,4} = 7,35\text{W}$$

- Perdas no capacitor chaveado e no capacitor de barramento

$$P_{C1,cond} = P_{C2,cond} = (0,0051\Omega) \cdot (2\text{A}^2) = 0,0204\text{W}$$

$$P_{Co,cond} = (0,08\Omega) \cdot (2,05\text{A}^2) = 0,34\text{W}$$

- Perdas fixas nos semicondutores (considerado apenas um transistor)

$$P_{S1,oss} = P_{S2,oss} = P_{S3,oss} = P_{S4,oss} = (128\mu) \cdot (70\text{kHz}) = 8,96\text{W}$$

## **APÊNDICE C – PROJETO DO INDUTOR ACOPLADO**

Foi escolhido o núcleo do fabricante Thornton, modelo NEE-42/21/20, com parâmetros especificados pelo fabricante na Tabela 20. A resistividade a 100 °C do fio litz 50 vias de cabo AWG34 é estimada em 0,0002287 Ω/cm e o comprimento do chicote (enrolamentos de cobre) é estimado em 164,9 cm. O projeto construtivo do indutor acoplado é com base nos parâmetros da Tabela 21. Então é definido o núcleo e seus parâmetros são mostrados na Tabela 22. Por fim, tem-se os valores calculados da Tabela 23, que são os parâmetros de saída do projeto do indutor acoplado, sendo necessários inclusive para o cálculo de perdas apresentado na seção 5.9.1.4. Convém apresentar o equacionamento para a obtenção do valor de corrente eficaz do indutor acoplado, com base em (147) (Soares, 2021), que resulta em (148).

$$i_{W,ef} = I_{Wp} \sqrt{\frac{2 + \delta}{6}} = (I_{rl} + I_{g,ef}) \sqrt{\frac{2 + \delta}{6}} \quad (147)$$

$$i_{W,ef} = (0,26 + 4,54) \sqrt{\frac{2 + 0,45}{6}} \approx 3,07 \text{ A} \quad (148)$$

**Tabela 20 - Parâmetros do projeto do indutor acoplado**

Parâmetro	Valor
Núcleo Thornton NEE-42/21/20 ( $A_e$ )	2,4 cm <sup>2</sup>
Núcleo Thornton NEE-42/21/20 ( $A_w$ )	1,57 cm <sup>2</sup>
Núcleo Thornton NEE-42/21/20 ( $V_e$ )	23,3 cm <sup>3</sup>
Comprimento médio de uma espira	9,7 cm
Número de espiras	14
Comprimento do chicote	1,36 m
Fio Litz 50xAWG34 (seção do fio isolado)	0,015 cm <sup>2</sup>
Fio Litz 50xAWG34 (resistividade do fio a 100 °C)	0,0002287 Ω/cm
Valor eficaz de corrente nos enrolamentos do indutor acoplado	3,07 A
Densidade de fluxo magnético máxima: $B_{max}$	0,15 T
Frequência de comutação	70 kHz
Coeficiente de perdas por histerese: $K_h$	0,0004
Coeficiente de perdas por correntes parasitas: $K_f$	4E-10

Fonte: Autoria própria.

Tabela 21 – Parâmetros de base do projeto do indutor acoplado

Parâmetro	Valor	Unidade
Indutância ( $4L_m$ )	144,8	$\mu\text{H}$
Frequência	70	kHz
Corrente de pico ( $I_{Wp}$ )	4,81	A
Corrente eficaz ( $i_{W_{ef}}$ )	3,07	A
Fator útil da janela	0,35	-
Densidade de corrente	500	A/cm <sup>2</sup>
Indução magnética	0,15	T

Fonte: Autoria própria.

Tabela 22 – Parâmetros do núcleo do indutor acoplado

Parâmetro	Valor	Unidade
$A_p = A_e \cdot A_w$	0,67	cm <sup>4</sup>
Núcleo comercial	E-42/20	-
$A_p$ comercial	3,77	cm <sup>4</sup>
$A_e$ comercial	2,4	cm <sup>2</sup>
$A_w$ comercial	1,57	cm <sup>2</sup>
Comprimento médio de uma espira	9,7	cm

Fonte: Autoria própria.

**Tabela 23 – Valores calculados para o projeto do indutor acoplado**

<b>Parâmetro</b>	<b>Valor</b>	<b>Unidade</b>
Número de espiras	14	
Entreferro total	0,6	mm
Entreferros	0,3	mm
Seção do fio calculada	0,0061	cm <sup>2</sup>
Diâmetro máximo do fio	0,057	cm
Fio escolhido - LITZ 50 x AWG34	-	-
Seção do fio escolhido (não isolado)	0,01	cm <sup>2</sup>
Seção do fio escolhido (isolado)	0,015	cm <sup>2</sup>
Resistividade do fio escolhido	0,000229	Ω/cm
Número de fios em paralelo	1	-
Possibilidade de execução	0,24	<1 ok
Comprimento do chicote	1,36	m
Resistência dos enrolamentos	0,031	Ω

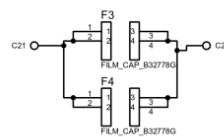
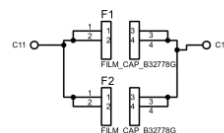
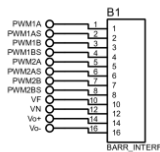
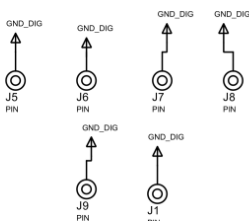
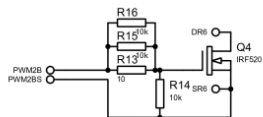
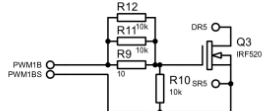
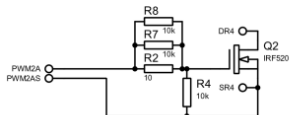
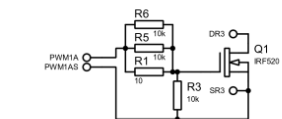
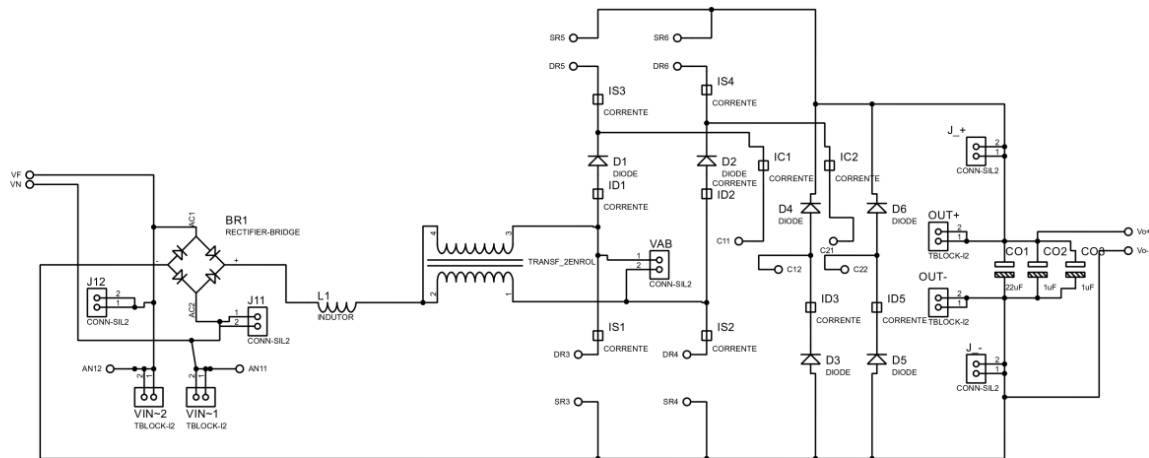
**Fonte: Autoria própria.**

**APÊNDICE D – ESQUEMÁTICO DO RETIFICADOR *BOOST* PFC HÍBRIDO A  
CAPACITOR CHAVEADO COM REDUÇÃO DO GANHO ESTÁTICO**

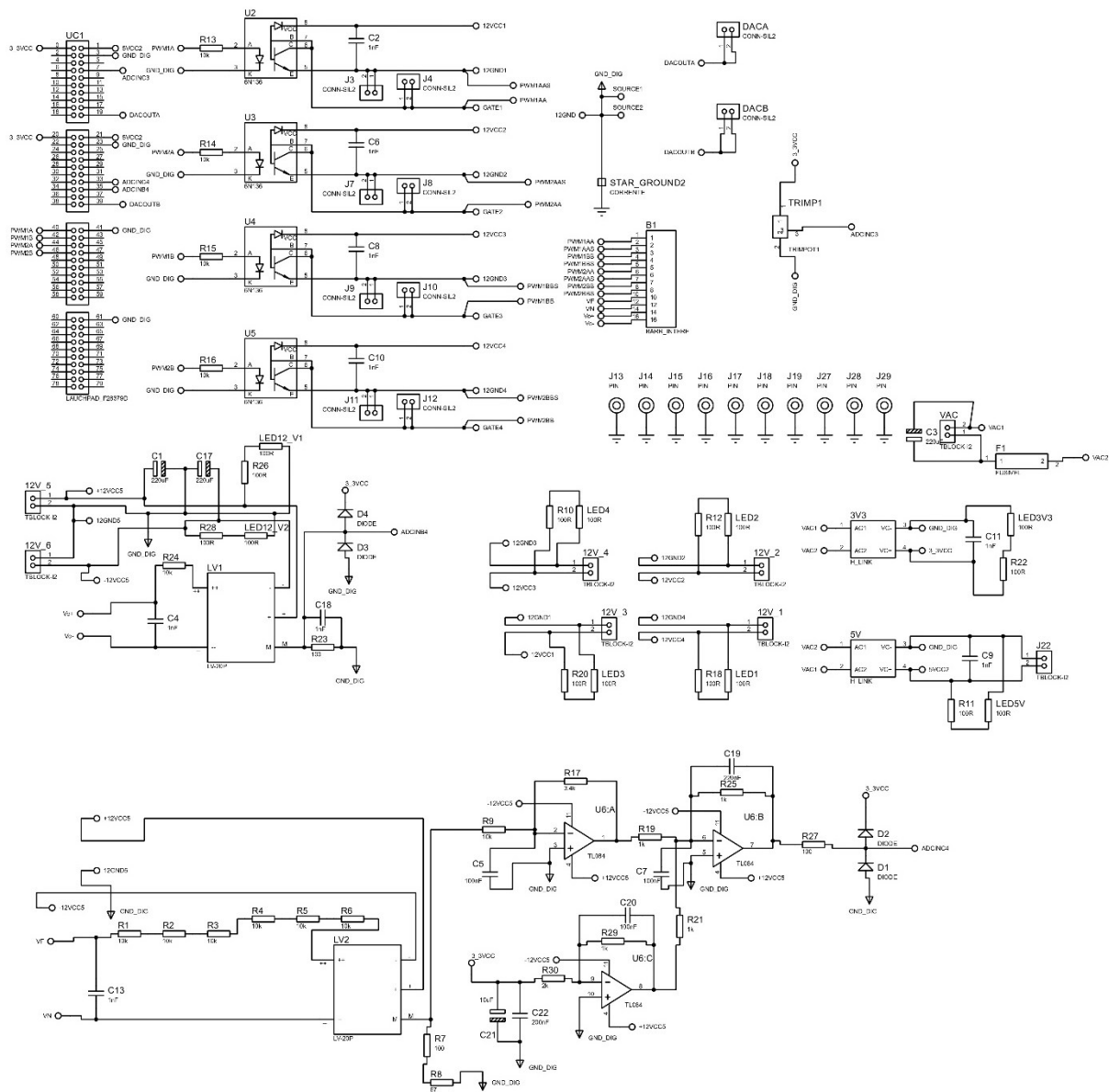


**APÊNDICE E – ESQUEMÁTICO DO RETIFICADOR *BOOST* PFC  
*INTERLEAVED* HÍBRIDO A CAPACITOR CHAVEADO COM REDUÇÃO DO  
GANHO ESTÁTICO**

### Esquemático do circuito de potência



### Esquemático do circuito de controle



**APÊNDICE F – CÓDIGO BASE UTILIZADO NOS RETIFICADORES *BOOST*  
PFC PROPOSTOS**

**Código base utilizado no kit de desenvolvimento LAUNCHXL-F28379 da Texas Instruments para o conversor proposto no cap. 4, que pode também ser utilizado como base para o conversor proposto no cap. 5**

```
// Comentar o modo de operação não desejado:
#define MALHA_FECHADA      // OPERAÇÃO EM MALHA FECHADA
//#define MALHA_ABERTA     // OPERAÇÃO EM MALHA ABERTA
#define DUTY_MAX 0.98
//#define MEDIA_MOVEL_NUM_LEITURAS 6
//Constantes dos compensadores PI
double KP_TENSAO=0.001;
double Ti_TENSAO=0.001;
double Kp_CORRENTE = 0.05;
double Kp_CORRENTE1; //parametro para variar em tempo real o ganho proporcional utilizando um
potenciômetro
double Ta=0.00001;      //período de amostragem Ta = 1/(100 kHz) = 10 us dupla amostragem
double k_balanco = 0; //não está sendo utilizado
double vo_controle = 185.0; //tensão para ativar a malha de controle
double par_iref = 0.021; //0.062 (condutância Vg = 127V) 0.021 (condutância Vg = 220V)
double voRef = 200.0;
double ig_MAX = 100.0; // limite para a proteção de sobrecorrente transitoria
double vo_MAX = 350.0;
double ig_max = 30.0; //Utilizada nos DACs
//OFFSET's das variáveis (o valor da variável analogico):
double OFFSET_VG = 2138;
double OFFSET_ig = 2346.0;
double OFFSET_AJ = 0.5; //valor mínimo do fator de ajuste do Kp de corrente
//Coeficientes para ajuste para que o valor lido seja igual ao valor real após conversão do ADC
//(valor maximo da tensao do pino é 3V3)
double AJUSTE_AN_vg = 0.354; //0.44029*2.26*0.704 //vg
double AJUSTE_AN_ig = 0.018; //0.058*0.266; //ig
double AJUSTE_AN_vo = 0.077; //0.0280945003*1.07*0.99; //vo
double COEF_AJ = 0.0002441; // coeficiente de ajuste: inclinação da reta: (1.5-0.5)/4096
//Média móvel
//Uint16 countMediaMovel = 0;
//Uint16 soma_ADC_vo = 0; //Tensão de saída
//Uint16 voDigital = 0;
//double vetorFiltroMediaMovelLeitura0[MEDIA_MOVEL_NUM_LEITURAS];
//double bufferLeitura0 = 0.0;
//Configuração DAC
```

```

#define REFERENCE_VDAC 0
#define REFERENCE_VREF 1
#define DACA 1
#define DACB 2
#define REFERENCE REFERENCE_VREF
#define DAC_NUM DACA
double DUTY_MALHA_ABERTA = 0.00; //razao ciclica para operacao em malha aberta
//*****
#include "F28x_Project.h"
#include "math.h"
// PINOS DE SAIDA
#define RESULT_BUFFER_SIZE 256
#define BLINKY_LED_GPIO3 14
#define ON_CONT 16
#define LED_RED 34
#define LED_GREEN 31
#define OUT4_DEBUG 4
#define OUT6_DEBUG 6
#define OUT7_DEBUG 7
#define OUT8_DEBUG 8
#include <D:\define_blocoC_PLL.c>
// Variaveis para calculo da tensao eficaz de entrada
int semiCiclo = 1;
//Funções
void Config_PWM(void);
void ConfigureADC(void);
void SetupADCEpwm(void);
interrupt void adca1_isr(void); //interrupcao
//void calculoPLL(void);
void controleTensao(void);
void controleCorrente(void);
void Le_adc(void);
void inicia_var(void);
void configura_output(void);
void pisca_led(void);
void malha_aberta(void);
void configureDAC(void);
void atualizarSaidasAnalogicas(void);
void protecao_digital(void);
int period;

```

```

double duty, duty1, dutyMax=0.98;
int i, j=0, k=0;
double vo, vg, ig;
double fator_aj; //fator de ajuste para o ganho Kp de corrente
Uint16 protecao = 0;
Uint16 alarmelgMax, alarmeVoMax;
Uint16 time;
Uint16 contador = 0;
Uint16 alarmeVgMax;
//Uint16 ativaMalhaTensao = 0; //variável para ativar a malha de tensao com o conversor operando
Uint32 n;
double erroTensao, saidaCv, erroCorrente, saidaCi1, vFeed, vMod1, igRef, vBarramento;
double yV_0, yV_1 = 0.013, erroV_0=0, erroV_1=0, yA_0=0, yB_0=0, yA_1=0, yB_1=0, erroA_0=0,
erroA_1=0, erroB_0=0,
erroB_1=0;
double saidaCvProp, saidaCvInt;
double Vg_acumulado = 0, media_vg, balanco_v = 0;
double saidaCi_limite = 0.5, saidaCv_limite = 0.013, media_iL1 = 0, duty_teste = 0.1; //saidaCv_limite =
0.021
double v2g_acumulado=0, Vg_ef=0, lg_ef=0, i2g_acumulado=0;
volatile struct DAC_REGS* DAC_PTR[4] = {0x0, &DacaRegs, &DacbRegs, &DaccRegs};
Uint16 dacaSaida = 7;
Uint16 dacbSaida = 0;
Uint16 media_ADC = 0;
Uint16 media_ADC_ig = 0;
Uint16 media_ADC_vg = 0;
Uint16 aquisPot = 1; //aquisição de tensão do potenciometro: 0 a 4096
float grafico[1667];
double v_alpha, v_beta, i_alpha=0, i_beta=0, e_0_PLL=0, e_1_PLL=0, y_0_PLL=0,
y_1_PLL=0, erro_PLL, w, q, e_PLL_0,
e_0_INT=0, e_1_INT=0, y_0_INT=0, y_1_INT=0, wt, e_0_PB=0, e_1_PB=0, y_0_PB=0, y_1_PB=0,
modulo_vg, vg_PLL, k_feed=1;
int main(void)
{ //BEGIN MAIN
  InitSysCtrl();
  inicia_var();
  InitGpio();
  configura_output();
  DINT;
  InitPieCtrl();

```

```

IER = 0x0000;
IFR = 0x0000;
InitPieVectTable();
EALLOW;
PieVectTable.ADCA1_INT = &adca1_isr;
//PieVectTable.ADCB1_INT = &adca1_isr;
EDIS;
ConfigureADC();
Config_PWM();
SetupADCEpwm();
IER |= M_INT1;
EINT;
ERTM;
EALLOW;
PieCtrlRegs.PIEIER1.bit.INTx1 = 1;
EDIS;
configureDAC();
while(1){
    pisca_led();
}
} //END MAIN
interrupt void adca1_isr(void) // rotina de interrupcao na frequencia do PWM
{
    time++; // contador
    GPIO_WritePin(OUT6_DEBUG, 1); // Seta o pino 80 J8 o nivel 1
    Le_adc(); // funcao e leitura dos ADCs
    calculoPLL();
    i++;
#ifdef MALHA_FECHADA // comando para operar em malha fechada
    if(i == 4)
    {
        i = 0;
        controleTensao();
    }
    controleCorrente();
    // funcao para operacao em malha fechada
    protecao_digital();
#endif
#ifdef MALHA_ABERTA // comando para operar em malha aberta
    malha_aberta(); // funcao para operacao em malha aberta
#endif
}

```

```

#endif
    atualizarSaidasAnalogicas();
    EALLOW;
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //limpa as flag de interrupcao para o proximo ciclo
    AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
    AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
    AdcdRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
    EDIS;
    GPIO_WritePin(OUT6_DEBUG, 0); // Seta o pino 80 J8 o nivel 0
}
/*
FUNCAO QUE EXECUTA O CONTROLE EM MALHA FECHADA
*/
void calculoPLL(){
//MALHA DE TENSAO
    while(!AdcaRegs.ADCINTFLG.bit.ADCINT1); // aguarda o fim da conversão do ADCA
    while(!AdcbRegs.ADCINTFLG.bit.ADCINT1); // aguarda o fim da conversão do ADCB
    while(!AdccRegs.ADCINTFLG.bit.ADCINT1); // aguarda o fim da conversão do ADCC
    /***** PLL *****/
    /***** transformada AlfaBeta *****/ //filtro passa-baixas fc = 1 Hz
    v_alpha = vg;
    e_0_PB = v_alpha;
    y_0_PB = e_0_PB*3.141494e-005+ e_1_PB*3.141494e-005 - y_1_PB*(-0.99993717);
    e_1_PB = e_0_PB;
    y_1_PB = y_0_PB;
    v_beta = y_0_PB*59.86314287819;
    /***** cálculo do q *****/
    q = v_alpha*i_beta - v_beta*i_alpha;
    erro_PLL = 0 - q;
    /***** cálculo do PI *****/
    e_0_PLL = erro_PLL; // entrada do PI
    y_0_PLL= kPLL*(e_0_PLL - e_1_PLL)+((kPLL*Ta)/(2*TiPLL))*(e_0_PLL + e_1_PLL) + y_1_PLL;
    e_1_PLL = e_0_PLL; // a amostra anterior recebe a atual
    y_1_PLL = y_0_PLL; // a amostra anterior recebe a atual
    /*****
    w = y_0_PLL+376.991; // saída do PI
    /***** implementação do integrador (1/s) *****/
    e_0_INT = w; // entrada do integrador
    y_0_INT= (0.5)*((e_0_INT + e_1_INT)*Ta +y_1_INT*2) ;

```

```

e_1_INT = e_0_INT; // a amostra anterior recebe a atual
y_1_INT = y_0_INT; // a amostra anterior recebe a atual
wt = y_0_INT; // saída do integrador
/***** resete de wt *****/
if(wt>= 6.28318530718) //se wt>2pi, entao reseta...
{
    y_0_INT = 0;
    y_1_INT = 0;
    wt = 0;
}
/***** cálculo das correntes virtuais *****/
i_alpha = sin(wt);
i_beta = cos(wt+3.14);
modulo_vg = sqrt(v_alpha*v_alpha+v_beta*v_beta);
vg_PLL = i_alpha*modulo_vg;
}
void controleTensao(){
erroTensao = voRef-vo;
    erroV_0 = erroTensao;
    yV_0 = KP_TENSAO * (erroV_0 - erroV_1) + (KP_TENSAO*(1/Ti_TENSAO) * (Ta*0.5)) * (erroV_0
+ erroV_1) + yV_1;
    //saidaCvProp = KP_TENSAO * (erroV_0 - erroV_1);
//saidaCvInt = (KP_TENSAO*1000 * (Ta*0.5)) * (erroV_0 + erroV_1) + yV_1;
//yV_0 = saidaCvProp + saidaCvInt;
erroV_1 = erroV_0; // amostra anterior recebe a atual
    yV_1 = yV_0; // amostra anterior recebe a atual
saidaCv=yV_0;
//saidaCv = KP_TENSAO*erroTensao;
// satura a saida do PI de tensao
    if(saidaCv > saidaCv_limite) //saidaCv_limite = 0.3
    {
        saidaCv = saidaCv_limite;
        yV_1 = saidaCv_limite;
        yV_0 = saidaCv_limite;
    }
    if(saidaCv <0)
    {
        saidaCv = 0;
        yV_1 = 0;
        yV_0 = 0;
    }
}

```

```

    }
    /*if(vo > vo_controle)
    {
    saidaCv=yV_0;
    }
    else
    {
    saidaCv = par_iref;
    }*/
    saidaCv = par_iref;
    //Malha de corrente
    // igRef = fabs(vg)*(saidaCv);
    // igRef = fabs(vg_PLL)*(saidaCv);
    }
    void controleCorrente(){
    //igRef = fabs(vg)*(saidaCv);
    igRef = fabs(vg_PLL)*(saidaCv);
    erroCorrente = igRef-fabs(ig);
    saidaCi1 = erroCorrente*Kp_CORRENTE;
    //saidaCi1 = erroCorrente*Kp_CORRENTE1;
    //erroA_0 = erroCorrente;
    // yA_0 = KP1_CORRENTE * (erroA_0 - erroA_1) + (KP1_CORRENTE / Ti1_CORRENTE *
    (Ta*0.5)) * (erroA_0 + erroA_1) + yA_1;
    // erroA_1 = erroA_0;
    // yA_1 = yA_0;
    //saidaCi1= yA_0; //saida do PI de corrente
    // Saturacao do PI de corrente
    if(saidaCi1>saidaCi_limite) //saidaCi_limite = 0.5
    {
    yA_0 = saidaCi_limite;
    yA_1 = saidaCi_limite;
    saidaCi1 = saidaCi_limite;
    }
    if(saidaCi1<-saidaCi_limite)
    {
    yA_0 = -saidaCi_limite;
    yA_1 = -saidaCi_limite;
    saidaCi1 = -saidaCi_limite;
    }
    // caso seja usado apenas um ganho proporcional...

```

```

//saidaCi1 = erroCorrente*Kp_CORRENTE;
//MALHA FEEDFORWARD
vFeed = 1.0-((fabs(vg_PLL))/(vo*2.0))*k_feed;
//vFeed = 1.0-((fabs(vg))*0.0025);
if(vFeed<0.0) vFeed = 0.0;
if(vFeed>1.0) vFeed = 1.0;
// vFeed = 0;
vMod1 = (saidaCi1)+vFeed;
duty1 = vMod1; //PWM1(PINOS 37 E 38)
if(duty1>dutyMax) duty1 = dutyMax; //duty1 nao pode passar de dutyMax = DUTY_MAX
if(duty1<0.01) duty1 = 0.01;
// Atualiza a razao ciclica nos registradores do PWM
// duty1 = duty_teste;
EPwm1Regs.CMPA.bit.CMPA = (Uint16)(duty1*period); //PWM1 pino J4 40
EPwm1Regs.CMPB.bit.CMPB = (Uint16)(duty1*period); //PWM1 pino J4 39
}
// FUNCAO QUE EXECUTA O CONTROLE EM MALHA ABERTA COM O VALOR DE DUTY
CONSTANTE
void malha_aberta(){
    duty = DUTY_MALHA_ABERTA; //DUTY_MALHA_ABERTA = 0.30 (valor definido na linha 76)
    duty1 = DUTY_MALHA_ABERTA;
EPwm1Regs.CMPA.bit.CMPA = (Uint16)(duty1*period); //PWM1 pino J4 40
    EPwm1Regs.CMPB.bit.CMPB = (Uint16)(duty1*period); //PWM1 pino J4 39
}
void protecao_digital(){
if(ig >= ig_MAX){ //CORRENTE_INDUTOR_MAX
//    yA_0 = ig;
    alarmeIgMax = 1; //alarmeCorrenteMaximalndutor
    protecao = 1;
GPIO_WritePin(OUT7_DEBUG, 1); // Seta o pino 79 J8 o nivel 1
}
if(vo >= vo_MAX) { // tensão de saída máxima
    alarmeVoMax = 1; //
    protecao = 1;
GPIO_WritePin(OUT8_DEBUG, 1); // Seta o pino 78 J8 o nivel 1
}
if(protecao == 1){
    //GPIO_WritePin(DEBUG_OUT1, 1);
    duty1 = 0.0;
EPwm1Regs.CMPA.bit.CMPA = (Uint16)(duty1*period); //PWM1 pino J4 40

```

```

EPwm1Regs.CMPB.bit.CMPB = (Uint16)(duty1*period); //PWM1 pino J4 39
    }
}
void Le_adc(){
/* Variáveis de entrada:
* tensão de saída: vo - pino 68 ADCINB4
* corrente de entrada: Ig - pino 69 ADCINA4
* tensão de entrada: vg - pino 67 ADCINC4
* potenciometro p/ fator de ajuste do Kp: fator_aj - pino 24 ADCINC3
*/
    aquisPot =
(AdccResultRegs.ADCRESULT3+AdccResultRegs.ADCRESULT4+AdccResultRegs.ADCRESULT5)*
0.333333333;
    fator_aj = (aquisPot * COEF_AJ) + OFFSET_AJ;
    Kp_CORRENTE1 = fator_aj*Kp_CORRENTE; // ganho Kp de corrente atualizado em tempo real
    media_ADC_vg =
(AdccResultRegs.ADCRESULT0+AdccResultRegs.ADCRESULT1+AdccResultRegs.ADCRESULT2)*
0.333333333;
    vg = (media_ADC_vg-OFFSET_VG)*AJUSTE_AN_vg; //leitura da tensao de entrada Vg
    media_ADC_ig =
(AdcaResultRegs.ADCRESULT0+AdcaResultRegs.ADCRESULT1+AdcaResultRegs.ADCRESULT2+
AdcaResultRegs.ADCRESULT3+AdcaResultRegs.ADCRESULT4)*0.2;
    ig = (media_ADC_ig-OFFSET_ig)*AJUSTE_AN_ig; //leitura da corrente de entrada ig
    media_ADC =
(AdcbResultRegs.ADCRESULT0+AdcbResultRegs.ADCRESULT1+AdcbResultRegs.ADCRESULT2+
AdcbResultRegs.ADCRESULT3+AdcbResultRegs.ADCRESULT4)*0.2;//faz a media de 5 amostras
da tensao de saida
    vo = (media_ADC)*AJUSTE_AN_vo; //leitura da tensao de saida vo sem filtro
//media de vg
    Vg_acumulado = vg + Vg_acumulado;
//Proteção nas leituras
/*if(media_ADC >= 4095){
    duty1 = 0.0;
}
if(media_ADC_ig >= 4095){
    duty1 = 0.0;
    //GPIO_WritePin(DEBUG_OUT4, 1); //medir saida GPIO16 J433 tabela launchpad
}
if(media_ADC_vg >= 4095){
    duty1 = 0.0;
*/

```

```

    }
*/
// calculo da media da tensao da rede
    if(j==1667) // 1666.666667 = 100k/60Hz -> 100kHz equivale ao periodo de amostragem dos sinais
    {
        media_vg = Vg_acumulado*0.000599880024; // 0.000599880024 = 1/1667
        Vg_acumulado = 0;
        j=0;
Vg_ef = __sqrt(v2g_acumulado*0.000599880024); // calcula do valor eficaz de vg
v2g_acumulado = 0;
Ig_ef = __sqrt(i2g_acumulado*0.000599880024); // calcula do valor eficaz de ig
i2g_acumulado = 0;
    }
    j = j+1;
// remove o valor média da tensão da rede.
    vg = vg-media_vg;
    v2g_acumulado = v2g_acumulado+ vg*vg;// v2g_acumulado armazena o acumulado de Vg^2
i2g_acumulado = i2g_acumulado+ ig*ig;// i2g_acumulado armazena o acumulado de Ig^2
grafico[j] = vg; //vetor para armazenar valores de uma variável e exibir graficamente no Debug
}
void atualizarSaidasAnalogicas(){
switch(dacaSaida){ //dacaSaida permite selecionar as leituras
    case 0:
        DAC_PTR[DACA]->DACVALS.all = duty1 * 4095;
        break;
    case 1:
        DAC_PTR[DACA]->DACVALS.all = (vo*0.005) * 4095; //saidaDAC = variavel_max * fator; fator =
dig_max/variavel_max
        break;
    case 2:
        DAC_PTR[DACA]->DACVALS.all = (2048 + vg*6.585)*0.1;
//DAC_PTR[DACA]->DACVALS.all = (vg*0.005556*4095+2048); // 0.005556 = 1/180
        //DAC_PTR[DACA]->DACVALS.all = erroCorrente* 0.01*4095;
break;
    case 3:
        DAC_PTR[DACA]->DACVALS.all = (igRef/ ig_max)*4095;
        break;
    case 4:
        DAC_PTR[DACA]->DACVALS.all = 2048 + ((ig/ ig_max) * 4095);//erro 0 é 1,6V
        break;

```

```

case 5:
    DAC_PTR[DACA]->DACVALS.all = vFeed*4095;
    break;
case 6:
    DAC_PTR[DACA]->DACVALS.all = saidaCv * 315000*0.5;
//DAC_PTR[DACA]->DACVALS.all = saidaCi1 * 4095;
    break;
case 7:
    //DAC_PTR[DACA]->DACVALS.all = 2048 + erroTensao*0.01*4095;
//DAC_PTR[DACA]->DACVALS.all = erroTensao * 0.01*4095;
//DAC_PTR[DACA]->DACVALS.all = saidaCvProp * 0.01*4095;
//DAC_PTR[DACA]->DACVALS.all = saidaCvInt * 0.01*4095;
DAC_PTR[DACA]->DACVALS.all = (i_alpha)*2048+2048;
    //DAC_PTR[DACA]->DACVALS.all = ((vg_PLL)*5.85+2048)*0.5; //Valor limite de 350 V:
    2048/350 = 5.85
break;
default:
    DAC_PTR[DACA]->DACVALS.all = 2048;
    break;
}
// PINO 70 - PARA VISUALIZACAO DAS VARIAVEIS (mesma configuracao do PINO 30)
switch(dacbSaida){
case 0:
    DAC_PTR[DACB]->DACVALS.all = duty1 * 4095;
    break;
case 1:
    DAC_PTR[DACB]->DACVALS.all = (vo*20.475)*0.1; //(vo*0.01) * 4095;
    break;
case 2:
    DAC_PTR[DACB]->DACVALS.all = (vg*0.005556*4095+2048); // 0.005556 = 1/180
    break;
case 3:
    DAC_PTR[DACB]->DACVALS.all = (igRef/ig_max)*4095;
    break;
case 4:
    //DAC_PTR[DACB]->DACVALS.all = 2048 + ((ig/ig_max) * 4095);//erro 0 é 1,6V
    DAC_PTR[DACB]->DACVALS.all = 2048 + ig * 341.3;
break;
case 5:
    DAC_PTR[DACB]->DACVALS.all = vFeed*4095;

```

```

        break;
    case 6:
        DAC_PTR[DACB]->DACVALS.all = erroTensao * 20.475; //0.005*4095
//DAC_PTR[DACB]->DACVALS.all = saidaCv * 300000;
        break;
    case 7:
        DAC_PTR[DACB]->DACVALS.all = ((vg_PLL)*5.85+2048)*0.5; //Valor limite de 350 V: 2048/350
= 5.85
//DAC_PTR[DACB]->DACVALS.all = (i_alpha)*2048+2048;
//DAC_PTR[DACB]->DACVALS.all = 2048 + saidaCi1*4095;
        break;
    default:
        DAC_PTR[DACB]->DACVALS.all = 2048;
        break;
    }
}
// Funcao de inicializacao das variaveis
void inicia_var(){
    i = 0;
    period = 1000;      // para 50 kHz period = 1000
    dutyMax = DUTY_MAX; // maximo valor do duty
    alarmeIlgMax = 0;
    alarmeVgMax = 0;
    alarmeVoMax = 0;
}
void Config_PWM(void) // Configuracao do PWM1 e PWM3
{
//
https://www.ti.com/lit/ug/spruhm8i/spruhm8i.pdf?ts=1603218348148&ref\_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FTMS320F28379D
    EALLOW;
    CpuSysRegs.PCLKCR2.bit.EPWM1 = 1;
    CpuSysRegs.PCLKCR2.bit.EPWM3 = 1;
    // Configuracao do PWM 3
    EPwm3Regs.TBPRD = period;
    EPwm3Regs.CMPA.bit.CMPA = (duty1*period); // Pino 36 J4
    EPwm3Regs.CMPB.bit.CMPB = (duty1*period); // Pino 35 J4
    EPwm3Regs.TBPHS.all = 0;
    EPwm3Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
    EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;

```

```

EPwm3Regs.TBCTL.bit.PHSEN = TB_DISABLE;
EPwm3Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm3Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers A every ZERO
EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO_PRD; // se = CC_CTR_ZERO_PRD,
então carrega a razão cíclica no zero e no pico da portadora triangular
EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW; // Load registers B every ZERO
EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO_PRD; // se = CC_CTR_ZERO_PRD,
então carrega a razão cíclica no zero e no pico da portadora triangular
EPwm3Regs.DBCTL.bit.OUT_MODE = DBB_ENABLE;
EPwm3Regs.ETSEL.bit.SOCAEN = 1;
EPwm3Regs.ETSEL.bit.SOCASEL = ET_CTR_PRDZERO;
EPwm3Regs.ETPS.bit.SOCAPRD = ET_1ST;
EDIS;
InitEPwm3Gpio();
//Configuracao do PWM da interrupcao
EALLOW;
//Codigo com amostragem sincronizado em frequencia
// EPwm1Regs.ETSEL.bit.SOCAEN = 1;
// EPwm1Regs.ETSEL.bit.SOCASEL = ET_CTR_PRDZERO; // Dispara o ADC no zero e no pico
da portadora
// EPwm1Regs.ETPS.bit.SOCAPRD = ET_1ST;
EPwm1Regs.TBPRD = period;
EPwm1Regs.CMPA.bit.CMPA = (duty1*period); // pino 40 J4
EPwm1Regs.CMPB.bit.CMPB = (duty1*period); // pino 41 J4
EPwm1Regs.TBPHS.all = 0;
EPwm1Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE;
EPwm1Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers A every ZERO
EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO_PRD; // se = CC_CTR_ZERO_PRD,
então carrega a razão cíclica no zero e no pico da portadora triangular

```

```

EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;    // Load registers B every ZERO
EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO_PRD; // se = CC_CTR_ZERO_PRD,
então carrega a razão cíclica no zero e no pico da portadora triangular
EPwm1Regs.DBCTL.bit.OUT_MODE = DBB_ENABLE;
EDIS;
InitEPwm1Gpio();
// CpuSysRegs.PCLKCR2.bit.EPWM1
EALLOW;
CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 1;
EDIS;
}
//FUNCAO QUE CONFIGURA OS REGISTRADORES AD
void ConfigureADC(void)
{
EALLOW;
AdcaRegs.ADCCTL2.bit.PRESCALE = 6;
AdcbRegs.ADCCTL2.bit.PRESCALE = 6;
AdccRegs.ADCCTL2.bit.PRESCALE = 6;
AdcdRegs.ADCCTL2.bit.PRESCALE = 6;
AdcSetMode(ADC_ADCA, ADC_RESOLUTION_12BIT, ADC_SIGNALMODE_SINGLE);
AdcSetMode(ADC_ADCB, ADC_RESOLUTION_12BIT, ADC_SIGNALMODE_SINGLE);
AdcSetMode(ADC_ADCC, ADC_RESOLUTION_12BIT, ADC_SIGNALMODE_SINGLE);
AdcSetMode(ADC_ADCD, ADC_RESOLUTION_12BIT, ADC_SIGNALMODE_SINGLE);
AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1; // if = 1 Interrupt pulse generation occurs at the end
of the conversion.
AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1; // if = 1 Interrupt pulse generation occurs at the end
of the conversion.
AdccRegs.ADCCTL1.bit.INTPULSEPOS = 1; // if = 1 Interrupt pulse generation occurs at the end
of the conversion.
AdcdRegs.ADCCTL1.bit.INTPULSEPOS = 1; // if = 1 Interrupt pulse generation occurs at the end
of the conversion.
AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1; // if = 1 All analog circuitry inside the core is powered
up
AdcbRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdccRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdcdRegs.ADCCTL1.bit.ADCPWDNZ = 1;
DELAY_US(1000);
EDIS;
}
/* FUNCAO PARA CONFIGURAR O TAMANHO DA JANELA DE AMOSTRAGEM DOS

```

```

REGISTRADORES AD E OS RESPECTIVOS PINOS DE ENTRADA DAS VARIÁVEIS
*/
void SetupADCEpwm()
{
    Uint16 acqps;
    if(ADC_RESOLUTION_12BIT == AdcaRegs.ADCCTL2.bit.RESOLUTION)
    {
        acqps =14; //tamanho da janela de amostragem (pode variar de 1 a 28)
    }
    else
    {
        acqps = 63;
    }
    EALLOW;
    /* Variáveis de entrada:
    * tensão de saída: vo - pino 68 ADCINB4
    * corrente de entrada: Ig - pino 69 ADCINA4
    * tensão de entrada: vg - pino 67 ADCINC4
    */
    //ADCINA4 - pino 69 - ig: corrente de entrada
    AdcaRegs.ADCSOC0CTL.bit.CHSEL = 4; // ADCIN4
    AdcaRegs.ADCSOC0CTL.bit.ACQPS = acqps;
    AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
    AdcaRegs.ADCSOC1CTL.bit.CHSEL = 4; // ADCIN4
    AdcaRegs.ADCSOC1CTL.bit.ACQPS = acqps;
    AdcaRegs.ADCSOC1CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
    AdcaRegs.ADCSOC2CTL.bit.CHSEL = 4; // ADCIN4
    AdcaRegs.ADCSOC2CTL.bit.ACQPS = acqps;
    AdcaRegs.ADCSOC2CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
    AdcaRegs.ADCSOC3CTL.bit.CHSEL = 4; // ADCIN4
    AdcaRegs.ADCSOC3CTL.bit.ACQPS = acqps;
    AdcaRegs.ADCSOC3CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
    AdcaRegs.ADCSOC4CTL.bit.CHSEL = 4; // ADCIN4
    AdcaRegs.ADCSOC4CTL.bit.ACQPS = acqps;
    AdcaRegs.ADCSOC4CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
    AdcaRegs.ADCINTSEL1N2.bit.INT1SEL = 4;// end of SOC4 will set INT1 flag
    AdcaRegs.ADCINTSEL1N2.bit.INT1E = 1;
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
    //ADCINB4 - pino 68 - vo: tensão de saída
    AdcbRegs.ADCSOC0CTL.bit.CHSEL = 4; //ADCINB4

```

```

AdcbRegs.ADCSOC0CTL.bit.ACQPS = acqps;
AdcbRegs.ADCSOC0CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdcbRegs.ADCSOC1CTL.bit.CHSEL = 4; //ADCINB4
AdcbRegs.ADCSOC1CTL.bit.ACQPS = acqps;
AdcbRegs.ADCSOC1CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdcbRegs.ADCSOC2CTL.bit.CHSEL = 4; //ADCINB4
AdcbRegs.ADCSOC2CTL.bit.ACQPS = acqps;
AdcbRegs.ADCSOC2CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdcbRegs.ADCSOC3CTL.bit.CHSEL = 4; //ADCINB4
AdcbRegs.ADCSOC3CTL.bit.ACQPS = acqps;
AdcbRegs.ADCSOC3CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdcbRegs.ADCSOC4CTL.bit.CHSEL = 4; //ADCINB4
AdcbRegs.ADCSOC4CTL.bit.ACQPS = acqps;
AdcbRegs.ADCSOC4CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdcbRegs.ADCINTSEL1N2.bit.INT1SEL = 4;// end of SOC4 will set INT1 flag
AdcbRegs.ADCINTSEL1N2.bit.INT1E = 1;
AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//ADCINC4 - pino 67 - vg: tensão de entrada
AdccRegs.ADCSOC0CTL.bit.CHSEL = 4; //ADCINC4
AdccRegs.ADCSOC0CTL.bit.ACQPS = acqps;
AdccRegs.ADCSOC0CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdccRegs.ADCSOC1CTL.bit.CHSEL = 4; //ADCINC4
AdccRegs.ADCSOC1CTL.bit.ACQPS = acqps;
AdccRegs.ADCSOC1CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdccRegs.ADCSOC2CTL.bit.CHSEL = 4; //ADCINC4
AdccRegs.ADCSOC2CTL.bit.ACQPS = acqps;
AdccRegs.ADCSOC2CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdccRegs.ADCINTSEL1N2.bit.INT1SEL = 2;// end of SOC2 will set INT1 flag
AdccRegs.ADCINTSEL1N2.bit.INT1E = 1;
AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//ADCINC3 - pino 24 - aquisPot: aquisicao potenciometro
AdccRegs.ADCSOC3CTL.bit.CHSEL = 3; //ADCINC3
AdccRegs.ADCSOC3CTL.bit.ACQPS = acqps;
AdccRegs.ADCSOC3CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdccRegs.ADCSOC4CTL.bit.CHSEL = 3; //ADCINC3
AdccRegs.ADCSOC4CTL.bit.ACQPS = acqps;
AdccRegs.ADCSOC4CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras
AdccRegs.ADCSOC5CTL.bit.CHSEL = 3; //ADCINC3
AdccRegs.ADCSOC5CTL.bit.ACQPS = acqps;
AdccRegs.ADCSOC5CTL.bit.TRIGSEL = 9;//PWM3A inicia leituras

```

```

    AdccRegs.ADCINTSEL1N2.bit.INT1SEL = 5;// end of SOC5 will set INT1 flag
    AdccRegs.ADCINTSEL1N2.bit.INT1E = 1;
    AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
    EDIS;
}
// CONFIGURACAO DOS PINOS DE SAIDA (GPIO)
void configura_output(){
    GPIO_SetupPinMux(BLINKY_LED_GPIO3, GPIO_MUX_CPU1, 0);
    GPIO_SetupPinOptions(BLINKY_LED_GPIO3, GPIO_OUTPUT, GPIO_PUSHPULL);
    GPIO_SetupPinMux(ON_CONT, GPIO_MUX_CPU1, 0);
    GPIO_SetupPinOptions(ON_CONT, GPIO_OUTPUT, GPIO_PUSHPULL);
    GPIO_SetupPinMux(LED_RED, GPIO_MUX_CPU1, 0);
    GPIO_SetupPinOptions(LED_RED, GPIO_OUTPUT, GPIO_PUSHPULL);
    GPIO_SetupPinMux(LED_GREEN, GPIO_MUX_CPU1, 0);
    GPIO_SetupPinOptions(LED_GREEN, GPIO_OUTPUT, GPIO_PUSHPULL);
    GPIO_SetupPinMux(OUT6_DEBUG, GPIO_MUX_CPU1, 0);
    GPIO_SetupPinOptions(OUT6_DEBUG, GPIO_OUTPUT, GPIO_PUSHPULL);
    GPIO_SetupPinMux(OUT7_DEBUG, GPIO_MUX_CPU1, 0);
    GPIO_SetupPinOptions(OUT7_DEBUG, GPIO_OUTPUT, GPIO_PUSHPULL);
    GPIO_SetupPinMux(OUT8_DEBUG, GPIO_MUX_CPU1, 0);
    GPIO_SetupPinOptions(OUT8_DEBUG, GPIO_OUTPUT, GPIO_PUSHPULL);
    // GPIO_SetupPinMux(OUT5_DEBUG, GPIO_MUX_CPU1, 0);
    // GPIO_SetupPinOptions(OUT5_DEBUG, GPIO_OUTPUT, GPIO_PUSHPULL);
}
void configureDAC()
{
    EALLOW;
    DAC_PTR[DACA]->DACCTL.bit.DACREFSEL = REFERENCE;
    DAC_PTR[DACA]->DACOUTEN.bit.DACOUTEN = 1;
    DAC_PTR[DACA]->DACVALS.all = 0;
    DELAY_US(10); // Delay for buffered DAC to power up
    DAC_PTR[DACB]->DACCTL.bit.DACREFSEL = REFERENCE;
    DAC_PTR[DACB]->DACOUTEN.bit.DACOUTEN = 1;
    DAC_PTR[DACB]->DACVALS.all = 0;
    DELAY_US(10); // Delay for buffered DAC to power up
    EDIS;
}
/* FUNCAO INDICATIVA DE OPERACAO CORRETA DO DSP
ESTA FUNCAO FAZ OS LEDs RED E GREEN PISCAREM A CADA MEIO SEGUNDO, PARA 50
kHz, INDICANDO QUE A

```

INTERRUPCAO ESTAO SENDO EXECUTADA. A VARIAVEL time E INCREMENTADA A CADA EXECUCAO DA INTERRUPCAO.

```
*/  
void pisca_led(){  
    if(time<25000){ // piscara os led's azul e vermelho enquanto a interrupcao estiver funcionando  
        GPIO_WritePin(LED_RED, 0);  
    }  
    if(time>25000){  
        GPIO_WritePin(LED_GREEN, 0);  
        GPIO_WritePin(LED_RED, 1);  
    }  
    if(time==50000) {  
        time = 0;  
    }  
}
```