

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA E
INFORMÁTICA INDUSTRIAL

MARTIN BREUS MEIER

**PROPOSTA DE NOVA TOPOLOGIA COM NÚMERO REDUZIDO DE
CHAVES PARA INVERSOR DE SETE-NÍVEIS ALIMENTADO POR
DUAS FONTES DE TENSÃO CONTÍNUA ASSIMÉTRICAS NÃO
ISOLADAS**

DISSERTAÇÃO

CURITIBA

2017

MARTIN BREUS MEIER

**PROPOSTA DE NOVA TOPOLOGIA COM NÚMERO REDUZIDO DE
CHAVES PARA INVERSOR DE SETE-NÍVEIS ALIMENTADO POR
DUAS FONTES DE TENSÃO CONTÍNUA ASSIMÉTRICAS NÃO
ISOLADAS**

Dissertação apresentada ao Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial da Universidade Tecnológica Federal do Paraná como requisito parcial para obtenção do grau de “Mestre em Ciências” – Área de Concentração: Engenharia De Automação e Sistemas.

Orientador: Roger Gules

CURITIBA

2017

Dados Internacionais de Catalogação na Publicação

M511p
2017 Meier, Martin Breus
Proposta de nova topologia com número reduzido de chaves para inversor de sete-níveis alimentado por duas fontes de tensão contínua assimétricas não isoladas / Martin Breus Meier.-- 2017.
119 f. : il. ; 30 cm

Texto em português, com resumo em inglês
Disponível também via World Wide Web
Dissertação (Mestrado) - Universidade Tecnológica Federal do Paraná. Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial, Curitiba, 2017
Bibliografia: f. 99-102

1. Inversores elétricos. 2. Eletrônica de potência. 3. Conversores de frequência. 4. Máquinas elétricas. 5. Disjuntores elétricos. 6. Engenharia elétrica - Dissertações I. Gules, Roger, orient. II. Universidade Tecnológica Federal do Paraná - Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial. III. Título.

CDD: Ed. 22 – 621.3

Biblioteca Central da UTFPR, Câmpus Curitiba
Bibliotecária : Anna T. R. Caruso CRB9/935

TERMO DE APROVAÇÃO DE DISSERTAÇÃO Nº 771

A Dissertação de Mestrado intitulada “**Proposta de Nova Topologia com Número Reduzido de Chaves para Inversor de Sete Níveis Alimentado por Duas Fontes de Tensão Contínua Assimétricas não Isoladas**” defendida em sessão pública pelo(a) candidato(a) **Martin Breus Meier**, no dia 29 de setembro de 2017, foi julgada para a obtenção do título de Mestre em Ciências, área de concentração Engenharia de Automação e Sistemas, e aprovada em sua forma final, pelo Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial.

BANCA EXAMINADORA:

Prof(a). Dr(a). Roger Gules - Presidente – (UTFPR)

Prof(a). Dr(a). Adriano Peres - (UFSC)

Prof(a). Dr(a). Alceu Andre Badin - (UFPR)

A via original deste documento encontra-se arquivada na Secretaria do Programa, contendo a assinatura da Coordenação após a entrega da versão corrigida do trabalho.

Curitiba, 29 de setembro de 2017.

AGRADECIMENTOS

Agradeço primeiramente à Deus que me capacitou para percorrer o longo caminho acadêmico até aqui, e que sempre proveu o sustento necessário.

Agradeço aos meus pais, por todo o incentivo na minha educação, pelas lições de vida e oportunidades de crescimento que me proporcionaram.

Agradeço meu orientador Roger Gules, pela atenção dada nos meus momentos de dúvidas e pela paciência que teve durante todo o processo desta dissertação. Agradeço aos professores Alceu Andre Badin e Eduardo Felix Romaneli do núcleo de pesquisas NUPET, que também contribuíram para a minha formação na área, e auxiliaram no desenvolvimento da minha carreira profissional.

Agradeço aos meus colegas da NHS, em especial Daniel Bernardo de Alvarenga, Rafael Christiano Annunziato e Vagner Vassoler por todo o conhecimento prático necessário para transformar um circuito em produto, e ao Julio Cesar Moura Faé, que pacientemente me acompanhou desde os tempos de estágio.

Finalmente, agradeço minha esposa Gabriele que, sabiamente, sempre faz cara de quem está entendendo.

“Mas eu quero que você também entenda. É para que se entendam essas coisas que eu trabalho e compro livros caros ao invés de pagar o leiteiro.”

(Bertold Bretch em A Vida de Galileu)

RESUMO

MEIER, Martin Breus. PROPOSTA DE NOVA TOPOLOGIA COM NÚMERO REDUZIDO DE CHAVES PARA INVERSOR DE SETE-NÍVEIS ALIMENTADO POR DUAS FONTES DE TENSÃO CONTÍNUA ASSIMÉTRICAS NÃO ISOLADAS. 119 f. Dissertação – Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial, Universidade Tecnológica Federal do Paraná. Curitiba, 2017.

Os inversores multiníveis podem se beneficiar de filtros de saída reduzidos devido ao menor conteúdo harmônico do sinal sintetizado, dado que suas saídas possuem menores diferenças de tensão durante seu chaveamento. Sua desvantagem é causada pelo elevado número de chaves controladas normalmente necessário para seu funcionamento, e seus circuitos auxiliares. No objetivo de reduzir o número de chaves utilizadas em um inversor de sete níveis, uma nova topologia para um inversor de sete níveis de tensão é apresentada, construída a partir de duas fontes de tensão assimétricas conectadas em série e seis chaves semicondutoras. Este trabalho analisa os princípios de operação desta topologia e a lógica de chaveamento necessária para seu funcionamento. O arranjo proposto não oferece a possibilidade de redução de tensão sobre as chaves, conforme apresentado nas topologias clássicas de inversores com ponto neutro grampeado a diodo ou capacitor e de células em série, mas reduz a quantidade dos componentes necessários para a composição dos sete níveis, sendo possível utilizá-lo em inversores de baixa tensão, devido à seu menor tamanho e complexidade. O estudo apresenta a estrutura resultante em forma de um inversor monofásico por modulação de largura de pulso com disposição das portadoras em oposição de fase, com sete níveis igualmente espaçados, utilizando apenas seis chaves e duas fontes de tensão com alimentação assimétrica, em que a principal fonte tem o dobro da tensão da outra fonte. O funcionamento da topologia é verificado em simulação e implementação de protótipo de 860W. Uma outra versão também é apresentada analiticamente, com melhor grampeamento da tensão, utilizando oito chaves comandadas com uma lógica mais simplificada. Por fim, algumas propostas são sugeridas para a geração dos dois barramentos de tensão necessários.

Palavras-chave: Inversor Multinível, Inversor de sete-níveis, Eletrônica de Potência, Número reduzido de chaves

ABSTRACT

MEIER, Martin Breus. PROPOSAL OF A NOVEL TOPOLOGY WITH REDUCED NUMBER OF SWITCHES FOR A SEVEN-LEVEL INVERTER SUPPLIED BY TWO NON ISOLATED ASSIMETRIC DC VOLTAGE SOURCES. 119 f. Dissertação – Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial, Universidade Tecnológica Federal do Paraná. Curitiba, 2017.

Multilevel inverters can benefit from reduced output filters due to the lower harmonic content of the synthesized signal, since their outputs have lower voltage differences during their switching. Its disadvantage is caused by the high number of controlled switches and its auxiliary circuits normally required for its operation. In order to reduce the number of switches used in a seven-level inverter, a new topology for a seven level and its auxiliary circuits inverter is presented, constructed from two asymmetrical voltage sources connected in series and six semiconductor switches. This work analyzes the principles of operation of this topology and the switching logic required for its operation. The proposed arrangement does not offer the possibility of voltage reduction on the switches, as presented in the classical inverters topologies with diode or capacitor clamping or the series connected cells, but it reduces the amount of components necessary for the composition of the seven levels, being possible to use it in low voltages inverters, due to its smaller size and complexity. The study presents the resulting structure in the form of a single-phase inverter, using the pulse-width modulation with phase-contrast carriers technique, with seven equally spaced levels, using only six switches and two voltage sources with asymmetrical voltages, in which the main source has double the voltage of the other. The operation of the topology is checked with simulation and an implementation of a 860W prototype. Another version is also presented analytically, with better voltage clamping, using eight keys controlled with a more simplified logic. Finally, some proposals are suggested for the generation of the two necessary voltage rails.

Keywords: Multilevel Inverter, Seven-level Inverter, Power Electronics, Reduced number of switches

LISTA DE FIGURAS

FIGURA 1	– Inversores Tradicionais. (a) Inversor Meia Ponte (dois níveis); (b) Inversor Ponte Completa (três níveis).	17
FIGURA 2	– Inversor Multinível de 3 níveis com ponte completa.	23
FIGURA 3	– Inversor Multinível de 3 níveis com neutro grampeado.	24
FIGURA 4	– Topologia multinível com células H conectadas em cascata para inversor de sete níveis monofásico.	25
FIGURA 5	– Inversor sete níveis com grampeamento a diodo. (a) Sem balanceamento de tensão nos diodos; (b) Com balanceamento de tensão nos diodos.	26
FIGURA 6	– Inversor sete níveis com grampeamento a capacitor. (a) Sem balanceamento de tensão nos capacitores; (b) Com balanceamento de tensão nos capacitores.	28
FIGURA 7	– Inversor sete níveis com células U.	29
FIGURA 8	– Inversor sete níveis com ponte H, duas chaves bidirecionais e três capacitores de barramento.	30
FIGURA 9	– Inversor sete níveis com ponte H de saída, e barramento chaveado em baixa frequência	30
FIGURA 10	– Tensão de referência e tensão de saída quase-quadrada de sete-níveis.	35
FIGURA 11	– Tensão de referência e tensão de saída com eliminação seletiva de harmônicas para um inversor de sete níveis.	36
FIGURA 12	– Tipos de modulação por largura de pulso. Exemplificados com quatro portadoras. (a) Por disposição da portadora; (b) Por deslocamento de fase da portadora.	37
FIGURA 13	– Tensão de referência, portadoras (em cinza) e tensão de saída (em vermelho) obtida pela modulação por largura de pulso.	38
FIGURA 14	– Tipos de disposição de portadoras para inversor de cinco níveis modulado por largura de pulso, $m = 4$, $m_f = 20$ e $m_a = 0,95$. (a) PHD - Disposição em fase; (b) POD - Disposição em oposição de fases; (c) APOD - Disposição em oposição de fases alternadas.	40
FIGURA 15	– Tensão de saída chaveado por inversor de cinco níveis modulado por largura de pulso, $m = 4$, $m_f = 20$ e $m_a = 0,95$, utilizando as disposições das portadoras: (a) PHD - Disposição em fase; (b) POD - Disposição em oposição de fases; (c) APOD - Disposição em oposição de fases alternadas.	41
FIGURA 16	– Exemplo de um sinal senoidal de referência sobre seis portadoras utilizadas para fazer a modulação do sinal em sete níveis.	42
FIGURA 17	– Exemplo de diagrama de estados das tensões de saída de acordo com vetores dos estados dos braços para um inversor trifásico de cinco níveis.	43
FIGURA 18	– Principais células de chaves bidirecionais. (a) Célula com um IGBT ao centro de uma ponte completa de diodos; (b) Célula com IGBTs em anti-série, com configuração de emissor comum; (c) Célula com IGBTs em anti-série, com configuração de coletor comum; (d) Célula com IGBTs de bloqueio reverso em anti-paralelo.	44

FIGURA 19	– Conversor proposto com as principais células de chaves bidirecionais, apresentando os nós de referência necessários para os circuitos de <i>driver</i> . (a) Utilizando chave bidirecional com um IGBT em ponte completa; (b) Utilizando chave bidirecional com dois IGBTs em configuração de emissor comum; (c) Utilizando chave bidirecional com dois IGBTs em configuração de coletor comum.	47
FIGURA 20	– Inversor de cinco níveis no qual foi baseado o conversor deste trabalho. Fonte: Adaptado de Park, Kang, Lee e Kim (2003).	48
FIGURA 21	– Inversor sete níveis monofásico proposto com número reduzido de chaves.	51
FIGURA 22	– Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante. (a-i) Chaves 2 e 4 ativas, tensão de saída $-(V_1 + V_2)$, corrente positiva; (a-ii) Chaves 2 e 4 ativas, tensão de saída $-(V_1 + V_2)$, corrente negativa; (b-i) Chaves 2 e 5 ativas, tensão de saída $-V_2$, corrente positiva; (b-ii) Chaves 2 e 5 ativas, tensão de saída $-V_2$, corrente negativa; (c-i) Chaves 4 e 6 ativas, tensão de saída $-V_1$, corrente positiva; (c-ii) Chaves 4 e 6 ativas, tensão de saída $-V_1$, corrente negativa; (d-i) Chaves 5 e 6 ativas, tensão de saída 0 V, corrente positiva; (d-ii) Chaves 5 e 6 ativas, tensão de saída 0 V, corrente negativa.	54
FIGURA 22	– Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante. (e-i) Chaves 3 e 4 ativas, tensão de saída 0 V, corrente positiva; (e-ii) Chaves 3 e 4 ativas, tensão de saída 0 V, corrente negativa; (f-i) Chaves 1 e 2 ativas, tensão de saída 0 V, corrente positiva; (f-ii) Chaves 1 e 2 ativas, tensão de saída 0 V, corrente negativa; (g-i) Chaves 3 e 5 ativas, tensão de saída V_1 , corrente positiva; (g-ii) Chaves 3 e 5 ativas, tensão de saída V_1 , corrente negativa; (h-i) Chaves 1 e 6 ativas, tensão de saída V_2 , corrente positiva; (h-ii) Chaves 1 e 6 ativas, tensão de saída V_2 , corrente negativa.	55
FIGURA 22	– Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante. (i-i) Chaves 2 e 5 ativas, tensão de saída $V_1 + V_2$, corrente positiva; (i-ii) Chaves 2 e 5 ativas, tensão de saída $V_1 + V_2$, corrente negativa; (k-i) Nenhuma chave ativa, grampeamento de $-(V_1 + V_2)$ para corrente positiva; (k-ii) Nenhuma chave ativa, grampeamento de $V_1 + V_2$ para corrente negativa; (l-i) Chaves 6 ativa, grampeamento de $-V_1$ para corrente positiva; (l-ii) Chaves 6 ativa, grampeamento de V_2 para corrente negativa; (m-i) Chaves 5 ativa, grampeamento de $-V_2$ para corrente positiva; (m-ii) Chaves 5 ativa, grampeamento de V_1 para corrente negativa.	56
FIGURA 22	– Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante. (n-i) Chave 3 ativa, roda livre para corrente positiva; (n-ii) Chave 3 ativa, grampeamento de $V_1 + V_2$ para corrente negativa; (o-i) Chave 4 ativa, grampeamento de $-(V_1 + V_2)$ para corrente positiva; (o-ii) Chave 4 ativa, roda livre para corrente negativa; (p-i) Chave 1 ativa, roda livre para corrente positiva; (p-ii) Chave 1 ativa, grampeamento de $V_1 + V_2$ para corrente negativa; (q-i) Chave 2 ativa, grampeamento de $-(V_1 + V_2)$ para corrente positiva; (q-ii) Chave 2 ativa, roda livre para corrente negativa;	57
FIGURA 23	– Formas de onda de chaveamento do inversor sete-níveis proposto.	59
FIGURA 24	– Diagrama de estados das tensões de saída de acordo com vetores dos estados	

	dos braços para uma versão trifásico do inversor proposto	63
FIGURA 25	– Tensões de linha para uma versão trifásico do inversor proposto, comandado pela estratégia de modulação <i>space vector</i>	63
FIGURA 26	– Circuito simulado no software PSIM para análise e validação da lógica de chaveamento.	67
FIGURA 27	– Circuito simulado no software PSIM para análise e validação da lógica de chaveamento.	68
FIGURA 28	– Tensão de referência, tensão de saída e corrente de saída (escalonada por um fator de 25) do conversor proposto simulados no software PSIM, com $m_a = 0,943$ e $m_f = 333,33$	69
FIGURA 29	– Tensão de referência, tensão de saída e corrente de saída (escalonada por um fator de 25) do conversor proposto simulados no software PSIM, com $m_a = 0,750$ e $m_f = 83,33$	69
FIGURA 30	– Tensão sobre as chaves da topologia proposta para um barramento com $V_1 = 100\text{ V}$ e $V_2 = 200\text{ V}$, para um ciclo completo da tensão de referência.	71
FIGURA 31	– Sinais de comando das chaves para um ciclo completo da tensão de referência, com $m_a = 1$ e $m_f = 83,33$	71
FIGURA 32	– Corrente eficaz normalizada sobre as chaves da topologia proposta com $m_a = 1$ e $m_f = 83,33$, em função do defasamento da corrente.	72
FIGURA 33	– Corrente eficaz normalizada sobre as chaves da topologia proposta com $m_f = 83,33$ em função da variação do índice de modulação m_a	72
FIGURA 34	– Corrente média normalizada sobre as chaves da topologia proposta com $m_a = 1$ e $m_f = 83,33$, em função do defasamento da corrente.	73
FIGURA 35	– Corrente média normalizada sobre as chaves da topologia proposta com $m_f = 83,33$ em função da variação do índice de modulação m_a	73
FIGURA 36	– Tensão de referência, tensão de saída e corrente de saída (escalonada por um fator de 25) do conversor proposto simulados no software PSIM, com $m_a = 1$ e $m_f = 333,33$ e carga utilizada no ensaio experimental.	75
FIGURA 37	– Potência Instantânea (em preto) e potência média de cada ciclo de chaveamento (em vermelho) para as duas fontes de tensão contínua, com $m_a = 1$ e $m_f = 333,33$ e carga utilizada no ensaio experimental.	75
FIGURA 38	– Circuito em FPGA para cálculo da razão cíclica	79
FIGURA 39	– Montagem de protótipo do inversor proposto.	80
FIGURA 40	– Aquisições do funcionamento do inversor com 860 W de carga. Tensão de Saída (Canal 1 - Amarelo - 100 V/div) e corrente (Canal 4 - Verde - 5 A/div)	81
FIGURA 41	– Aquisições da distorção harmônica total de tensão do inversor com 860 W de carga.	81
FIGURA 42	– Aquisições da distorção harmônica total de tensão do inversor com 860 W de carga.	82
FIGURA 43	– Aquisição dos sinais de gatilho da chaves do conversor proposto. (a) Em 20 kHz, chaves Q_1 e Q_5 ; (b) Em 20 kHz, chaves Q_1 e Q_5 , com detalhe para parte do chaveamento; (c) Em 20 kHz, chaves Q_4 e Q_5 ; (d) Em 2,5 kHz, chaves Q_1 e Q_5 ; (e) Em 2,5 kHz, chaves Q_4 e Q_5 , com detalhe para parte do chaveamento; (f) Em 2,5 kHz, chaves Q_1 e Q_2 , para demonstrar simetria dos braços de comutação.	83
FIGURA 44	– Simulação da topologia com chave bidirecional de coletor comum e tempo morto de 1 μs para demonstração do grampeamento reduzido. (a) Com a	

	lógica de chaveamento da Tabela 3; (b) Com a lógica de chaveamento da Tabela 9.	87
FIGURA 45	– Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante para os casos de tempo morto apresentados na Tabela 10. (r-i) Chaves 3, 5b e 6b ativas, tensão de saída 0 V, corrente positiva; (r-ii) Chaves 3, 5b e 6b ativas, tensão de saída $+V_1$, corrente negativa; (s-i) Chaves 5a e 6b ativas, tensão de saída 0 V, corrente positiva; (s-ii) Chaves 5a e 6b ativas, tensão de saída $+(V_1 + V_2)$, corrente negativa; (t-i) Chaves 1, 5a e 6b ativas, tensão de saída $+V_2$, corrente positiva; (t-ii) Chaves 1, 5a e 6b ativas, tensão de saída $+(V_1 + V_2)$, corrente negativa.	88
FIGURA 45	– (cont.) Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante para os casos de tempo morto apresentados na Tabela 10. (u-i) Chaves 4, 5b e 6b ativas, tensão de saída $-V_1$, corrente positiva; (u-ii) Chaves 4, 5b e 6b ativas, tensão de saída 0 V, corrente negativa; (v-i) Chaves 5b e 6a ativas, tensão de saída $-(V_1 + V_2)$, corrente positiva; (v-ii) Chaves 5b e 6a ativas, tensão de saída 0 V, corrente negativa; (w-i) Chaves 2, 5b e 6a ativas, tensão de saída $-(V_1 + V_2)$, corrente positiva; (w-ii) Chaves 2, 5b e 6a ativas, tensão de saída $-V_2$, corrente negativa.	89
FIGURA 46	– Sugestões de conversores não isolados para carga do menor barramento. (a) - Conversor <i>Buck-Boost</i> . (b) - Conversor <i>Buck-Boost</i> reverso, com as posições das fontes, chaves e do fluxo de potência invertidas.	92
FIGURA 47	– Circuito elevador de tensão com dobrador de tensão. (a) - Circuito Completo. (b) - Chave S_1 em condução, S_2 bloqueada. (c) - Chaves S_1 e S_2 abertas. (d) - Chave S_1 bloqueada, S_2 em condução. (e) - Chaves S_1 e S_2 em condução.	93
FIGURA 48	– Circuito de Retificador com correção de fator de potência com saída de tensão assimétrica $V_2 = 2V_1$	94

LISTA DE TABELAS

TABELA 1	– Nós de referência para os circuitos de acionamento das chaves do inversor proposto montado com as três principais chaves bidirecionais.	46
TABELA 2	– Configurações válidas dos estados das chaves e respectiva tensão de saída do inversor.	52
TABELA 3	– Lógica de chaveamento para sintetização da tensão de saída e número de elementos ativos chaveando em cada modo.	52
TABELA 4	– Tabela Comparativa dos elementos construtivos das topologias apresentadas.	61
TABELA 5	– Valores de THD de tensão e de corrente para diferentes valores de m_a , com $m_f = 83,33$	70
TABELA 6	– Valores utilizados para simulação do protótipo do inversor proposto.	74
TABELA 7	– Componentes e valores utilizados para montagem e testes do inversor proposto.	80
TABELA 8	– Estado das chaves durante tempo-morto do chaveamento em cada intervalo de tensão e caso equivalente apresentado pela Tabela 2, com tensão de saída em função do sentido da corrente	84
TABELA 9	– Lógica de chaveamento para sintetização da tensão de saída e número de elementos ativos e em condução em cada modo, com condução independente dos elementos da chave bidirecional.	85
TABELA 10	– Estado das chaves durante tempo-morto do chaveamento em cada intervalo de tensão e caso equivalente apresentado pela Tabela 2, com tensão de saída em função do sentido da corrente	86
TABELA 11	– Porcentual de Potência fornecido à uma carga resistiva para diferentes índices de modulação.	91

LISTA DE SIGLAS

EMI	<i>Electromagnetic interference</i> (Interferência Eletromagnética)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
dV/dt	taxa de variação de tensão
PWM	<i>Pulse-Width Modulation</i> (Modulação por Largura de Pulso)
CHB	<i>Cascaded H-Bridge</i> (Ponte H ou ponte completa em cascata)
NPC	<i>Neutral Point Clamped</i> (Ponto Neutro Grampeado por Diodo)
FC	<i>Flying Capacitor</i> (Capacitor Flutuante)
STATCOM	<i>Static synchronous compensator</i> (Compensador Estático Síncrono)
UPS	<i>Uninterruptible Power Supply</i> (Fonte Ininterrupta de Energia)
m	número de níveis de um inversor
PHD	<i>Phase Disposition</i> (Disposição de portadoras em fase)
POD	<i>Phase Opposition Disposition</i> (Disposição de portadoras em oposição de fases)
APOD	<i>Alternated Opposition Disposition</i> (Disposição de portadoras em oposição de fases alternadas)
IGBT	<i>Insulated Gate Bipolar Transistor</i> (Transistor Bipolar de Porta Isolada)
RB-IGBT	<i>Reverse Blocking Insulated Gate Bipolar Transistor</i> (Transistor Bipolar de Porta Isolada com Bloqueio Reverso)
FPGA	<i>Field Programmable Gate Array</i> (Arranjo de Portas Programáveis em Campo)
DSP	<i>Digital Signal Processor</i> (Processador Digital de Sinais)

SUMÁRIO

1 INTRODUÇÃO	16
1.1 APRESENTAÇÃO DO TRABALHO	16
1.2 MOTIVAÇÃO	19
1.3 OBJETIVOS	20
1.3.1 Objetivo Geral	20
1.3.2 Objetivos Específicos	20
1.4 ORGANIZAÇÃO DO TRABALHO	20
2 INVERSORES MULTINÍVEIS	22
2.1 INVERSORES MULTINÍVEIS CLÁSSICOS	23
2.2 OUTROS INVERSORES MULTINÍVEIS	28
2.3 CLASSIFICAÇÃO DE INVERSORES MULTINÍVEIS	30
2.4 APLICAÇÕES DE INVERSORES MULTINÍVEL	32
2.5 PRINCIPAIS ESTRATÉGIAS DE MODULAÇÃO	34
2.5.1 Síntese de formas de onda multiníveis quase-quadradas	35
2.5.2 Eliminação Seletiva de harmônicas	35
2.5.3 Modulação por Largura de Pulso	37
2.5.3.1 Formas de disposição das portadoras deslocadas em amplitude	38
2.5.4 Modulação <i>Space Vector</i>	39
2.6 CHAVES BIDIRECIONAIS	43
2.7 CONCLUSÃO SOBRE INVERSORES MULTINÍVEIS	48
3 INVERSOR SETE NÍVEIS PROPOSTO	50
3.1 FORMAS DE ONDA DO INVERSOR	53
3.2 EQUAÇÕES DE CHAVEAMENTO	58
3.3 COMPARATIVO CONSTRUTIVO DAS TOPOLOGIAS APRESENTADAS	61
3.4 LIMITAÇÕES DO INVERSOR	62
3.5 CÁLCULO DE PERDAS	63
3.6 CONCLUSÃO SOBRE INVERSOR PROPOSTO	66
4 SIMULAÇÃO DO CONVERSOR	67
4.1 RESULTADOS DE SIMULAÇÃO	68
4.2 SIMULAÇÃO COM A CONFIGURAÇÃO DO PROTÓTIPO ENSAIADO	74
4.3 CONCLUSÃO SOBRE SIMULAÇÃO DO CONVERSOR	75
5 RESULTADOS EXPERIMENTAIS	77
5.1 CÁLCULO DA RAZÃO CÍCLICA	77
5.2 EFEITOS DO TEMPO MORTO NO CHAVEAMENTO	82
5.3 FORMAS DE ONDA COM CHAVE BIDIRECIONAL DE EMISSOR COMUM	84
5.4 CONCLUSÃO SOBRE RESULTADOS EXPERIMENTAIS	87
6 ESTÁGIOS DE ENTRADA	91
6.1 CONCLUSÃO SOBRE ESTÁGIOS DE ENTRADA	94
7 CONCLUSÃO GERAL	96
REFERÊNCIAS	99
Apêndice A - CÓDIGO EM PYTHON PARA CÁLCULO DE PERDAS DAS	

CHAVES E DIODOS	103
Apêndice B - RESULTADOS DO CÓDIGO EM PYTHON PARA CÁLCULO DE	
PERDAS DAS CHAVES E DIODOS	118

1 INTRODUÇÃO

1.1 APRESENTAÇÃO DO TRABALHO

As diferentes definições existentes sobre eletrônica de potência levam a um mesmo conceito, de que a eletrônica de potência é responsável pelo controle de fluxo de potência entre um aparato que fornece energia elétrica e outro que demanda esta energia (SANTOS; SILVA, 2014). A eletrônica de potência é, assim, responsável por converter e controlar potência elétrica, com o auxílio de diferentes dispositivos semicondutores, e tem aplicações em fontes de tensão reguladas, sistemas ininterruptos de energia, processos eletroquímicos, controle de temperatura e iluminação, soldas elétricas, filtros harmônicos ativos, sistemas de tensão contínua elevada, sistemas fotovoltaicos, de armazenamento de energia e de células de combustível (ABU-RUB, 2014a).

A eletrônica de potência evoluiu em diversas frentes nas últimas décadas e se tornou um campo vasto e largamente pesquisado. Com o advento de novas tecnologias e aperfeiçoamento de componentes eletrônicos de controle de fluxo de corrente e de processadores de sinais, diversas topologias surgiram no intuito de melhorar diferentes aspectos das topologias existentes, tais como volume, rendimento, complexidade, controle, comando, tensão máxima, potência máxima processável e custo. Muitas das novas topologias também apresentam soluções para aplicações específicas, criando novas áreas de estudo.

Pode-se ainda citar como motivos para este avanço da eletrônica de potência nas mais diversas áreas o crescimento contínuo da demanda energética, a necessidade de melhoria da qualidade de energia elétrica nas redes de distribuição, a pressão socio-ambiental por aumentar o uso de energias renováveis na matriz energética como resposta ao fenômeno de aquecimento global e às preocupações associadas à geração centralizada, a viabilidade econômica das fontes de energia chamadas “verdes” frente ao custo da energia elétrica atual (YAZDANI; IRAVANI, 2010).

Uma das grandes áreas de estudo para uso das energias “verdes” solares e eólicas é a etapa de potência chamada de inversão, que consiste em transformar tensão contínua em

alternada, de forma a ser utilizada diretamente como fonte de tensão ou a ser acoplada a um sistema elétrico de distribuição.

Um inversor consiste em um arranjo ordenado de um certo número de chaves e fontes de tensão, associados de tal forma que um comando sincronizado entre chaves selecionadas no circuito permite a sintetização de uma tensão ou corrente alternada desejada nos terminais de saída do inversor. Os dois principais arranjos utilizados para inversores de tensão são o inversor meia ponte, apresentado na Figura 1a, e o inversor ponte completa, apresentado na Figura 1b.

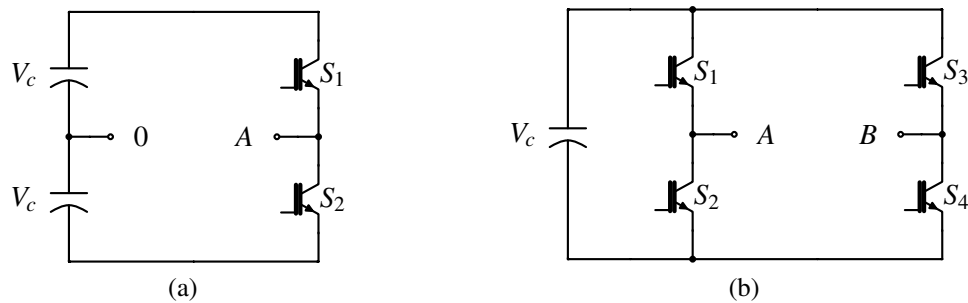


Figura 1: Inversores Tradicionais. (a) Inversor Meia Ponte (dois níveis); (b) Inversor Ponte Completa (três níveis).

No inversor meia ponte existe um barramento com uma derivação central, o ponto 0, tomado como referência do circuito. Esse barramento completo fica dividido em dois barramentos menores, de tensão V_c e assim são dois os estados possíveis de saída. Com o acionamento apenas da chave S_1 , obtém-se na saída **A**, uma tensão equivalente de V_c , alimentada pelo barramento superior. Ao se acionar somente S_2 , a tensão disponível no mesmo terminal é de $-V_c$, alimentada pelo barramento inferior. Como são obtidos apenas dois valores estáticos de tensão entre os terminais de saída 0 e **A**, diz-se que este inversor possui dois níveis. Qualquer outro valor de tensão desejada na saída é obtido através de uma modulação entre os dois estados, de forma que a tensão média nos terminais em um dado intervalo de tempo seja equivalente ao valor desejado. Como exemplo, se S_1 estiver ativa em 50% de um intervalo de tempo e S_2 no restante, a tensão média de saída será nula. Se S_1 estiver ativa em 75% de um intervalo de tempo e S_2 no restante, a tensão média de saída será de $V_c/2$. Assim, pode-se virtualmente obter qualquer valor de tensão desejado entre os dois níveis existentes, dada a correta razão entre os tempos ativos das duas chaves.

No inversor ponte completa, há apenas um barramento, também de tensão V_c , mas para seu arranjo são necessárias quatro chaves, sendo que sempre são acionadas duas chaves simultaneamente. Se as chaves S_1, S_3 ou S_2, S_4 estão ativas, a tensão de saída é nula. Tomando o ponto **A** como referencial positivo e o ponto **B** como referencial negativo, pode-se obter uma tensão V_c nestes terminais ao se conduzir as chaves S_1 e S_4 , e uma tensão $-V_c$ ao se conduzir

as chaves S_2 e S_3 . Obtém-se assim três valores estáticos de tensão de saída entre os terminais **A** e **B**, e diz-se que este inversor possui três níveis. De forma similar ao inversor em meia ponte, pode-se obter qualquer valor de tensão intermediário entre os níveis máximo e mínimo ao se modular entre os dois níveis mais próximos à tensão desejada, de forma que a tensão média em um intervalo de tempo seja o valor esperado. Exemplificando, uma tensão de saída de $V_c/2$ pode ser obtida se aplicarmos V_c à saída em 50% do tempo, e 0 V no restante.

Os inversores chamados de multinível são inversores cuja proposta é de permitir a aplicação de três ou mais níveis estáticos de tensão ou corrente em seus terminais de saída. Como exemplo, pode-se citar o inversor de ponte completa, que possui três níveis possíveis de tensão. Contudo, o termo é normalmente utilizado para denominar inversores de cinco ou mais níveis. Esses arranjos permitem uma menor variação de tensão ou corrente na saída do inversor durante a modulação de um valor intermediário, e reduzindo as componentes harmônicas do sinal alternado sintetizado, podendo-se também diminuir o tamanho dos filtros de saída utilizados. Alguns arranjos utilizados para a confecção dos inversores multiníveis utilizam diversas chaves em série e técnicas específicas para o balanceamento de tensão de bloqueio entre essas chaves, reduzindo a tensão total sobre cada chave durante suas etapas de bloqueio e permitindo a utilização dos inversores para sintetização de tensões maiores que a capacidade de bloqueio das chaves utilizadas. Pode-se assim ultrapassar o limite tecnológico existente na tensão máxima de bloqueio das chaves disponíveis no mercado e desenvolver inversores de média e alta tensão com estas técnicas.

Devido às características citadas, os inversores multiníveis são comumente encontrados em aplicações de média tensão e média e alta potência, como comando de motores, bombas, grandes ventiladores, sistemas de tração elétrica, compressores, esteiras, turbinas eólicas, inversores solares e sistemas de energia ininterruptas (ABU-RUB, 2014b).

Com o aumento do preço dos materiais como cobre e ferro, utilizados na confecção dos principais filtros destas topologias, e maiores restrições normativas em termos de qualidade de energia elétrica, tem aumentado a utilização de topologias multinível para inversores de menor potência. Para tal tem-se buscado novas topologias que permitam a redução da complexidade, tamanho e custo dos inversores, e uma das principais variáveis responsáveis pelos itens citados é o número de chaves ativas necessárias para a confecção destes arranjos. Devido à utilização dos inversores também em baixa tensão, a redução de tensão sobre as chaves deixa de ser um fator crítico na seleção da topologia para estas aplicações.

Tendo em vista o campo citado, este trabalho pretende apresentar uma nova topologia para inversores multinível de sete níveis, montada a partir de seis chaves ativas,

apresentando suas vantagens e desvantagens frente a algumas das topologias clássicas e outras já desenvolvidas, abordando sua técnica de chaveamento e dimensionamento de seus componentes.

1.2 MOTIVAÇÃO

Algumas das grandes vantagens na utilização de inversores multinível é a melhoria da qualidade da forma de onda de saída, a redução de interferência eletromagnética (*Electromagnetic interference* – EMI) e de distorção harmônica total (*Total Harmonic Distortion* – THD) devido a menores variações de tensão na entrada do filtro, e a redução do tamanho do equipamento devido à possibilidade de redução do filtro de saída (YU, 2017).

As topologias tradicionais de inversores multiníveis exigem um número elevado de componentes semicondutores ativos para controle do circuito, são associados a eles ainda seus circuitos de acionamento e as fontes de alimentação para cada chave comandada, o que aumenta o tamanho do circuito e exige um número elevado de sinais de comando. Algumas topologias demandam ainda um número elevado de fontes de tensão contínua que, dependendo da configuração da topologia, devem ser isoladas entre si para que as chaves eletrônicas possam cascadeá-las de forma a criar os diferentes níveis de tensão de saída do inversor. Tornam-se viáveis economicamente em conversores de potência elevada, e portanto, são pouco utilizados em pequenos conversores, como nos inversores solares residenciais, ou sistemas ininterruptos de energia monofásicos.

Para as aplicações nos pequenos conversores citados, há pouca necessidade de redução da tensão sobre as chaves durante seu bloqueio, dado que as principais tecnologias de chaves utilizadas possuem versões de chaves com tensão de bloqueio suficiente para bloquear as tensões de barramento utilizadas. Assim, pode-se buscar desenvolver novas topologias que permitam a criação de múltiplos níveis de tensão mas que não necessitem de redução de tensão nas chaves devido aos menores valores de tensão aplicados sobre as chaves.

No intuito de estudar uma configuração que solucione alguns desses problemas, este trabalho foca no desenvolvimento de um inversor de sete níveis, com um número reduzido de chaves frente às topologias tradicionais existentes, para possibilitar que aplicações de inversores de baixa tensão possam ter redução da THD e diminuição dos filtros de saída necessários. Devido ao objetivo do inversor ser de baixa tensão, o foco do desenvolvimento do inversor não abrangerá a redução de tensão sobre elas.

Assim, será apresentada uma nova topologia de inversor sete-níveis que necessita

apenas de duas fontes de tensão, conectadas em série, e seis interruptores controlados. Com essa configuração é simplificada a montagem do inversor e é reduzido o número de circuitos de chaveamento necessários. Permite ainda a utilização de apenas uma fonte de tensão, se for adicionado um estágio para a geração do segundo barramento necessário.

1.3 OBJETIVOS

1.3.1 OBJETIVO GERAL

Desenvolver um inversor de sete níveis com número reduzido de chaves e de fontes de alimentação comparado às topologias clássicas e um procedimento para seu dimensionamento.

1.3.2 OBJETIVOS ESPECÍFICOS

- Realizar um estudo dos principais inversores sete níveis existentes;
- Propor uma nova topologia de inversor de sete níveis que possa ser utilizado isoladamente ou conectado à rede elétrica.
- Realizar simulações do funcionamento do inversor proposto.
- Realizar dimensionamentos dos componentes do inversor.
- Construir um protótipo para validação das etapas de funcionamento obtidos por simulação e análise.
- Comparar resultados e realizar conclusões sobre o inversor proposto.

1.4 ORGANIZAÇÃO DO TRABALHO

O Capítulo 2 apresenta os principais conceitos dos conversores multiníveis que possibilitam a obtenção de sete níveis. Primeiramente apresenta as topologias clássicas utilizadas e em seguida apresenta outros inversores sete-níveis já propostos. Apresenta ainda algumas classificações dos inversores, aplicações e estratégias de modulação.

O Capítulo 3 expõe a origem do desenvolvimento e o funcionamento do inversor proposto, com suas formas de onda, equações de chaveamento e demonstração das etapas de funcionamento. Ao fim, explana brevemente sobre o método criado para levantamento das perdas de condução e chaveamento do circuito proposto.

No Capítulo 4 é apresentada uma simulação do funcionamento do conversor proposto, seguida dos resultados experimentais, no Capítulo 5. Neste, é observado o efeito do tempo morto no chaveamento, principalmente na tensão de saída, e uma adaptação da topologia é proposta, com seus novos equacionamentos e lógica de chaveamento.

Por fim, o Capítulo 6 apresenta possíveis circuitos para serem utilizados como estágio de entrada e gerar as tensões necessárias nos dois barramentos necessários para o inversor.

2 INVERSORES MULTINÍVEIS

Um conversor multinível tem a função de sintetizar uma tensão ou corrente alternada de alta potência, utilizando-se de um conjunto de chaves semicondutoras de potência e uma ou mais fontes de tensão contínua para fazer a conversão de potência chaveando uma forma de onda de tensão em formato de escada (KHOMFOI; TOLBERT, 2007). A similaridade da tensão de saída sem filtro com a forma de onda da tensão de referência desejada, será maior quanto maior o número de níveis do conversor. O desempenho dos conversores multinível aumenta com o aumento do número de níveis (MANASA, 2012) e sua THD é reduzida (YUSOF, 2012).

Inversores multinível tem a vantagem de reduzir o conteúdo harmônico nas correntes da carga e de reduzir o tamanho do filtro em aplicações de potência elevada, devido à menor taxa de variação de tensão dV/dt aplicada à saída (RODRIGUEZ, 2002).

Atualmente está bem estabelecido que inversores multinível são a escolha mais adequada em aplicações de alta potência (MOOSAVI, 2013). Por serem capazes de alterar sua frequência de chaveamento e a frequência da forma de onda de saída, esses conversores por modulação de largura de pulso (*Pulse-Width Modulation* – PWM) são propícios para algumas aplicações industriais de alta potência, tais como conversores de frequência para controle de velocidade em motores de corrente alternada (MANASA, 2012), fontes ininterruptas de potência (PARK, 2003), bombas (RODRIGUEZ, 2010) e ventiladores (utilizados em plantas de água, petróleo, gás, em sistemas de arrefecimento, plantas geotérmicas, fornos e caldeiras), e filtros ativos de qualidade de energia.

A busca pelo aprimoramento de conversores multiníveis tem crescido em decorrência da possibilidade de se reduzir o tamanho dos componentes magnéticos de filtro e da possibilidade de se distribuir as perdas de condução e chaveamento em diversos componentes, o que possibilita o aumento da potência máxima processada.

Das diversas vantagens citadas sobre o uso de conversores multiníveis, um dos principais fatores que impedem a popularização do uso da técnica multinível em conversores de baixa potência é o elevado número de chaves e capacitores e os custos agregados a eles,

tais como circuitos de comando, fontes de alimentação e a relativa complexidade do cálculo de comando.

2.1 INVERSORES MULTINÍVEIS CLÁSSICOS

Os dois inversores multiníveis clássicos mais simples que podem ser executados são os inversores monofásicos de três níveis em ponte H ou ponte completa, e o inversor grampeado a diodo, por possuir uma conexão central com o barramento. A Figura 2 apresenta a primeira versão, em que os dois pontos de saída **A** e **B** são chaveados, entre a tensão V_C do capacitor e a referência zero do circuito. Acionando as chaves S_1 e S_4 se obtém uma tensão de saída positiva V_C de saída, chaveando as chaves diagonais opostas S_2 e S_3 se obtém um valor negativo $-V_C$, e no caso de se acionar o par superior S_1 e S_3 ou o inferior S_3 e S_4 , os dois pontos ficam no mesmo potencial e a tensão de saída obtida é nula. Nesta topologia, cada chave precisa ser capaz de suportar a tensão máxima do barramento V_C . A criação de um inversor trifásico com neutro com três níveis em cada fase a partir desta topologia exige a triplicação do circuito e da fonte de alimentação, conectando os pontos **B** das três células para criação do ponto neutro e exigindo o uso de 12 chaves e três fontes isoladas de energia.

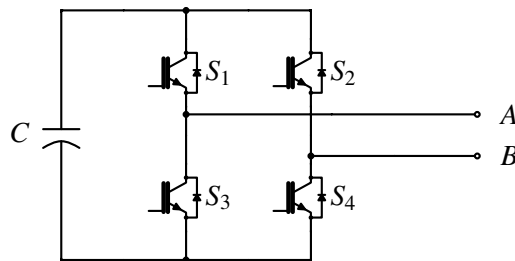


Figura 2: Inversor Multinível de 3 níveis com ponte completa.

Na Figura 3 pode-se observar uma das formas de se implementar um inversor de três níveis com conexão da saída ao ponto central do barramento. Supondo que os capacitores C_1 e C_2 estejam carregados com uma tensão V_C , é possível se obter uma tensão V_C positiva entre os terminais **A** e **O** ao se acionar as chaves S_1 e S_2 , obtém-se uma tensão nula ao chavear S_2 e S_3 , e por fim uma tensão negativa de $-V_C$ ao se acionar as chaves S_3 e S_4 . A tensão que cada chave precisa suportar é de V_C e assemelha-se ao circuito anterior, por ser a tensão máxima de saída. Deve-se porém cuidar com o balanceamento dos bancos positivo e negativo de capacitores do barramento. Para a criação da versão trifásico deste inversor, pode-se simplesmente triplicar o braço de saída, criando dois novos braços, utilizando ao todo 12 chaves e 6 diodos. Como o centro do barramento já é o ponto neutro de chaveamento, não há necessidade de novas fontes de energia. Outras formas de se fazer a conexão central do braço com o barramento substituem

o conjunto D_1, D_2, S_2, S_3 por uma chave bidirecional conectando o ponto **A** ao **O**, criando um braço em forma de “T”, e serão apresentadas na seção 2.6.

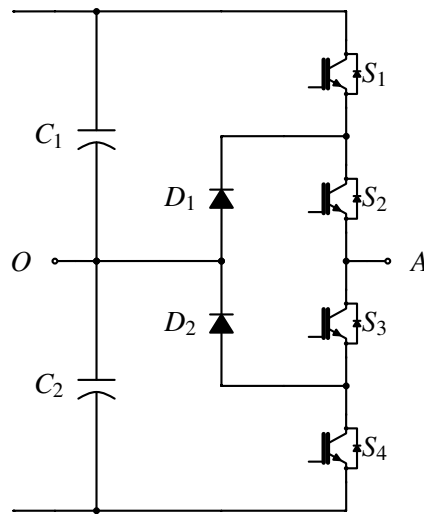


Figura 3: Inversor Multinível de 3 níveis com neutro grampeado.

As topologias clássicas utilizadas para a criação de inversores com mais de três níveis são variações e adaptações das duas topologias apresentadas e a montagem para um número maior de níveis é simplesmente escalonada. Dado que este trabalho deseja apresentar uma alternativa aos conversores de sete níveis, a apresentação das três principais topologias será feita com a montagem necessária para o inversor de sete níveis monofásico. A criação das versões trifásicas dos conversores é feita de forma análoga às topologias apresentadas acima. As três topologias clássicas apresentadas são (RODRIGUEZ, 2002):

- Ponte H em série (*Cascaded H-Bridge – CHB*), na qual células de ponte completa com uma fonte de tensão isolada são conectadas em série (MALINOWSKI, 2010);
- Ponto neutro grampeado por diodo (*Neutral Point Clamped – NPC*), que é uma simplificação da topologia em cascata (RODRIGUEZ, 2010);
- Capacitor flutuante (*Flying Capacitor – FC*), também chamado de grampeamento por capacitor, onde capacitores tem as conexões de seus terminais alteradas de maneira ordenada para criar as divisões de tensão necessárias (SONG, 2001).

A topologia CHB para sete níveis consiste em três células de ponte completa conectadas em cascata, conforme apresenta a Figura 4. Cada célula a , b ou c possui um barramento com mesmo valor de tensão V_C , e como cada célula pode individualmente produzir qualquer um dos valores de saída $+V_C$, 0 e $-V_C$ é possível somar as tensões das células e

assim obter os sete níveis $+3V_C$, $+2V_C$, $+V_C$, 0 , $-V_C$, $-2V_C$ e $-3V_C$. Alguns destes níveis são possíveis de serem obtidos de forma redundante e assim uma estratégia de modulação adequada deve ser selecionada de forma a balancear as perdas de comutação e de condução entre as chaves e o consumo entre as fontes de alimentação dos barramentos. São necessárias ao todo 12 chaves e 3 fontes para a topologia. A serialização das células não faz com que as chaves necessitem suportar maior tensão, mas exige um número maior de fontes de alimentação, já que cada célula exige sua própria, que devem ser isoladas entre si. São exigidos, assim, circuitos auxiliares de controle da tensão destes barramentos, o que pode desincentivar a escolha e uso desta topologia em sete níveis, sendo normalmente encontrada a versão de cinco níveis, com apenas duas células em série.

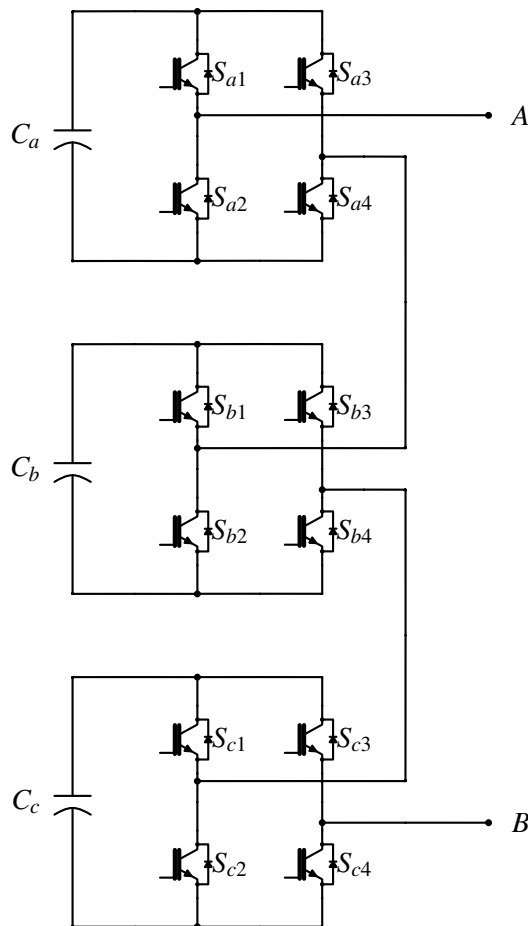


Figura 4: Topologia multinível com células H conectadas em cascata para inversor de sete níveis monofásico.

A topologia NPC em que o ponto neutro é grampeado por diodo possui duas principais formas de montagem, uma simplificada (Figura 5a), em que não há balanceamento de tensão entre os diodos e assim cada diodo deve ser capaz de suportar a metade da tensão do barramento total, no caso apresentado, $3V_C$, e outra com balanceamento (Figura 5b), que apresenta um equilíbrio entre as tensões dos diodos. O nome da topologia se dá pelo fato de que mesmo

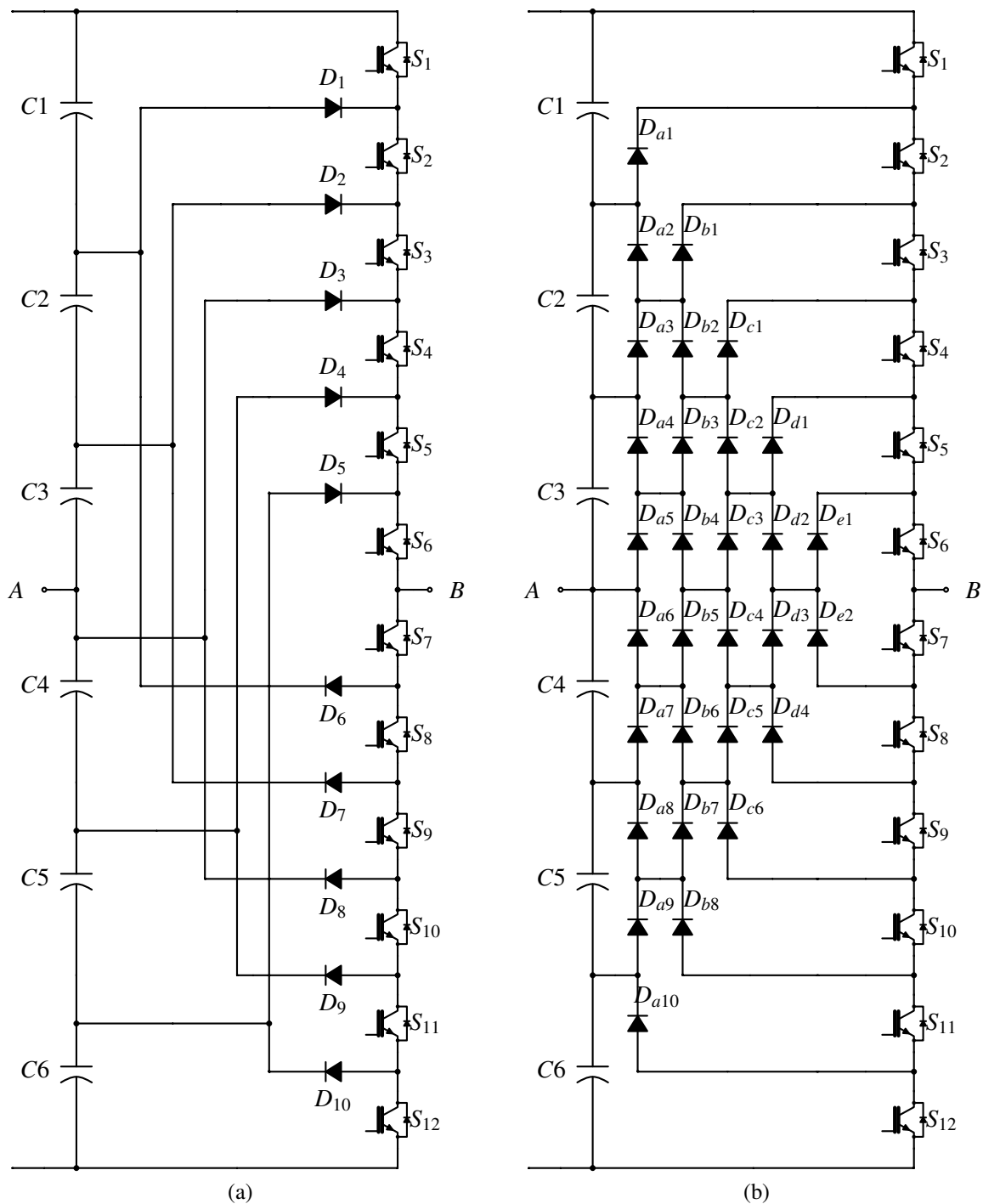


Figura 5: Inversor sete níveis com grampeamento a diodo. (a) Sem balanceamento de tensão nos diodos; (b) Com balanceamento de tensão nos diodos.

com algumas chaves em série desativadas, a condução dos diodos faz com que a tensão sobre as chaves seja sempre equivalente à tensão sobre um dos capacitores do barramento. Nesta topologia montada para sete níveis são necessários seis capacitores, carregados com a mesma tensão V_C , e doze chaves conectadas em série, além da estrutura de diodos de grampeamento (10 ou 30, de acordo com a necessidade de balanceamento de tensão nos diodos). Nesta configuração, os sete níveis, de $+3V_C$ a $-3V_C$ são obtidos a partir do chaveamento de seis

chaves consecutivas S_i a S_{i+5} , a transição entre dois estados consecutivos sempre se dá pelo bloqueio de uma das chaves da ponta, e condução de uma nova chave na ponta oposta. O barramento completo pode ser alimentado por uma única fonte com tensão $6V_C$, e o controle do chaveamento deve prever um cuidado no equilíbrio dos capacitores (YUAN; BARBI, 1999).

A última topologia clássica, abreviada FC, apresenta capacitores flutuantes no grampeamento das tensões das chaves. Os capacitores são assim chamados por não estarem com seus terminais em um referencial fixo, mas variável, já que se conectam entre as chaves do conversor, conforme apresenta a Figura 6. Nela, possui-se um barramento similar ao da topologia NPC, com seis capacitores C_1 a C_6 , carregados com uma tensão V_C . A Figura 6a apresenta a versão simplificada, em que o capacitor C_a é carregado com $5V_C$, C_b com $4V_C$, até o capacitor C_e com V_C . Na Figura 6b cada braço de capacitores tem a quantidade necessária para que a tensão em cada capacitor seja equivalente à V_C , permitindo a utilização de capacitores com mesmo valor de tensão máxima. Nesta topologia as chaves trabalham em pares, de forma que S_n e S'_n tenham comandos complementares. Assim, dependendo de quais das quatro chaves superiores estão ativas, tem-se um dos sete níveis de tensão de saída. Algumas combinações de estados da chave são redundantes para obtenção de um nível de saída, e podem ser utilizadas de forma a balancear as tensões dos braços de capacitores. Com um correto chaveamento e balanceamento, os capacitores garantem que as chaves precisem bloquear apenas a tensão V_C , e não a tensão completa do barramento de $6V_C$. Nesta topologia montada para sete níveis são necessários seis capacitores, carregados com a mesma tensão V_C , e doze chaves conectadas em série, além da estrutura de capacitores de grampeamento (5 ou 15, de acordo com a necessidade de balanceamento de tensão nas chaves).

Uma desvantagem clara destes inversores é o elevado número de chaves ativas, o custo adicionado pelos seus circuitos de acionamento (*drivers*) e a complexidade dos seus padrões de chaveamento (KHOMFOI; TOLBERT, 2007; AHMED, 2010a). Os conversores NPC e FC também necessitam de um cuidadoso controle de carga dos capacitores e da divisão de tensão. Todas as três topologias necessitam de doze chaves para um conversor de sete níveis, e pelo menos três capacitores (OUNEJJAR, 2012). Adicionalmente, diversas fontes de tensão isoladas são normalmente necessárias para se obter um maior número de níveis de tensão, o que aumenta a complexidade do circuito (AHMED, 2010b). Utilizando-se, porém, um menor número de chaves, e com uma relação ideal de tensão entre fontes, o esquema de ligação e a quantidade de componentes podem ser simplificados.

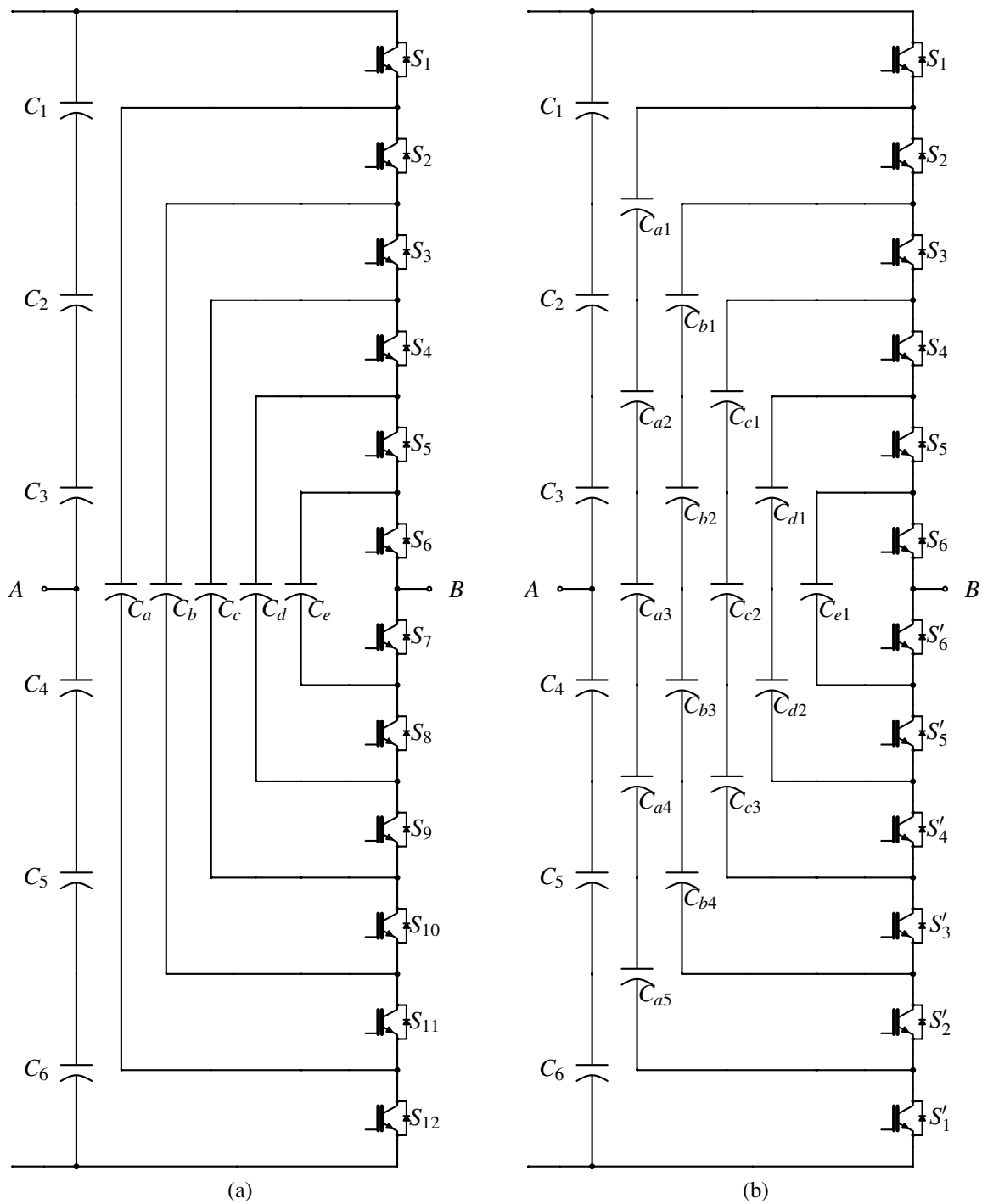


Figura 6: Inversor sete níveis com grampeamento a capacitor. (a) Sem balanceamento de tensão nos capacitores; (b) Com balanceamento de tensão nos capacitores.

2.2 OUTROS INVERSORES MULTINÍVEIS

Algumas outras topologias de inversores sete níveis já foram propostas. Em Manasa, Balaji, Madhura e Mohan (2012) é apresentado um inversor de sete níveis com oito chaves, formando duas células de ponte H em série, com duas fontes de tensão assimétricas, a primeira com o dobro da segunda. Dessa forma, os estados redundantes da topologia HB de cinco níveis

são eliminados, transformando-a em uma topologia sete níveis.

É apresentado por Ounejjar, Al-Haddad e Gregoire (2011), Ounejjar, Al-Haddad e Dessaint (2012) um conversor de sete níveis com células “U” empilhadas. Uma célula U é uma simplificação da célula H e consiste em um capacitor ou fonte na base do “U” e duas chaves com polaridades invertidas nas laterais, cada uma com um dos terminais conectado ao capacitor e outro terminal aberto. Ao se empilhar diversas células U, pode-se controlar a carga de cada capacitor com uma divisão específica de tensão a partir da fonte, e assim pode-se escalonar a tensão de saída conforme desejado. A fonte de alimentação do circuito assume a posição do capacitor superior da pilha, devendo-se inverter a posição das duas chaves superiores, conforme apresenta a Figura 7. O modelo apresentado necessita de seis chaves, uma fonte de tensão e um capacitor que necessita ser corretamente carregado durante o chaveamento das células, com uma tensão tal que $V_C = V_{cc}/3$.

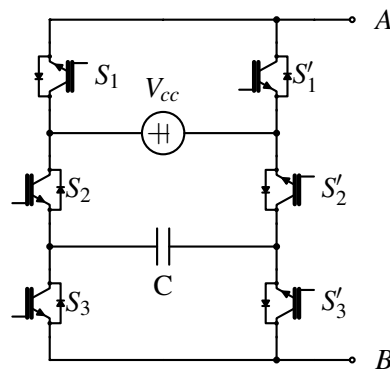


Figura 7: Inversor sete níveis com células U.

Fonte: Adaptado de Ounejjar, Al-Haddad e Dessaint (2012).

Já em Rahim, Chaniago e Selvaraj (2011) uma ponte H modificada é demonstrada utilizando apenas seis chaves, onde o barramento principal é dividido com três capacitores em série. Nos dois pontos intermediários do divisor capacitivo há chaves bidirecionais conectadas a um dos lados da ponte H, conforme demonstra a Figura 8. Assim, o lado direito do conversor define a polaridade da tensão de saída, e o lado esquerdo tem três níveis de tensão igualmente espaçados, além do nível zero. Como o autor propõe carregar todo o barramento a partir de uma fonte única, é necessário a garantia de corrente simétrica de saída para garantir o balanceamento dos capacitores de barramento.

Uma versão de ponte H modificada com dois capacitores apenas é proposto por Wu e Chou (2014). A saída do inversor consiste em uma ponte H tradicional, mas o barramento composto pelos dois capacitores não tem ponto comum entre si e são carregados por um circuito

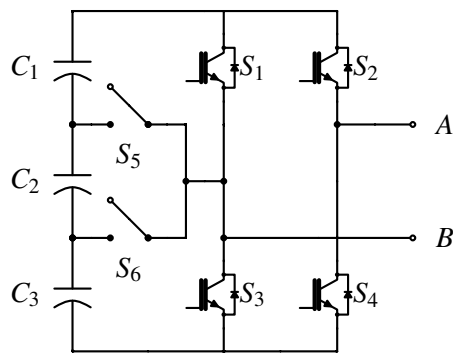


Figura 8: Inversor sete níveis com ponte H, duas chaves bidirecionais e três capacitores de barramento.

Fonte: Adaptado de Rahim, Chaniago e Selvaraj (2011).

externo com uso de um transformador, de forma que um dos capacitores tenha o dobro de tensão do outro. Um arranjo de chaves permite que qualquer um dos capacitores ou sua ligação em série seja o barramento aplicado à ponte H, conforme exibido na Figura 9.

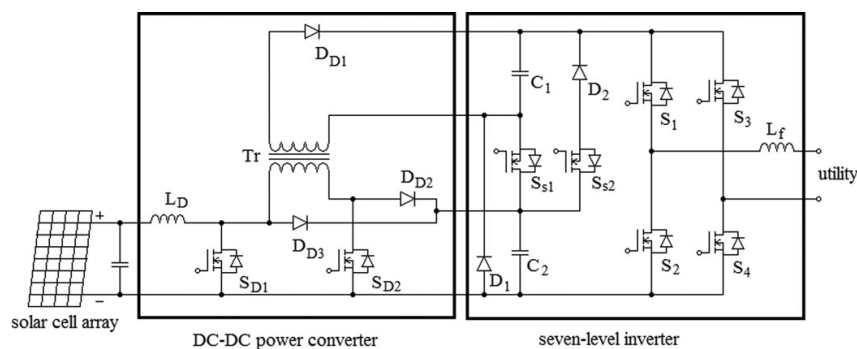


Figura 9: Inversor sete níveis com ponte H de saída, e barramento chaveado em baixa frequência

Fonte: Wu e Chou (2014).

Deve-se notar que estas topologias por serem focadas em aplicações de menor potência e tensão, não trazem a vantagem da redução de esforços de tensão nas chaves do circuito.

2.3 CLASSIFICAÇÃO DE INVERSORES MULTINÍVEIS

As topologias de inversores multinível podem ser classificadas de acordo com certas características, tais como:

- tipo de nível gerado (inversores multinível de tensão ou corrente);
- número de níveis;

- número de fases geradas (como monofásico, trifásico);
- quantidade de fontes;
- tipo de célula ou conexão utilizada (tais como grampeamento por diodo, grampeamento por capacitor, célula H).

A diferenciação entre conversores de tensão e de corrente se dá pelo elemento sendo chaveado. Os inversores de tensão utilizam componentes semicondutores de forma a selecionar o nível de tensão na saída, alterando a tensão de referência dos pontos de conexão da saída do circuito ao alterar a fonte de tensão ou capacitor ao qual estão acoplados. Com um chaveamento ordenado, é possível se obter diferentes níveis de tensão na saída. Este tipo de conversor é o foco deste trabalho, e algumas topologias serão apresentadas nas seções subsequentes.

O inversor multinível de corrente, por sua vez, utiliza as chaves para comutar entre fontes de corrente ou indutores, de forma a controlar diretamente a corrente de saída, somando ou subtraindo as fontes existentes. Esta técnica tem sido utilizada no desenvolvimento de inversores solares conectados à rede elétrica, por não necessitarem ou por minimizarem os capacitores de barramento, o que aumenta a vida útil do inversor. Como muitas das topologias necessitam de chaves com capacidade de bloqueio reverso de tensão, a técnica deste tipo de inversor somente começou a se popularizar com o advento do IGBT de bloqueio reverso, por possuir menor queda de tensão em condução que o par normalmente utilizado de IGBT com diodo em série. (CHAKRAVARTHULA, 2015).

A quantidade de níveis para sintetização do sinal de referência no sinal de saída também é um elemento qualitativo utilizado na diferenciação das topologias multiníveis. Quanto maior o número de níveis existentes na topologia, menor será a variação de tensão entre os níveis utilizados, e menor poderá ser o filtro de saída do sistema. A quantidade de níveis é normalmente ímpar, dado que se busca a simetria entre os níveis positivos e negativos e a vantagem de se possuir um nível de tensão nula para permitir um caminho de roda livre para a corrente. A primeira proposta de inversor multinível foi feita para um inversor de três níveis com grampeamento a diodo por Nabae, Takahashi e Akagi (apud ABU-RUB, 2014c, p. 424).

A quantidade do número de fases gerada também pode ser utilizada para diferenciação das topologias. Embora muitas das topologias trifásicas sejam apenas uma topologia monofásica com braços replicados e utilizando o mesmo barramento, algumas topologias trifásicas permitem a criação das três fases dispensando a conexão de um ponto neutro de saída. Algumas topologias monofásicas, para reduzir o número de fontes ou capacitores, tem o ponto neutro de referência também chaveado, dificultando a utilização da técnica para

inversores trifásicos sem a replicação do barramento principal. Seth, Goel, Kulkarni e Joshi (2016) apresenta uma topologia trifásica de sete níveis, com saída em delta, utilizando 4 chaves por fase, totalizando apenas 12 chaves para o conversor, mas depende de uma fonte de alimentação isolada adicional por braço, e uma fonte principal deve ter o dobro da tensão destas. Sua simplificação para um inversor monofásico exige oito chaves ao total, e três fontes de alimentação, isoladas entre si.

2.4 APLICAÇÕES DE INVERSORES MULTINÍVEL

Dewan e Straughen (apud YAZDANI; IRAVANI, 2010) apresenta as três principais topologias multiníveis clássicas, frente ao uso em alta tensão, e explica que a topologia de células ponte H em série, para ser utilizada gerando potência ativa a uma carga ou sistema, necessita de uma fonte independente de tensão isolada e controlada por um conversor auxiliar para cada célula, fazendo com que a topologia se torne pouco atrativa para aplicações gerais. Na aplicação comumente denominada de compensador estático síncrono, (*Static synchronous compensator* – STATCOM) e de filtros ativos, porém, a topologia se torna atraente, dado que o objetivo destas aplicações é apenas uma troca de energia reativa no sistema para redução de conteúdo harmônico, consumo ou fornecimento de energia reativa e melhoria de fator de potência. Com isso, o próprio conversor gerencia o balanceamento de energia nos capacitores das células. Os autores também citam que os conversores grampeados a capacitor apresentam problema semelhante, dado a necessidade de se balancear as tensões nos capacitores de grampeamento para permitir o uso da topologia em tensões elevadas, e por isso não foi muito difundida em aplicações de alta tensão. Por sua vez, os inversores grampeados a diodo evitam as desvantagens das outras topologias e se mostram configurações promissoras para a utilização nestes sistemas.

Os inversores multiníveis também podem ser utilizados em turbinas eólicas de velocidade variável, principalmente na faixa de 3 MW a 8 MW, sendo a topologia de três níveis grampeada a diodo uma das mais utilizadas, tanto no estágio de retificação da tensão gerada pela turbina, quanto no estágio de inversão para conexão ao sistema elétrico. Nesta aplicação são também comuns o uso da mesma topologia em cinco níveis, ou do uso da topologia clássica de três níveis em ponte completa. Alguns conversores utilizam múltiplas células em paralelo, de forma a modularizar o processamento de potência, fornecer redundância, e melhor aproveitar o ponto ótimo de rendimento de cada inversor e tem sido um dos sistemas mais utilizados acima dos 3 MW. Os inversores multiníveis, apesar de inicialmente concebidos para aplicações de alta potência, tem se popularizado também em aplicações de

baixa tensão e potência, alta performance, alta eficiência e que demandam elevada qualidade de energia, como fontes ininterruptas de energia (*Uninterruptible Power Supply* – UPS) e sistemas de conversão de energia fotovoltaica (ABU-RUB, 2014b). Os autores citam ainda que as topologias clássicas são utilizadas principalmente em faixas de tensão de 2,3 kV a 6,6 kV e de 1 MW a 40 MW, em aplicações industriais de bombas, ventiladores, compressores, esteiras, e laminadores metalúrgicos, mas que outras topologias estão avançando para outras aplicações: comando de motores elétricos, tração de trens, propulsão de embarcações, conversão de energia eólica, transmissões em alta tensão contínua, em bombas de centrais hidroelétricas reversíveis (elevando água ao reservatório principal em horário de baixo consumo de energia, e produzindo energia em horários de ponta), filtros ativos de potência, compressores para liquefação de gases combustíveis.

Rodriguez, Franquelo, Kouro, Leon, Portillo, Prats e Perez (2009) e Kouro, Malinowski, Gopakumar, Pou, Franquelo, Wu, Rodriguez, Perez e Leon (2010) reiteram o uso dos conversores multiníveis em algumas aplicações como as que demandam qualidade de energia e eficiência, energias renováveis, como turbinas eólicas e painéis fotovoltaicos, e acrescenta ainda o uso em frenagem regenerativa, sistemas de adaptação de redes elétricas entre redes 50/60Hz e redes elétricas férreas de 16 2/3 Hz, esteiras transportadoras, propulsão marítima, e o uso em tração férrea de alta velocidade, onde os trens são impulsionados por sistemas de maior frequência, podendo atingir até 400 Hz, demandando uma alta performance não atingível com conversores de dois ou três níveis. Finalmente acrescenta o uso de inversores multiníveis em sistemas de propulsão de trens de alta velocidade com levitação magnética, que funcionam de forma similar ao controle de velocidade de um motor elétrico convencional, mas que é linearizado, onde o trilho assume a função do estator, e o suporte do trem funciona como seu rotor. Incluem ainda o uso em compressores, extrusores, moinhos de moagem, trituradores, sopradores de alto-forno, partidas de turbinas a gás, misturadores, guindastes e até mesmo em amplificadores digitais de áudio de classe D.

Percebe-se com o avanço das topologias multiníveis híbridas e simplificadas o uso dessas técnicas em baixas tensões e aplicações de menor potência, como em microinversores para painéis fotovoltaicos e comando e controle de máquinas elétricas de menor porte, devido principalmente à novas normas e exigências mais rígidas em qualidade de energia elétrica para instalações elétricas e microgeração.

2.5 PRINCIPAIS ESTRATÉGIAS DE MODULAÇÃO

Uma tensão de referência v_{ref} senoidal, com amplitude A_r e frequência f_r , é um sinal contínuo e, portanto, possui infinitos valores de tensão dentro de seu ciclo. Os inversores existentes possuem apenas níveis discretos de saída e, portanto, não conseguem reproduzir fielmente a tensão de referência. Com um maior número de níveis, os valores discretos de tensão se aproximam mais do sinal contínuo, mas uma elevação demasiada do número de níveis implica em aumento do número de chaves utilizadas, de circuitos de comando, de alimentação e de controle, e no aumento de perdas, inviabilizando o uso do conversor. Assim, as tensões intermediárias entre os níveis discretos podem ser obtidas por uma modulação do sinal de referência, a partir de mudanças entre dois níveis discretos de saída, de forma que a tensão média em um período determinado se aproxime da tensão instantânea desejada.

A escolha de uma estratégia de modulação adequada para um inversor multinível permite a otimização do conversor na seleção de seus componentes. Algumas das estratégias resultam em um maior número de chaveamentos por ciclo do sinal sintetizado, demandando chaves de maior velocidade de chaveamento e menores perdas, mas permitem a diminuição dos filtros de saída do inversor, enquanto outras permitem a diminuição do número de chaveamentos, normalmente associado a conversores de maior potência, que utilizam chaves com maior capacidade de corrente, mas que possuem maiores perdas de chaveamento.

Dado que a modulação escolhida é responsável pela seleção dos ângulos de disparo e bloqueio das chaves, o conteúdo harmônico da onda sintetizada é resultado destes ângulos e assim pode-se escolher a estratégia de modulação mais adequada para minimizar ou mesmo eliminar algumas das harmônicas desejadas. As principais estratégias de modulação existentes são (RECH, 2005):

- Síntese de formas de onda multiníveis quase-quadradas
- Eliminação Seletiva de harmônicas
- Modulação por Largura de Pulso
- Modulação *Space Vector*

Nas seções seguintes serão descritas algumas de suas características.

2.5.1 SÍNTESE DE FORMAS DE ONDA MULTINÍVEIS QUASE-QUADRADAS

Possuem a característica de comutar apenas uma vez entre níveis de tensão existentes adjacentes enquanto o sinal a ser sintetizado está entre estes níveis, formando uma onda similar à discretização da referência, como exemplificado na Figura 10, onde uma referência senoidal foi sintetizada utilizando-se sete níveis. Pode-se observar na Figura 10 que cada transição ocorre apenas uma vez na síntese da referência.

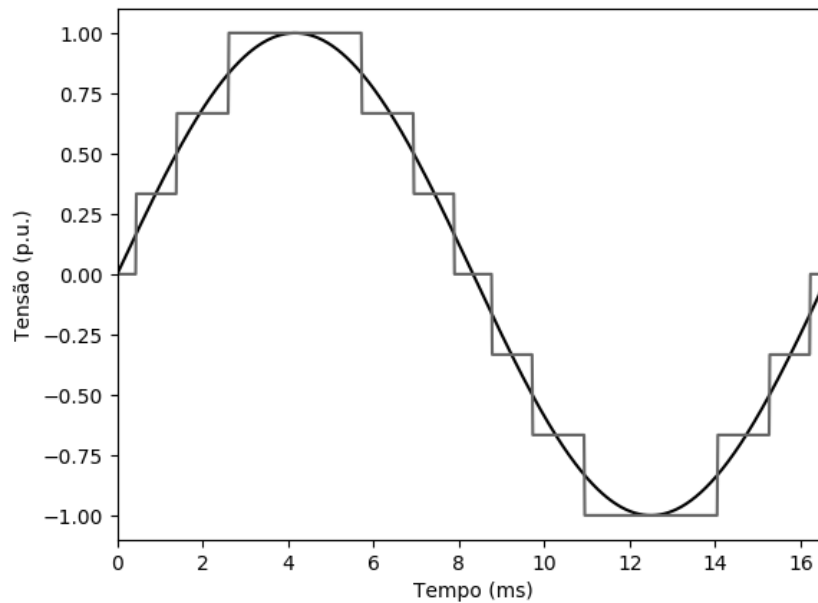


Figura 10: Tensão de referência e tensão de saída quase-quadrada de sete-níveis.

Os ângulos de cada transição podem ser escolhidos de forma a minimizar a amplitude de algumas componentes harmônicas da tensão sintetizada. (TOLBERT, 1999).

2.5.2 ELIMINAÇÃO SELETIVA DE HARMÔNICAS

De forma similar à estratégia anterior, essa estratégia de modulação busca calcular ângulos de chaveamento de forma a eliminar componentes harmônicos específicos do sinal modulado. De forma a ganhar maior liberdade na seleção das componentes e na diminuição da distorção harmônica total, são feitos mais transições entre dois estados antes de alterar os níveis selecionados. Devido à simetria de quarto de onda de uma senoide, essa técnica calcula os N ângulos de chaveamento do primeiro quarto de ciclo δ_1 a δ_N e replica estes ângulos para os outros quartos de onda, tais que:

$$\delta_{n2q} = \pi - \delta_{n1q} \quad (1)$$

$$\delta_{n3q} = \pi + \delta_{n1q} \quad (2)$$

$$\delta_{n4q} = 2\pi - \delta_{n1q} \quad (3)$$

Com N ângulos de chaveamento é possível eliminar $N - 1$ componentes harmônicas ímpares não múltiplas de três. já que as componentes múltiplas de três não podem ser eliminadas por este método (AGELIDIS; BALOUKTSIS, 2006). A quantidade de ângulos de chaveamentos pode ser escolhida de forma a minimizar as perdas ou minimizar o filtro de saída. A Figura 11 apresenta um exemplo com $N = 18$, o que resultaria em 72 comutações por ciclo da referência.

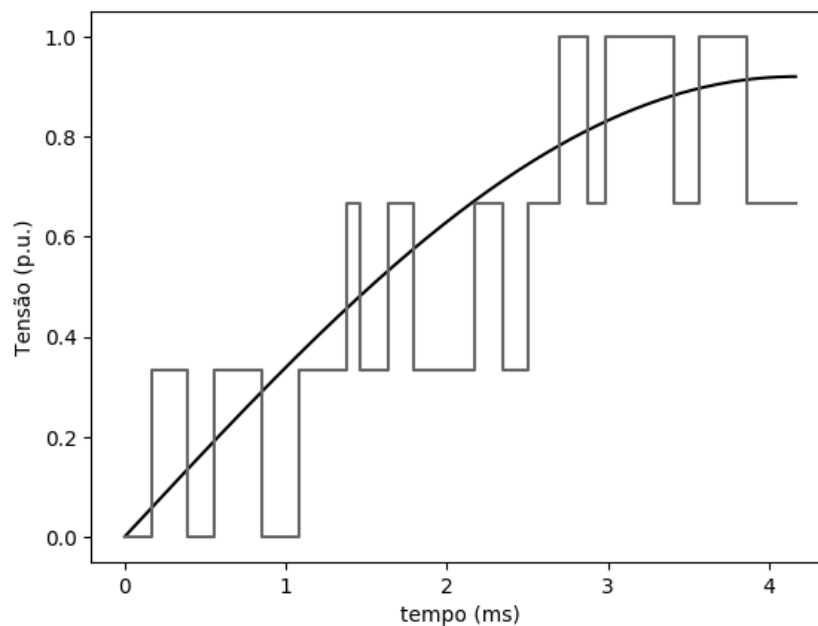


Figura 11: Tensão de referência e tensão de saída com eliminação seletiva de harmônicas para um inversor de sete níveis.

Fonte: Adaptada de Agelidis e Balouktsis (2006)

Como as equações para se selecionar os ângulos dependem de métodos de minimização e podem possuir múltiplas respostas, outros métodos também vem sendo desenvolvidos para a obtenção dos ângulos de comutação, levando em consideração conversores com fontes assimétricas (DAHIDAH; AGELIDIS, 2006) ou fazendo a busca por algoritmos genéticos (DAHIDAH; AGELIDIS, 2008).

2.5.3 MODULAÇÃO POR LARGURA DE PULSO

A modulação por largura de pulso consiste na comparação entre uma ou mais ondas triangulares, chamadas de portadoras, e o sinal de referência. O resultado da comparação determina quais chaves devem ser acionadas ou bloqueadas para se efetuar a modulação do sinal de referência. As duas principais formas de uso das portadoras em relação ao sinal de referência para se efetuar as comparações são a modulação pela disposição das portadoras e a modulação pelo deslocamento de fase das múltiplas portadoras.

Para cada caso, suas portadoras possuem mesma amplitude e frequência. No primeiro caso, as portadoras possuem uma amplitude menor que o sinal de referência, e são deslocadas entre si pelo seu próprio valor de amplitude. No segundo caso, as portadoras não são deslocadas em amplitude, mas sim em fase, de forma que a diferença de fase entre qualquer par consecutivo de portadoras seja o mesmo. Na Figura 12a e 12b pode ser visto um exemplo dessas duas disposições para um inversor de cinco níveis.

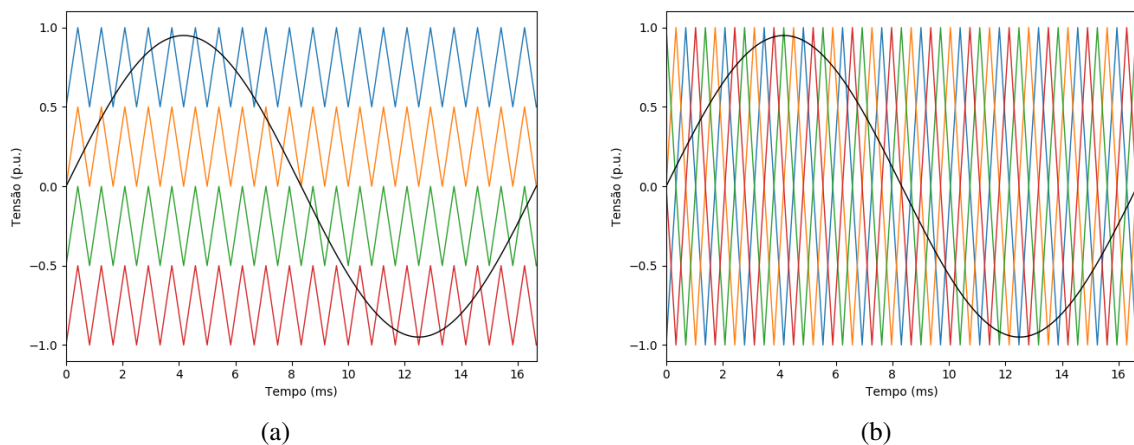


Figura 12: Tipos de modulação por largura de pulso. Exemplificados com quatro portadoras. (a) Por disposição da portadora; (b) Por deslocamento de fase da portadora.

A frequência da(s) portadora(s) caracteriza a frequência de chaveamento do circuito. Para um inversor de m níveis, são necessárias $m - 1$ portadoras. A Figura 13 apresenta um inversor de 3 níveis, e que precisa portanto de duas portadoras.

No semiciclo positivo, quando o sinal de referência é maior que o sinal da portadora, é chaveada a tensão de saída (em vermelho). No semiciclo negativo utiliza-se a comparação inversa para chavear a tensão de saída negativa.

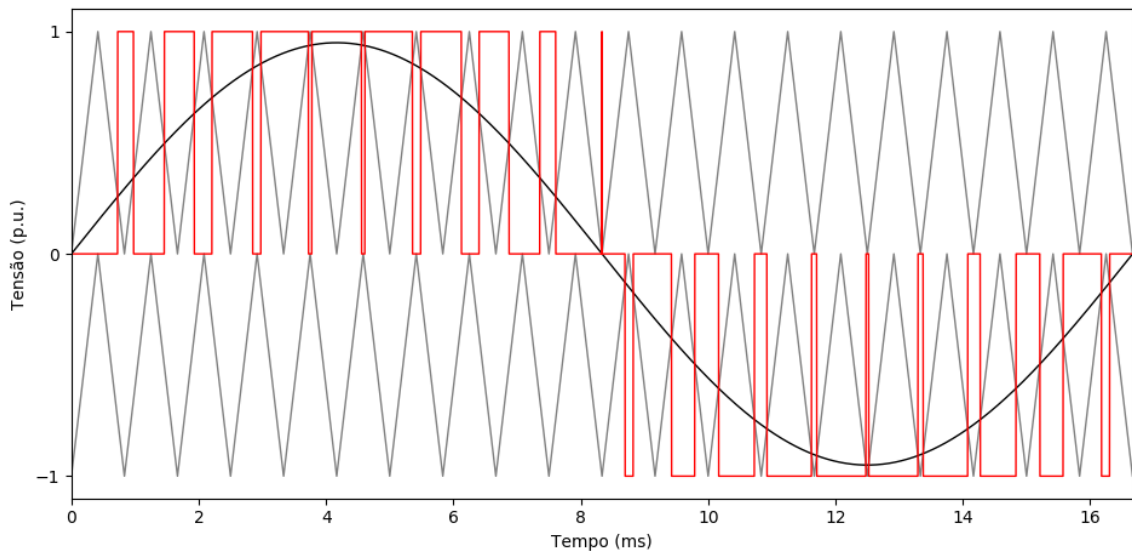


Figura 13: Tensão de referência, portadoras (em cinza) e tensão de saída (em vermelho) obtida pela modulação por largura de pulso.

2.5.3.1 FORMAS DE DISPOSIÇÃO DAS PORTADORAS DESLOCADAS EM AMPLITUDE

Dentro da modulação por largura de pulso, o uso de portadoras deslocadas em amplitude pode ser feito de diferentes formas, de maneira a privilegiar a eliminação de certas componentes harmônicas na tensão de saída. As portadoras utilizadas, todas de frequência f_p e amplitude A_p , são dispostas em faixas adjacentes, e as fases das portadoras podem estar deslocadas entre si de 0 ou 180° . São comparadas com um sinal senoidal de referência a ser modulado, com frequência f_r e amplitude A_r .

Com essa configuração, pode-se determinar o índice de modulação de amplitude m_a e o índice de modulação de frequência m_f tais que:

$$m_a = \frac{2 \cdot A_r}{(m-1) \cdot A_p} \quad (4)$$

$$m_f = \frac{f_p}{f_r} \quad (5)$$

Carrara, Gardella, Marchesoni, Salutati e Sciutto (1992) apresentam as três formas mais simples de disposição das portadoras e suas vantagens, analisadas para inversores monofásicos:

1. PHD - *Phase Disposition*. Disposição de portadoras em fase, em que todas as portadoras

estão em fase. Por não possuir nenhuma simetria, tanto harmônicas pares quanto ímpares aparecerão na THD;

2. POD - *Phase Opposition Disposition*. Disposição de portadoras em oposição de fases, em que as portadoras acima da referência nula de tensão estão em fase entre si, e as portadoras abaixo da referência estão com fase oposta às primeiras. Possui simetria de quarto de onda para valores pares de m_f , resultando apenas em harmônicas ímpares;
3. APOD - *Alternated Opposition Disposition*. Disposição de portadoras em oposição de fases alternadas, em que as portadoras adjacentes estão em oposição de fase, ou seja, as portadoras em sequência possuem fase alternada entre si. Também possui simetria de quarto de onda para valores pares de m_f , resultando apenas em harmônicas ímpares;

A Figura 14 apresenta um exemplo para cada uma das disposições citadas para um inversor de cinco níveis, com quatro portadoras, com índices $m_f = 20$ e $m_a = 0,95$.

A Figura 15 apresenta a tensão de saída que seria chaveada com cada uma destas disposições.

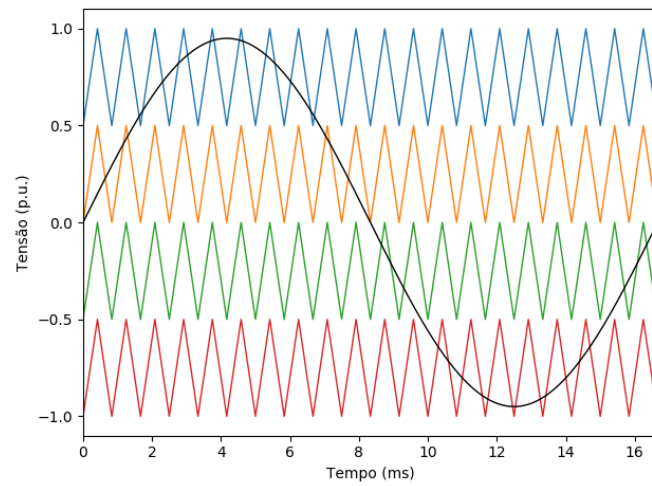
Por fim, a Figura 16 apresenta um exemplo de um sinal senoidal de referência com seis portadoras para a modulação da senoide em um inversor de sete níveis.

2.5.4 MODULAÇÃO *SPACE VECTOR*

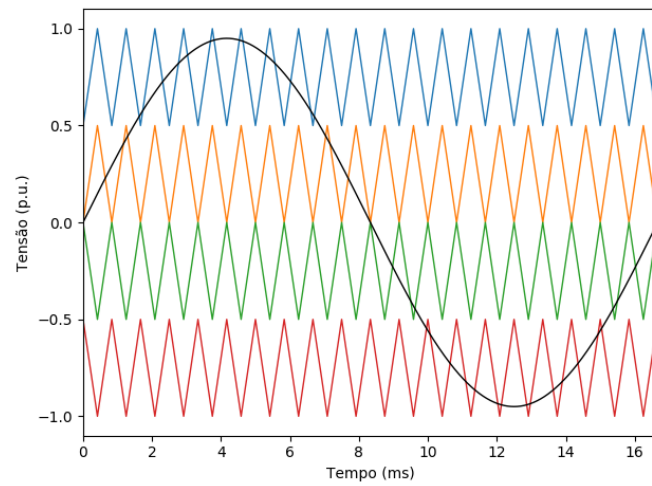
A modulação *space vector* foi primeiramente descrita por Broeck, Skudelny e Stanke (1988) para um inversor trifásico de dois níveis. A técnica é utilizada principalmente para ligações e cargas trifásicas com neutro aberto ou sem neutro e tem sido muito utilizada nos inversores multi-níveis trifásicos, por facilitar a redução do número de chaveamentos e o cálculo dos estados necessários das chaves (GUPTA; KHAMBADKONE, 2006). É também utilizada pelos mesmos motivos em retificadores trifásicos, no intuito de consumir uma corrente senoidal em fase com o sistema gerador (RIOUAL, 1996).

Utilizando-se três braços iguais para criação das três fases de saída, a seleção da tensão de saída em cada braço determina o estado das chaves deste braço. Como a tensão em cada braço influencia nas tensões de linha para uma carga trifásica, pode-se analisar todas as possíveis combinações dos estados dos braços e se torna possível estabelecer uma ordem ideal de transição entre estes estados para a sintetização das tensões trifásicas de saída.

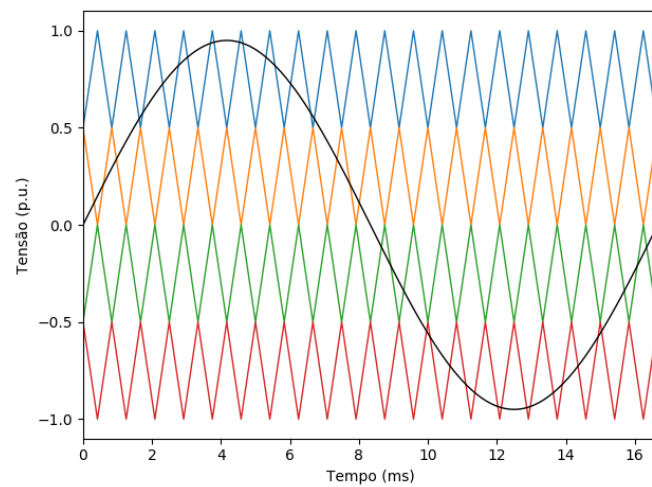
Cada combinação de estados é resumida em um vetor, normalmente normalizado à maior tensão de saída obtível, ou à menor tensão não nula. Esses vetores podem ser então



(a)

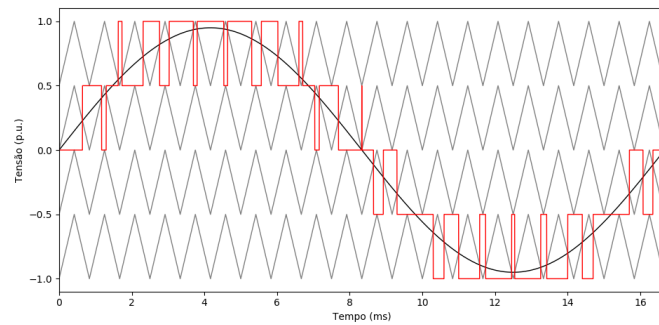


(b)

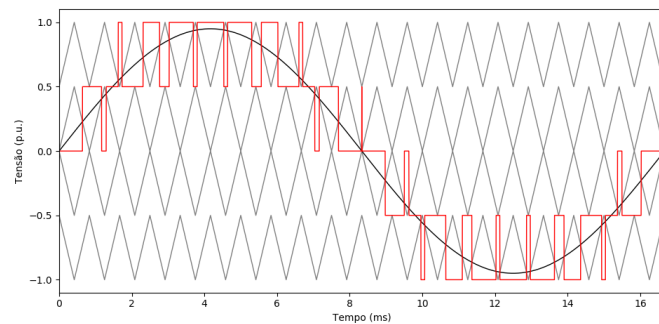


(c)

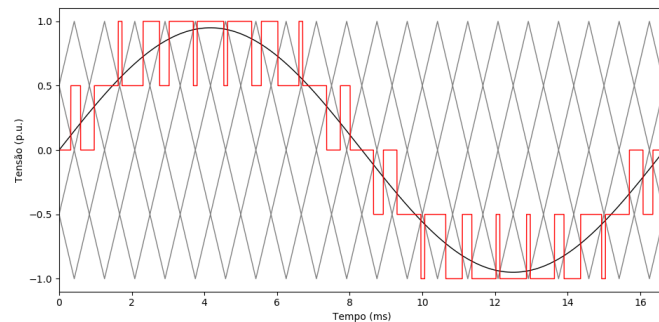
Figura 14: Tipos de disposição de portadoras para inversor de cinco níveis modulado por largura de pulso, $m = 4$, $m_f = 20$ e $m_a = 0,95$. (a) PHD - Disposição em fase; (b) POD - Disposição em oposição de fases; (c) APOD - Disposição em oposição de fases alternadas.



(a)



(b)



(c)

Figura 15: Tensão de saída chaveado por inversor de cinco níveis modulado por largura de pulso, $m = 4$, $m_f = 20$ e $m_a = 0,95$, utilizando as disposições das portadoras: (a) PHD - Disposição em fase; (b) POD - Disposição em oposição de fases; (c) APOD - Disposição em oposição de fases alternadas.

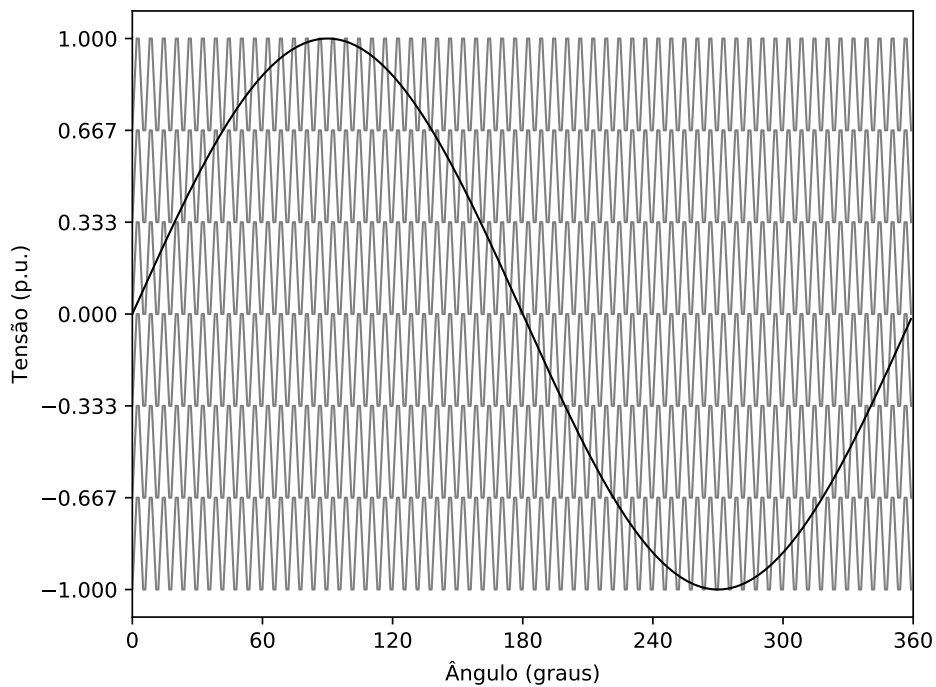


Figura 16: Exemplo de um sinal senoidal de referência sobre seis portadoras utilizadas para fazer a modulação do sinal em sete níveis.

transformados pela transformada $\alpha\beta\gamma$ (também conhecida com transformada de Clarke) ou pela transformada $dq0$ (também conhecida com transformada de Park). Como não há conexão de neutro, é possível se utilizar a versão simplificada das transformadas, resultando em uma transformação linear de $\mathfrak{R}^3 \rightarrow \mathfrak{R}^2$. Com essa redução, os vetores espaciais de comutação com coordenadas tridimensionais podem ser dispostos em um plano bidimensional, facilitando a lógica de comutação.

A Figura 17 exemplifica os vetores espaciais para um inversor trifásico de cinco níveis. Cada ponto dos vetores v^0 a v^{18} representa uma combinação das tensões de saída dos três braços do inversor. Um vetor da tensão de referência v_{ref} de saída percorre o espaço de forma circular, em função do ângulo de fase do sistema trifásico. A cada ciclo de chaveamento é possível determinar a região triangular em que a referência se encontra e a partir dela determinar os tempos que cada um dos estados dos vértices deste triângulo deve permanecer ativo para se atingir a tensão de saída desejada.

Esse método permite estabelecer a razão cíclica em cada estado e possibilita ainda que outros cálculos sejam utilizados para determinar a melhor sequência de chaveamento entre estes estados e seus ângulos de disparo de forma a minimizar o conteúdo harmônico de saída. Dependendo da topologia de inversor utilizada, deve-se ainda balancear as tensões dos capacitores de barramento ou grampeamento do inversor. Pode-se também utilizar o método

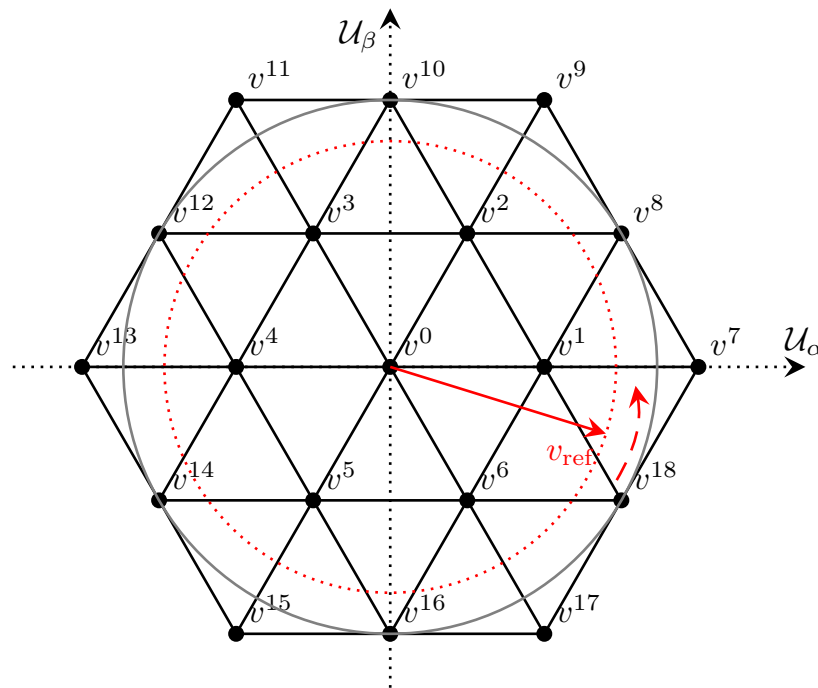


Figura 17: Exemplo de diagrama de estados das tensões de saída de acordo com vetores dos estados dos braços para um inversor trifásico de cinco níveis.

para minimizar a quantidade de chaveamentos no sistema, o que se torna importante para sistemas de alta tensão, onde os semicondutores utilizados normalmente apresentam maior perda de chaveamento.

2.6 CHAVES BIDIRECIONAIS

Uma chave bidirecional é uma chave de comutação eletrônica de quatro quadrantes, ou seja, seu comando permite o controle da passagem de corrente e o bloqueio de tensão em ambos os sentidos da chave (GÁLVEZ, 2017), suportando tensões diretas e reversas em seus terminais. Para se ter um controle completo da chave, é ideal que o dispositivo utilizado sendo completamente controlável, ou seja, tenha capacidade de disparo e bloqueio da corrente circulante. Deve-se apontar que até o momento, não existe uma tecnologia monolítica de chave bidirecional completamente controlável e portanto, tal dispositivo deve ser realizado com a conexão de duas ou mais chaves unidirecionais, utilizando componentes discretos ou montados internamente em um módulo (YAZDANI; IRAVANI, 2010).

Como são utilizadas em topologias de inversores de tensão acoplados à um sistema elétrico convencional ou substituindo-o, os níveis de tensão e corrente propiciam principalmente o uso do Transistor bipolar de porta isolada (*Insulated Gate Bipolar Transistor – IGBT*). Em alguns casos específicos de utilização da chave bidirecional, como em sistemas de *bypass*, é

possível a utilização de tiristores, cujo único comando possível é o disparo da condução de corrente, e seu bloqueio ocorre quando a corrente conduzida atinge um limiar mínimo próximo a zero. Devido a esta característica o tiristor é chamado de semi-controlável.

A Figura 18 apresenta as principais células de chaves bidirecionais confeccionadas com IGBTs. A célula na Figura 18a utiliza um IGBT posicionado ao meio de uma ponte completa de diodos. A principal vantagem desta configuração é a necessidade de apenas um circuito de *driver* para acionar a chave, e a corrente pode circular em ambos os sentidos da chave, com circulação da corrente equivalente ao de uma ponte retificadora completa. O tipo e velocidade do diodo utilizado deve ser compatível com a frequência de chaveamento do IGBT, de forma a minimizar as perdas de bloqueio do diodo, durante seu tempo de recuperação reversa. A célula apresenta sempre três elementos ativos durante a condução da chave (dois diodos e o IGBT) e portanto apresenta a maior perda de condução entre as células apresentadas. O IGBT deve ser capaz de suportar toda a corrente da chave bidirecional, os diodos devem suportar apenas a corrente média no sentido de condução da qual fazem parte. Nesta configuração também não é possível o controle da direção de corrente na chave, o que é exigido em alguns métodos avançados de comutação (WHEELER, 2002).

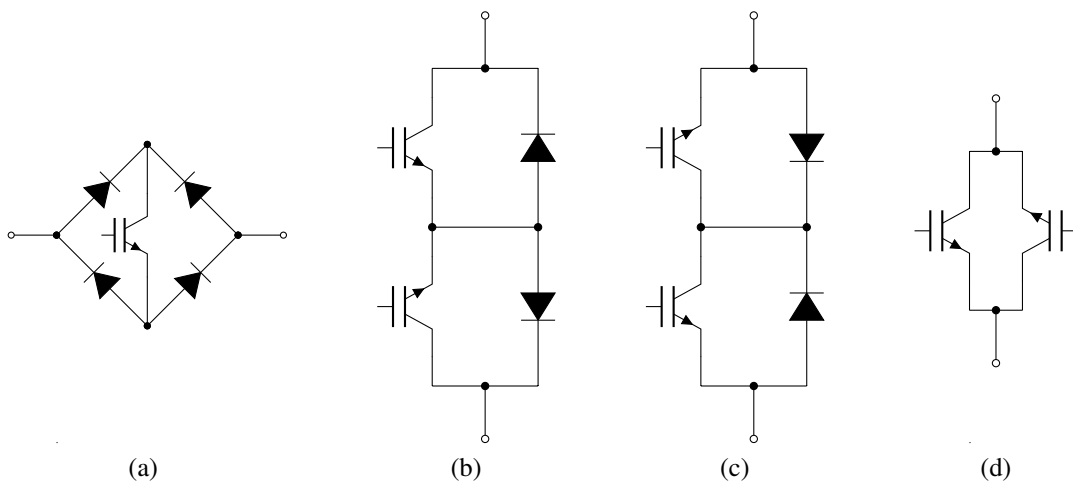


Figura 18: Principais células de chaves bidirecionais. (a) Célula com um IGBT ao centro de uma ponte completa de diodos; (b) Célula com IGBTs em anti-série, com configuração de emissor comum; (c) Célula com IGBTs em anti-série, com configuração de coletor comum; (d) Célula com IGBTs de bloqueio reverso em anti-paralelo.

A configuração apresentada na Figura 18b é obtida com a conexão de dois IGBTs em anti-série, agrupando seus emissores ao centro da chave. Como as chaves IGBTs convencionais não possuem capacidade elevada de bloqueio reverso de tensão (KLUMPNER; BLAABJERG, 2003), um diodo é adicionado em anti-paralelo com cada chave para permitir a passagem de corrente elétrica em sentido contrário ao do IGBT, grampeando a tensão reversa no IGBT no valor da tensão de condução do diodo e evitando assim a falha do componente. Nesta ligação,

é possível o controle independente de ambos os sentidos de passagem de corrente pela célula bidirecional. O comando do IGBT superior permite a passagem de corrente elétrica de seu coletor ao seu emissor, seguindo pelo diodo em anti-paralelo com a outra chave, até o terminal inferior da célula bidirecional. O sentido reverso de tensão e de corrente é bloqueado tanto pelo diodo quanto pelo IGBT inferior. Pela simetria da célula, o controle da passagem de corrente no sentido oposto acontece de forma equivalente com o comando do IGBT inferior. Ao se acionar ambos os IGBTs, a corrente elétrica pode circular nos dois sentidos. Ao bloqueá-los, a corrente é também bloqueada em ambos os sentidos, e cada IGBT e diodo em anti-paralelo deve ser capaz de bloquear a tensão aplicada em seu sentido de bloqueio. Por possuírem o emissor em comum no mesmo potencial, é necessário apenas uma fonte de alimentação, compartilhada entre o circuito de *driver* dos dois IGBTs, assim como na Figura 18a. Outra vantagem desta configuração é que se reduz a queda de tensão no estado ativo da chave, por se ter apenas um IGBT e um diodo conduzindo em qualquer sentido de corrente. Por serem utilizadas normalmente de forma simétrica em ambos os sentidos de condução da chave, a corrente em regime é dividida entre os elementos semelhante, e assim os IGBTs utilizados não precisam ser capazes de processar toda a corrente circulante, como no caso anterior. A desvantagem desta configuração é a necessidade de se possuir dois circuitos de *driver* caso se deseje o controle independente dos dois sentidos de condução da chave. É possível a utilização de apenas um *driver* para o comando simultâneo dos dois IGBTs, desde que o driver seja conectado apenas nos terminais de gatilho (*gate*) e emissor dos IGBTs (BABAEI, 2008).

A célula seguinte, exemplificada na Figura 18c tem funcionamento semelhante ao da Figura 18b, com a diferença de que o ponto comum da ligação entre os IGBTs é entre seus terminais coletores. São mantidas as capacidades de controle individual de sentido de corrente circulante, e de possuir apenas dois elementos conduzindo a qualquer instante. Esta célula porém, se observada separadamente, exige a utilização de duas fontes de alimentação, com dois circuitos de *driver* para o comando individual de cada chave. Posteriormente, na Figura 19, será demonstrado que na topologia apresentada nesta dissertação, o número de fontes necessárias para alimentação do *driver* é menor na configuração de coletor comum, comparado à configuração de emissor comum.

O último exemplo, apresentado na Figura 18d, utiliza um modelo de IGBT com capacidade de bloqueio reverso denominado IGBT com Bloqueio Reverso (*Reverse Blocking Insulated Gate Bipolar Transistor* – RB-IGBT). Neste IGBT, uma camada adicional é inserida na junção de forma a criar uma junção PN de um diodo no terminal emissor, para permitir o bloqueio reverso de tensão. Essa construção tem menor queda de tensão em condução comparado à conexão série de um IGBT com diodo externo, diminuindo as perdas de condução.

Esse novo diodo intrínseco, porém, tem velocidade de bloqueio comparada a um diodo rápido, e portanto a célula não é ideal para frequências elevadas de chaveamento onde são necessários diodos ultra-rápidos ou diodos schottky. Com dois RB-IGBTs em anti-paralelo cada IGBT depende de um circuito de acionamento e de uma fonte de alimentação, de modo semelhante ao da configuração coletor comum, e se tem controle dos dois sentidos de circulação de corrente (KLUMPNER; BLAABJERG, 2003).

A Figura 19 mostra o conversor proposto por este trabalho, com as principais células de chaves bidirecionais, apresentando os nós de referência utilizados para os circuitos de *driver* necessários para o comando da topologia.

A Tabela 1 nos apresenta a quantidade de nós utilizados para as fontes de tensão isoladas para os circuitos de acionamento dos IGBTs em cada uma das três diferentes montagens do circuito proposto apresentadas na Figura 19. Pode-se notar que nas configurações de chave bidirecional com ponte completa de diodos e na configuração de dois IGBTs com emissor comum são necessárias 5 fontes isoladas para alimentar os circuitos de chaveamento, enquanto na versão com coletor comum, são necessárias apenas 4 fontes, cada uma assumindo a alimentação do *driver* de dois IGBTs.

Tabela 1: Nós de referência para os circuitos de acionamento das chaves do inversor proposto montado com as três principais chaves bidirecionais.

Nó	Figura 19a (Ponte-Completa)	Figura 19b (Coletor Comum)	Figura 19c (Emissor Comum)
A	Q_1	Q_1	Q_1, Q_{5a}
B	Q_2	Q_2	Q_2, Q_{6b}
C	Q_3, Q_4	Q_3, Q_4	Q_3, Q_4
D	Q_5	Q_{5a}, Q_{5b}	Q_{5b}, Q_{6a}
E	Q_6	Q_{6a}, Q_{6b}	não utilizado

A configuração em “T” das chaves apresentadas nas Figuras 19b e 19c, é comumente utilizada em inversores de três níveis, como variação do braço NPC para três níveis já citado, e são denominados braços NPC-T. Particularmente em aplicações para conversão de energia fotovoltaica, essa configuração é também chamada de Conergy NPC, por ter sido a primeira empresa a introduzir a técnica em seus inversores (ABU-RUB, 2014d). Alguns fabricantes de semicondutores já apresentam módulos de potência com o braço NPC-T completo, tais como a Semikron (apresentando módulos com chave bidirecional de emissor comum e de coletor comum), a MicroSemi, com Mosfets de Carbetto de Silício nas chaves do braço convencional, e IGBTs na chave bidirecional e a Fuji Electric, com RB-IGBT na chave bidirecional (SEMIKRON, 2017; Fuji Electric, 2017; MICROSEMI, 2017).

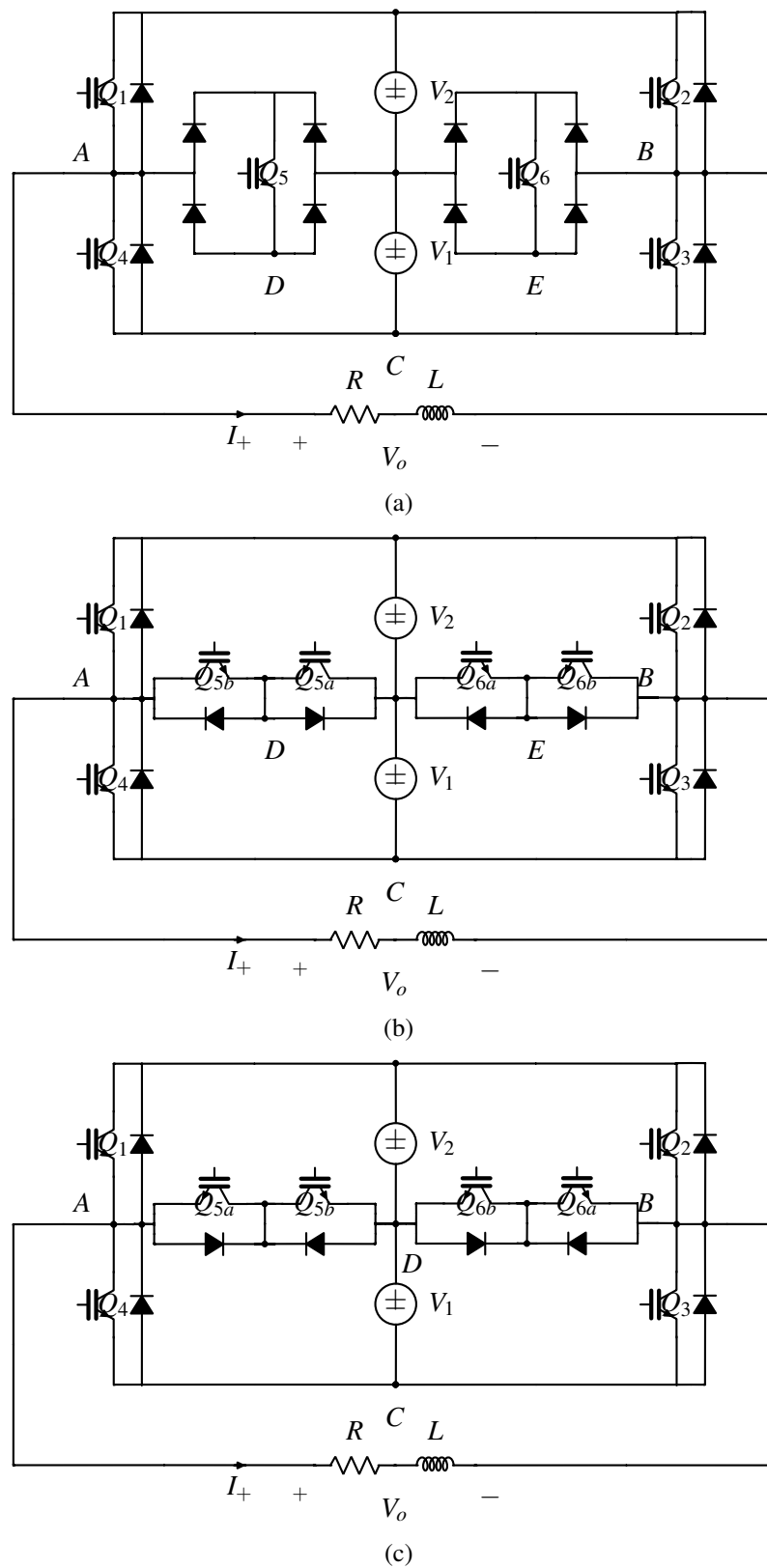


Figura 19: Conversor proposto com as principais células de chaves bidirecionais, apresentando os nós de referência necessários para os circuitos de *driver*. (a) Utilizando chave bidirecional com um IGBT em ponte completa; (b) Utilizando chave bidirecional com dois IGBTs em configuração de emissor comum; (c) Utilizando chave bidirecional com dois IGBTs em configuração de coletor comum.

Nas próximas seções uma nova abordagem para um inversor de sete níveis é demonstrada a partir de uma melhoria no inversor de cinco níveis proposto por Park, Kang, Lee e Kim (2003), apresentado na Figura 20. O conversor proposto no artigo possui dois braços com diferentes pontos de conexão. O sistema assemelha-se a uma ponte H, mas com o barramento dividido de forma simétrica, com duas fontes (V_1 e V_2) de mesmo valor, V . Um dos braços possui uma conexão extra ao centro do barramento por meio do uso de uma chave bidirecional. Com isso pode-se obter na saída, entre os pontos centrais dos braços, as tensões de $-V_2 = -V$, $-(V_1 + V_2) = -2 \cdot V$, 0 V , $+V_1 = +V$ e $+(V_1 + V_2) = +2 \cdot V$.

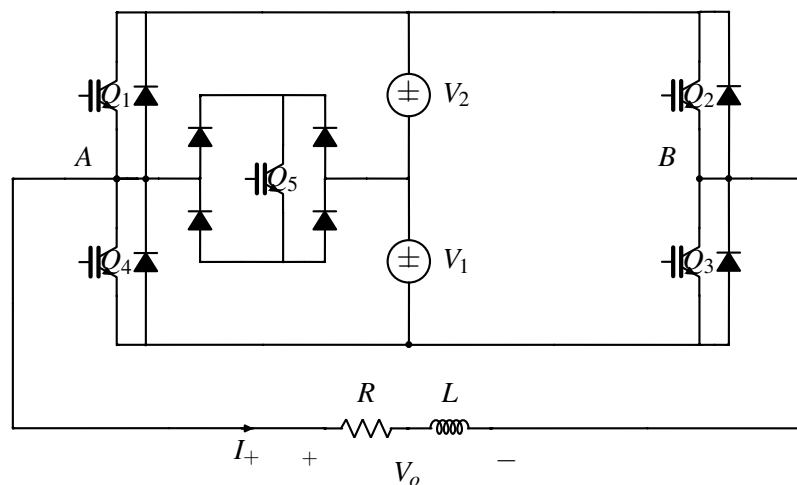


Figura 20: Inversor de cinco níveis no qual foi baseado o conversor deste trabalho. Fonte: Adaptado de Park, Kang, Lee e Kim (2003).

2.7 CONCLUSÃO SOBRE INVERSORES MULTINÍVEIS

Neste capítulo foi apresentado o campo técnico no qual a proposta deste trabalho se fundamenta: a definição de inversores multiníveis assim como suas funções. Mostrou-se que as principais vantagens obtidas nessa família de inversores consiste na redução da distorção harmônica total dos inversores, a possibilidade de redução dos componentes magnéticos dos filtros utilizados, e em alguns casos, a redução da tensão de bloqueio sobre as chaves utilizadas. Foram ainda apresentadas três topologias clássicas e quatro propostas com número reduzido de chaves. Foram citadas e esplanadas algumas características utilizadas para a classificação dos inversores multiníveis, assim como as principais aplicações da técnica multinível.

Apresentou-se algumas técnicas de modulação da tensão de saída para inversores multiníveis de tensão e algumas formas construtivas de chaves bidirecionais, que serão peça fundamental para a apresentação e funcionamento da topologia proposta por este trabalho,

conforme apresentado na Figura 19, que apresenta a topologia proposta, montada com três configurações de chave bidirecional. Por fim, foi apresentada a topologia de inversor cinco níveis que serviu como base para este trabalho.

Nas próximas seções a nova proposta para um inversor de sete níveis é discutida, seus princípios de operação e suas equações lógicas para o controle das chaves serão analisadas teoricamente, permitindo uma implementação de um modelo para simulação, validando o funcionamento do conversor, de comando de suas chaves e permitindo um posterior desenvolvimento de protótipo para verificação real do seu desempenho.

3 INVERSOR SETE NÍVEIS PROPOSTO

O inversor proposto origina-se a partir de uma modificação do circuito apresentado na Figura 20. Para se obter o conversor de Park, Kang, Lee e Kim (2003), são utilizados quatro chaves (Q_1 a Q_4) em uma configuração de ponte completa. Uma chave bidirecional (Q_5) é inserida, entre o ponto central das fontes de tensão e um dos braços. Adicionalmente, insere-se uma segunda chave bidirecional (Q_6) no braço não modificado, de forma que os dois braços sejam equivalentes em funcionalidade. Com isso, cada ponto **A** ou **B** no circuito pode ser conectado aos terminais de referência (0 V), V_1 ou $V_1 + V_2$, conforme apresentado na Figura 21. Uma carga indutiva com resistência série é conectada entre os pontos **A** e **B** de forma a representar uma carga genérica acoplada à saída do inversor. Ganha-se assim redundância na criação de alguns níveis, por ser agora possível conectar qualquer uma das fontes do circuito (V_1 e V_2) aos terminais de saída **A** e **B**, em qualquer polaridade. Logo, é possível a conexão das seguintes configurações à saída: $V_1 + V_2$, V_2 , V_1 , 0 V, $-V_1$, $-V_2$ e $-(V_1 + V_2)$.

Com a nova configuração de tensão de saída, pode-se alterar a relação de tensão entre as fontes de tensão V_1 e V_2 . Assumindo que $V_2 > V_1$, pode-se escolher os valores das fontes de forma que a diferença entre os níveis 0 V, V_1 , V_2 e $V_1 + V_2$ seja o mesmo. Para tal é necessário que:

$$V_2 = 2 \cdot V_1 \quad (6)$$

Chamando a tensão de V_1 de V_c , que será a amplitude das portadoras, pode-se obter com a configuração correta do acionamento das chaves, as seguintes tensões entre os pontos **A** e **B** do inversor, configurando-o como um inversor de sete níveis: $3 \cdot V_c$, $2 \cdot V_c$, V_c , 0 V, $-V_c$, $-2 \cdot V_c$ e $-3 \cdot V_c$. Para tal são necessários duas fontes de tensão e seis chaves, sendo quatro chaves unidirecionais com diodo reverso para grampeamento e duas chaves bidirecionais.

A Tabela 2 apresenta todos os estados válidos das chaves e suas respectivas tensões de saída nos terminais do inversor. A condução das chaves é simbolizada pelo número 1 e o bloqueio pelo número 0. Uma corrente de saída I_o positiva (de **A** a **B**) é representada por I_+

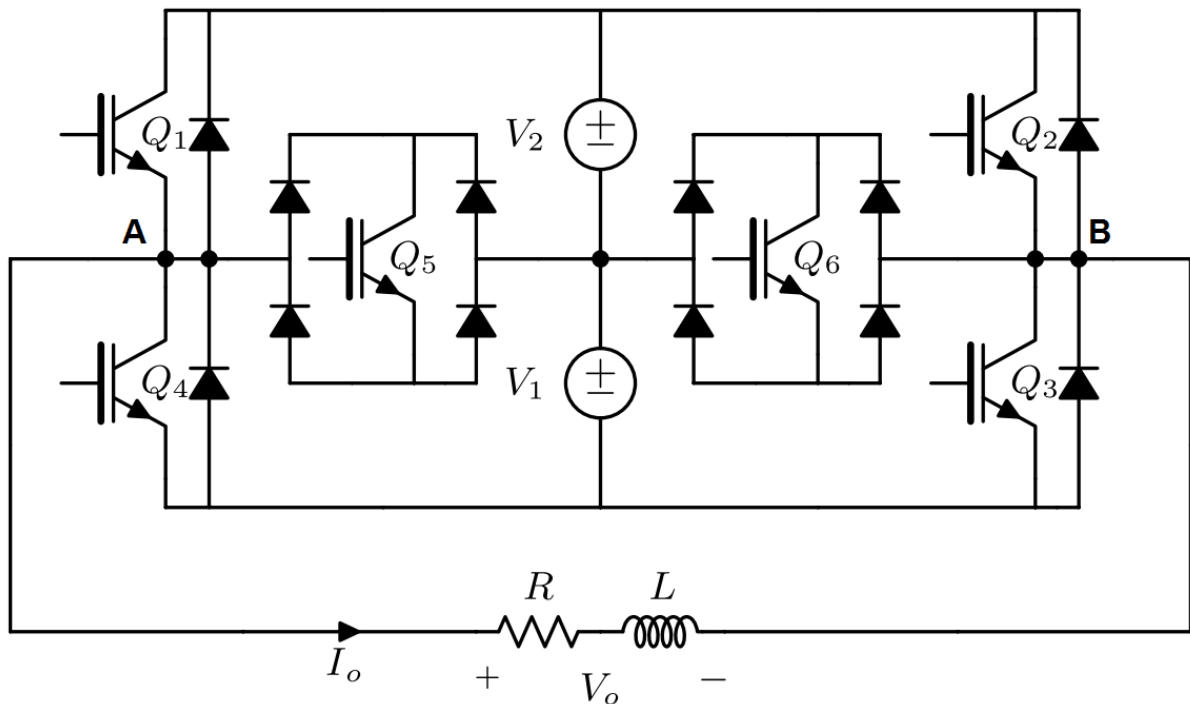


Figura 21: Inversor sete níveis monofásico proposto com número reduzido de chaves.

e uma corrente negativa (de **B** a **A**) por I_o , conforme as direções apresentadas na Figura 21. Os estados não apresentados foram excluídos da tabela por implicarem em curto-circuito nas fontes de tensão dado, que em qualquer braço, apenas uma das chaves pode estar ativa. No caso de duas chaves de um mesmo braço serem comandadas, ocorre um curto circuito em uma das fontes (chave bidirecional e chave superior ou inferior do braço) ou na conexão série das fontes (chave superior e inferior do braço). Deve-se notar que em todos os níveis não nulos, somente duas chaves estão ativas no circuito.

Os estados a a k apresentam as tensões de saída desejadas para o inversor. Pode-se notar que há redundância na criação de tensão nula na saída. Os estados n a q possuem uma chave ativa apenas e apresentam tensão nula na saída para um dos sentidos de corrente, e tem a tensão de saída grampeada ao barramento no sentido reverso. Os três estados d , e e f também geram tensão nula na saída, mas, por permitirem a circulação de corrente em ambos os sentidos, a tensão de saída nestes casos é idealmente nula. O caso k demonstra que a tensão de saída será grampeada à tensão do barramento caso nenhuma chave esteja ativa, e os casos l e m apresentam diferentes valores de grampeamento da tensão de saída, dependendo de qual chave bidirecional está ativa e do sentido da corrente de saída.

Analisando os estados na Tabela 2 é possível determinar o comando para as chaves de forma a se obter uma transição entre estes níveis por meio de uma modulação por largura de pulso, alternando o comando das chaves entre dois estados de forma que a tensão média de

Tabela 2: Configurações válidas dos estados das chaves e respectiva tensão de saída do inversor.

Caso	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	V_o [V]	Particularidade
<i>a</i>	0	1	0	1	0	0	$-(V_1 + V_2)$	
<i>b</i>	0	1	0	0	1	0	$-V_2$	
<i>c</i>	0	0	0	1	0	1	$-V_1$	
<i>d</i>	0	0	0	0	1	1	0	Roda-livre para I_+ e I_-
<i>e</i>	0	0	1	1	0	0	0	Roda-livre para I_+ e I_-
<i>f</i>	1	1	0	0	0	0	0	Roda-livre para I_+ e I_-
<i>g</i>	0	0	1	0	1	0	$+V_1$	
<i>h</i>	1	0	0	0	0	1	$+V_2$	
<i>i</i>	1	0	1	0	0	0	$+V_1 + V_2$	
<i>k</i>	0	0	0	0	0	0	0	Grampeamento por $(V_1 + V_2)$ para I_+ ou I_- .
<i>l</i>	0	0	0	0	0	1	0	Grampeamento por V_1 para I_+ , por V_2 para I_- .
<i>m</i>	0	0	0	0	1	0	0	Grampeamento por V_1 para I_- , por V_2 para I_+ .
<i>n</i>	0	0	1	0	0	0	0	Roda-livre para I_+ , grampeamento por $(V_1 + V_2)$ para I_- .
<i>o</i>	0	0	0	1	0	0	0	Roda-livre para I_- , grampeamento por $(V_1 + V_2)$ para I_+ .
<i>p</i>	1	0	0	0	0	0	0	Roda-livre para I_+ , grampeamento por $(V_1 + V_2)$ para I_- .
<i>q</i>	0	1	0	0	0	0	0	Roda-livre para I_- , grampeamento por $(V_1 + V_2)$ para I_+ .

saída em um período de chaveamento seja equivalente ao valor de referência desejado. Essa análise é apresentada na Tabela 3. Nesta tabela, um aumento na razão cíclica D é responsável por um aumento no valor da tensão de saída entre os níveis de tensão do modo. De fato, um aumento linear de D entre 0 e 1 gera um aumento linear entre as tensões mínima e máxima do respectivo intervalo. O complemento da razão cíclica é representado por D' .

Tabela 3: Lógica de chaveamento para sintetização da tensão de saída e número de elementos ativos chaveando em cada modo.

Intervalo	V_o [V]	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Chaves Em Condução
A	0 para $+V_1$	0	0	1	D'	D	0	2
B	$+V_1$ para $+V_2$	D	0	D'	0	D'	D	4
C	$+V_2$ para $+(V_1 + V_2)$	1	0	D	0	0	D'	2
D	$-V_1$ para 0	0	0	D	1	0	D'	2
E	$-V_2$ para $-V_1$	0	D'	0	D	D'	D	4
F	$-(V_1 + V_2)$ para $-V_2$	0	1	0	D'	D	0	2

Para o chaveamento entre a tensão nula e o primeiro nível positivo (caso g), existem três casos possíveis com tensão nula nos dois sentidos de corrente que podem ser escolhidos:

d , e , e f . O caso f possui quatro chaves com valores diferentes de g , o que significa que a cada comutação entre os casos, duas chaves seriam ativadas e outras duas desligadas para se fazer a modulação entre estes dois níveis, e portanto não foi escolhido, dado que os outros dois casos possuem apenas duas chaves com valores diferentes. O caso d , por sua vez, tem uma das chaves bidirecionais que seria chaveada para a modulação, o que agrega maiores perdas de chaveamento que uma chave simples devido à sua construção com dois ou mais semicondutores. Escolheu-se portanto o caso e como caso padrão para o nível zero de tensão de saída, dado que é o caso com menor número de elementos série para se obter esta condição, e no menor número de comutações para atingir o nível seguinte, resultando na menor perda de comutação e condução possível entre as opções. A mesma lógica e estado se aplicam para a obtenção da modulação ao primeiro nível negativo, representado pelo estado c .

Mesmo com uma quantidade diferente de elementos sendo chaveados em cada intervalo (duas ou quatro chaves), apenas duas chaves permanecem conduzindo em qualquer instante do chaveamento, uma em cada braço. Essa afirmação é válida mesmo para os instantes em que a tensão de saída é nula, dado que para tal foi escolhido um estado de roda-livre para qualquer sentido de corrente, com duas chaves ativas.

A Figura 22 apresenta os casos a a q descritos na Tabela 2. Para cada caso, o caminho da corrente positiva e negativa são desenhados de forma a mostrar a tensão aplicada aos terminais de saída do inversor e os elementos em condução. Apesar dos casos k a q não serem explicitamente utilizados na modulação das diferentes tensões de saída, eles são obtidos durante curtos intervalos de tempo durante a transição entre os outros casos, devido ao tempo morto que deve ser adicionado entre a abertura de uma chave e o fechamento de outra de forma a evitar perdas durante o cruzamento das chaves. A comutação e lógica de funcionamento com tempo morto será abordada na seção 5.2.

3.1 FORMAS DE ONDA DO INVERSOR

A Figura 23 demonstra a tensão de referência a ser sintetizada que explicam a funcionalidade do inversor.

A tensão de referência V_{ref} com uma amplitude V_p é comparada com 6 portadoras triangulares (C_a a C_f), cada uma com amplitude equivalente à tensão de V_1 , uma para cada modo, posicionada entre seus respectivos níveis de tensão. A técnica de modulação escolhida para exemplificar o funcionamento deste inversor foi a modulação por largura de pulso, com disposição das portadoras em oposição de fase (PWM-POD). Seis diferentes períodos P_1 a

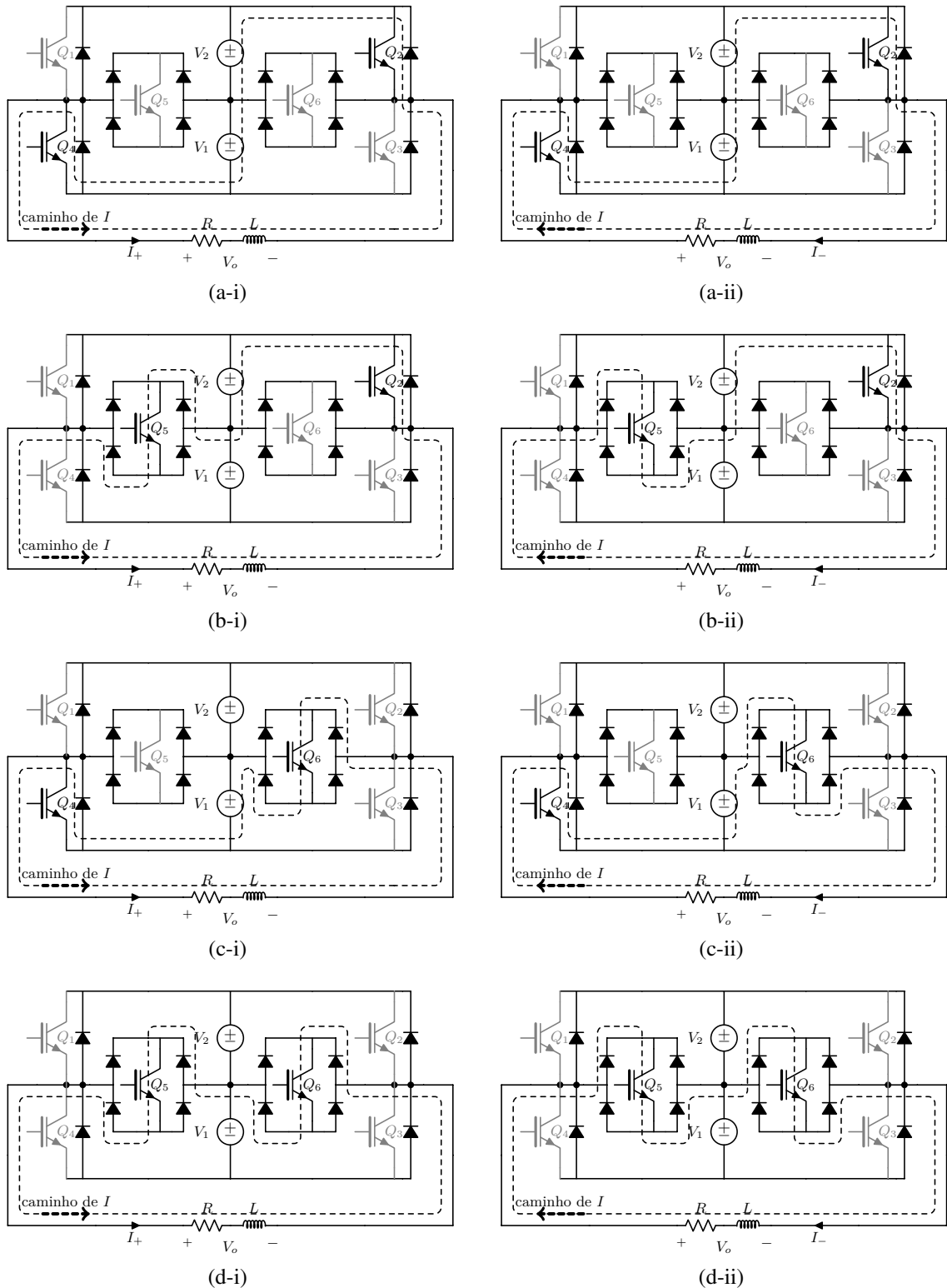


Figura 22: Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante. (a-i) Chaves 2 e 4 ativas, tensão de saída $-(V_1 + V_2)$, corrente positiva; (a-ii) Chaves 2 e 4 ativas, tensão de saída $-(V_1 + V_2)$, corrente negativa; (b-i) Chaves 2 e 5 ativas, tensão de saída $-V_2$, corrente positiva; (b-ii) Chaves 2 e 5 ativas, tensão de saída $-V_2$, corrente negativa; (c-i) Chaves 4 e 6 ativas, tensão de saída $-V_1$, corrente positiva; (c-ii) Chaves 4 e 6 ativas, tensão de saída $-V_1$, corrente negativa; (d-i) Chaves 5 e 6 ativas, tensão de saída 0 V , corrente positiva; (d-ii) Chaves 5 e 6 ativas, tensão de saída 0 V , corrente negativa.

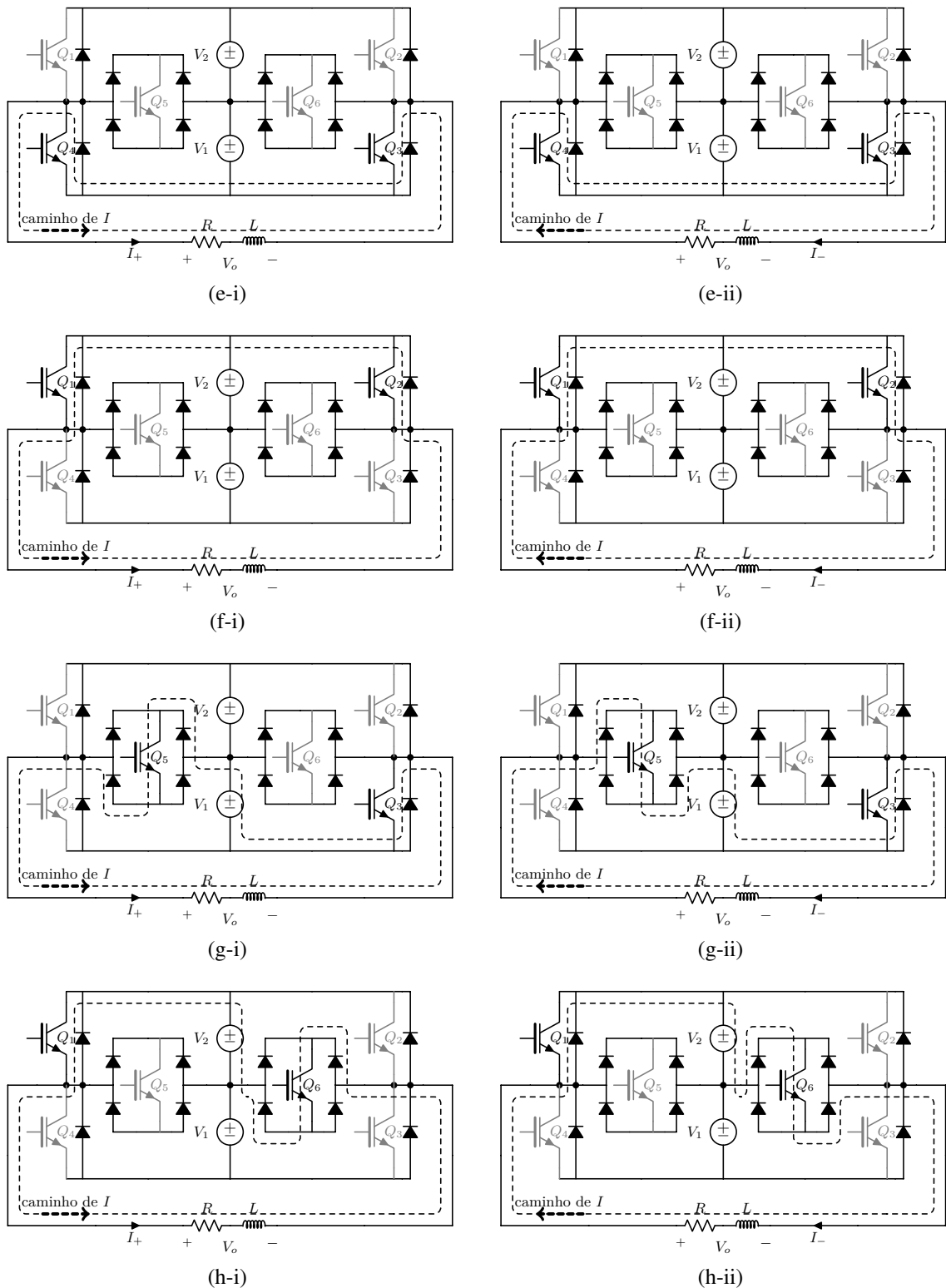


Figura 22: Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante. (e-i) Chaves 3 e 4 ativas, tensão de saída 0 V, corrente positiva; (e-ii) Chaves 3 e 4 ativas, tensão de saída 0 V, corrente negativa; (f-i) Chaves 1 e 2 ativas, tensão de saída 0 V, corrente positiva; (f-ii) Chaves 1 e 2 ativas, tensão de saída 0 V, corrente negativa; (g-i) Chaves 3 e 5 ativas, tensão de saída V_1 , corrente positiva; (g-ii) Chaves 3 e 5 ativas, tensão de saída V_1 , corrente negativa; (h-i) Chaves 1 e 6 ativas, tensão de saída V_2 , corrente positiva; (h-ii) Chaves 1 e 6 ativas, tensão de saída V_2 , corrente negativa.

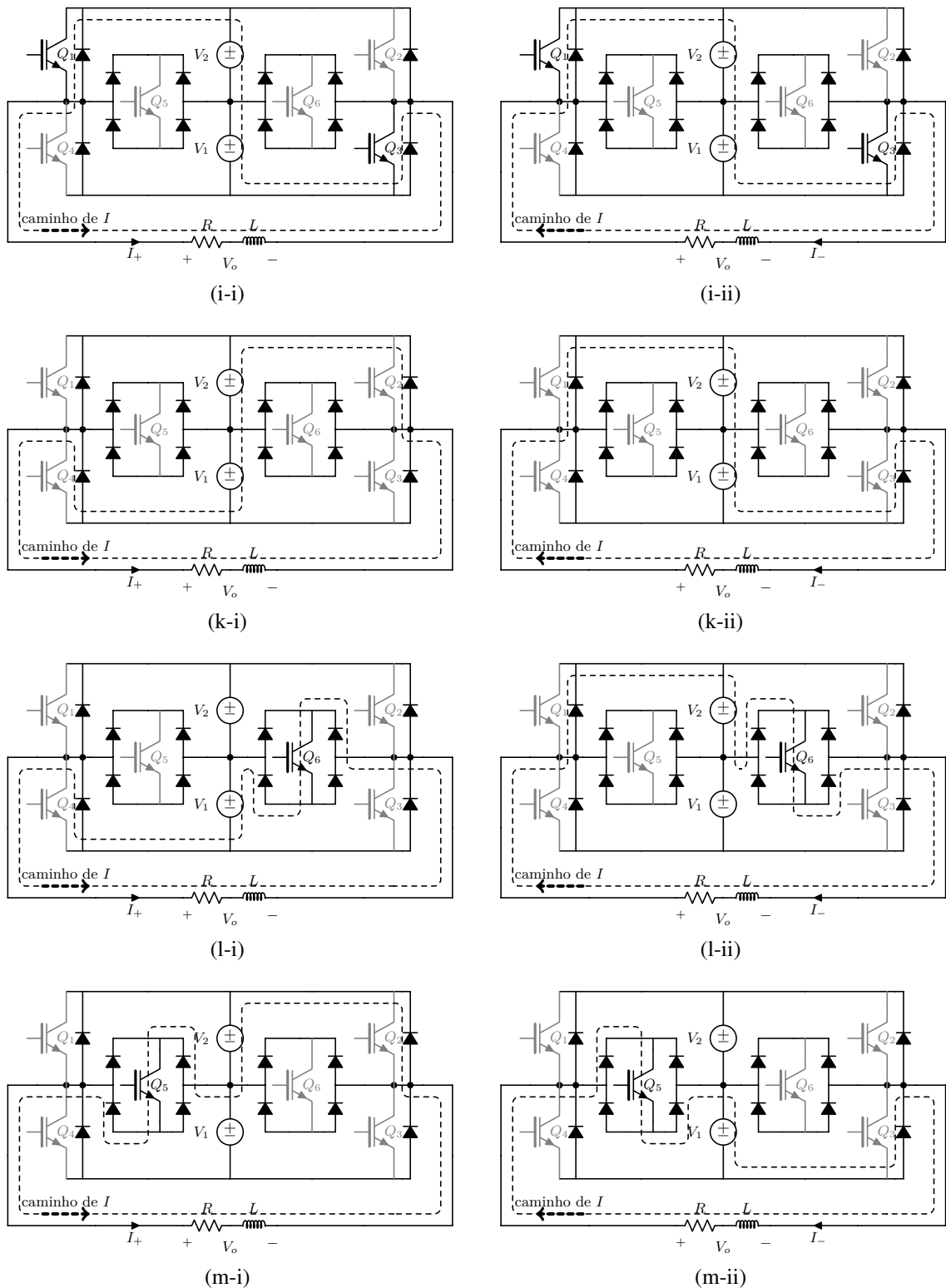


Figura 22: Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante. (i-i) Chaves 2 e 5 ativas, tensão de saída $V_1 + V_2$, corrente positiva; (i-ii) Chaves 2 e 5 ativas, tensão de saída $V_1 + V_2$, corrente negativa; (k-i) Nenhuma chave ativa, grampeamento de $-(V_1 + V_2)$ para corrente positiva; (k-ii) Nenhuma chave ativa, grampeamento de $V_1 + V_2$ para corrente negativa; (l-i) Chaves 6 ativa, grampeamento de $-V_1$ para corrente positiva; (l-ii) Chaves 6 ativa, grampeamento de V_2 para corrente negativa; (m-i) Chaves 5 ativa, grampeamento de $-V_2$ para corrente positiva; (m-ii) Chaves 5 ativa, grampeamento de V_1 para corrente negativa.

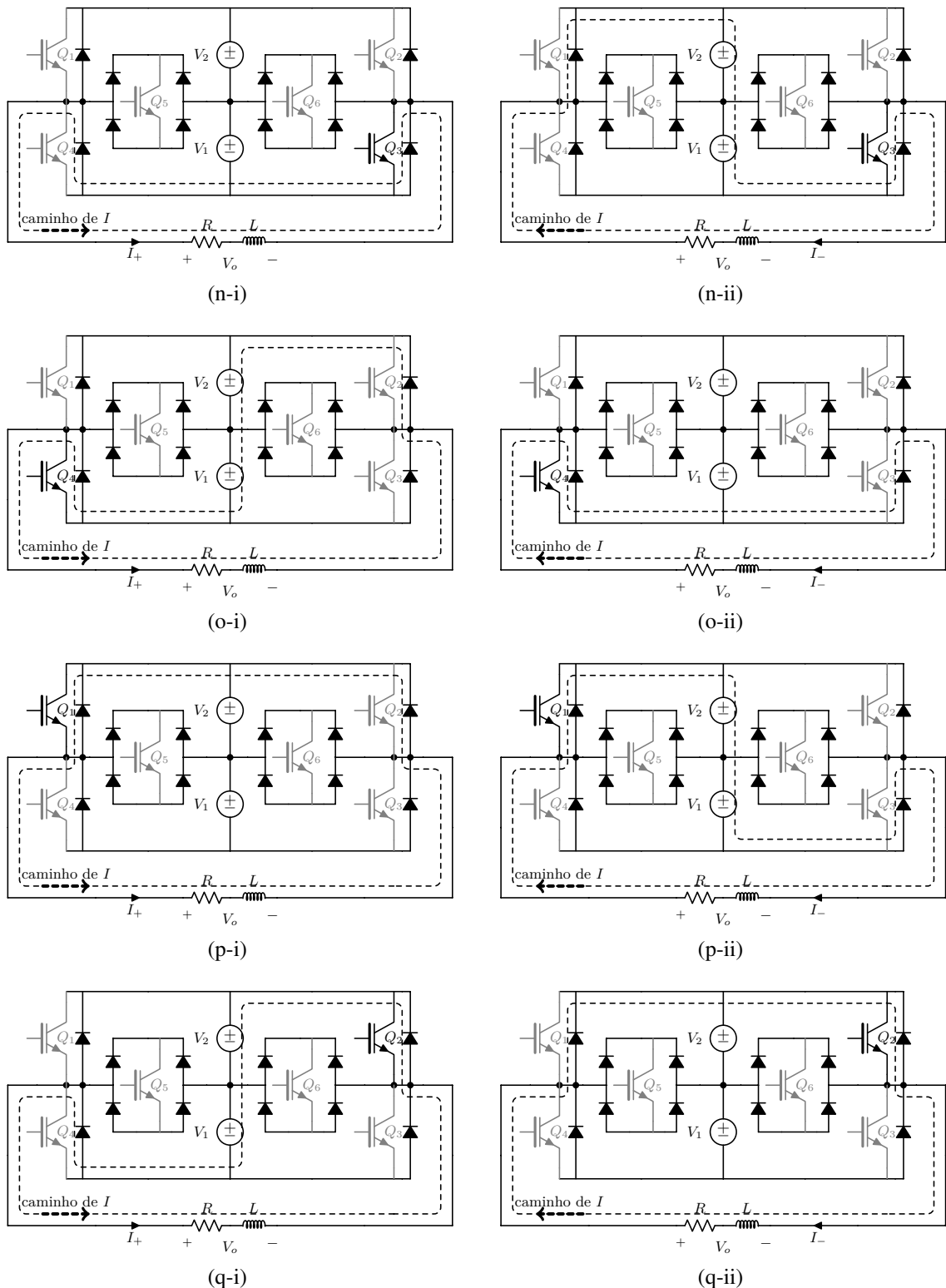


Figura 22: Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante. (n-i) Chave 3 ativa, roda livre para corrente positiva; (n-ii) Chave 3 ativa, grampeamento de $V_1 + V_2$ para corrente negativa; (o-i) Chave 4 ativa, grampeamento de $-(V_1 + V_2)$ para corrente positiva; (o-ii) Chave 4 ativa, roda livre para corrente negativa; (p-i) Chave 1 ativa, roda livre para corrente positiva; (p-ii) Chave 1 ativa, grampeamento de $V_1 + V_2$ para corrente negativa; (q-i) Chave 2 ativa, grampeamento de $-(V_1 + V_2)$ para corrente positiva. (q-ii) Chave 2 ativa, roda livre para corrente negativa;

P_6 constituem o período completo da tensão de referência, e determinam qual o intervalo da Tabela 3 que está ativo no inversor. A tensão de saída V_o é gerada a partir do comando das chaves, gerado a partir da comparação das portadoras com o sinal de referência, e da detecção do intervalo de chaveamento em questão. O valor de saída C_a a C_f dos comparadores é verdadeiro quando a tensão de referência V_{ref} é maior que a respectiva portadora, e falso caso contrário.

3.2 EQUAÇÕES DE CHAVEAMENTO

A fim de se obter a tensão de saída desejada nos terminais de saída do inversor, as chaves devem estar em seus estados determinados pela Tabela 2. Assumindo que para obtermos os sete níveis, a amplitude da referência deve ter seu valor entre os valores dos dois maiores níveis e a relação 7 deve ser verdadeira:

$$V_2 < V_p < (V_1 + V_2) \quad (7)$$

A partir desta relação, os ângulos θ_1 a θ_8 em que o sinal de referência intercepta os níveis possíveis de serem alcançados, como apresentados na Figura 23, são determinados pelas Equações 8 a 15 e abaixo:

$$\theta_1 = \arcsin\left(\frac{V_1}{V_p}\right) \quad (8)$$

$$\theta_2 = \arcsin\left(\frac{V_2}{V_p}\right) \quad (9)$$

$$\theta_3 = \pi - \theta_2 \quad (10)$$

$$\theta_4 = \pi - \theta_1 \quad (11)$$

$$\theta_5 = \pi + \theta_1 \quad (12)$$

$$\theta_6 = \pi + \theta_2 \quad (13)$$

$$\theta_7 = 2\pi - \theta_2 \quad (14)$$

$$\theta_8 = 2\pi - \theta_1 \quad (15)$$

Uma vez definidos os intervalos de funcionamento para cada modo utilizando os ângulos citados apresentados na Figura 23 é possível determinar os intervalos de forma tal

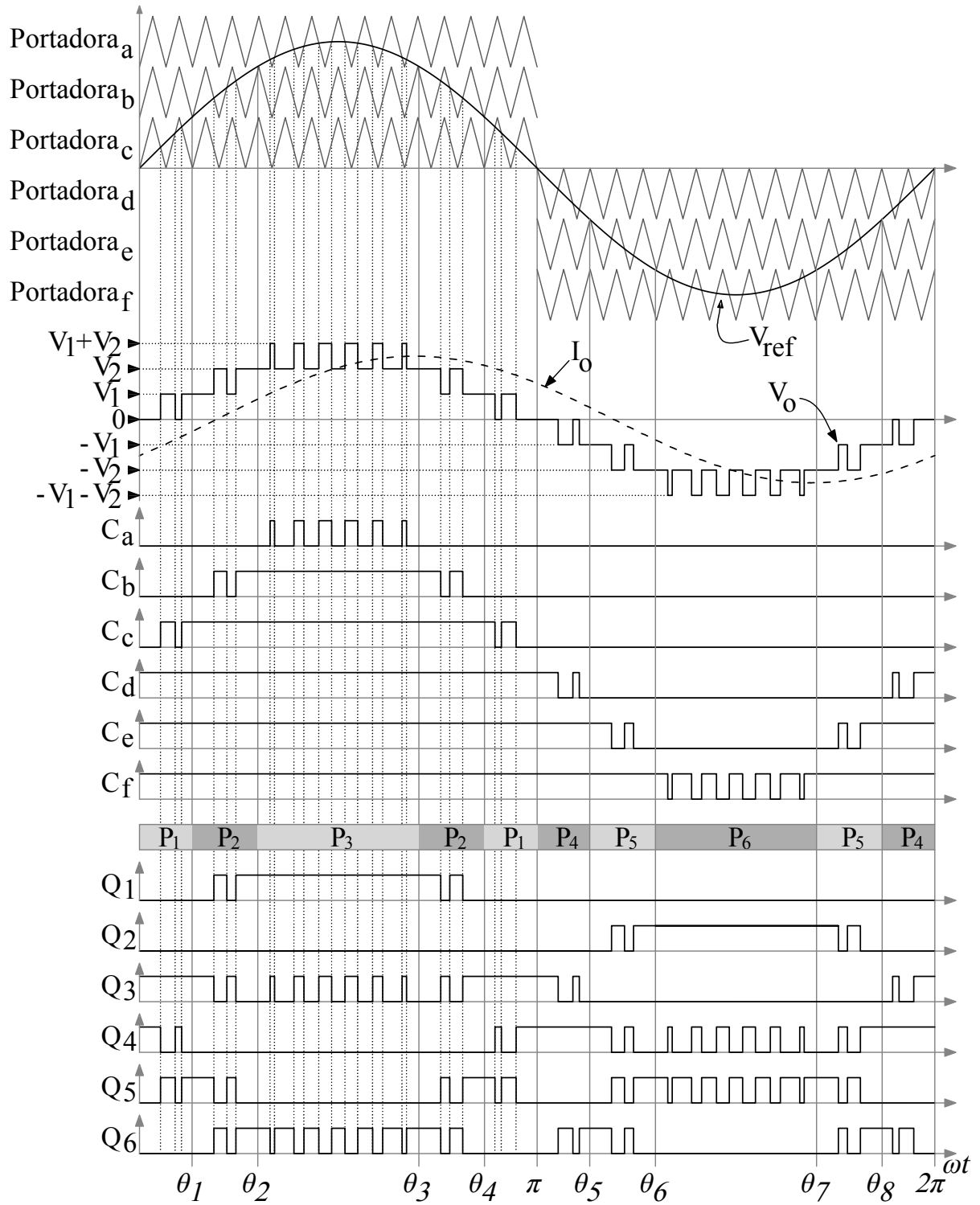


Figura 23: Formas de onda de chaveamento do inversor sete-níveis proposto.

que:

$$P_1 = \text{Intervalo A: } 0 < \omega t \leq \theta_1, \theta_4 < \omega t \leq \pi \quad (16)$$

$$P_2 = \text{Intervalo B: } \theta_1 < \omega t \leq \theta_2, \theta_3 < \omega t \leq \theta_4 \quad (17)$$

$$P_3 = \text{Intervalo C: } \theta_2 < \omega t \leq \theta_3 \quad (18)$$

$$P_4 = \text{Intervalo D: } \pi < \omega t \leq \theta_5, \theta_8 < \omega t \leq 2\pi \quad (19)$$

$$P_5 = \text{Intervalo E: } \theta_5 < \omega t \leq \theta_6, \theta_7 < \omega t \leq \theta_8 \quad (20)$$

$$P_6 = \text{Intervalo F: } \theta_6 < \omega t \leq \theta_7 \quad (21)$$

Os intervalos também podem ser definidos pela comparação da tensão de referência com os níveis intermediários obteníveis:

$$P_1 = \text{Intervalo A: } 0 \leq V_p(t) < +V_1 \quad (22)$$

$$P_2 = \text{Intervalo B: } +V_1 \leq V_p(t) < +V_2 \quad (23)$$

$$P_3 = \text{Intervalo C: } +V_2 \leq V_p(t) \leq +(V_1 + V_2) \quad (24)$$

$$P_4 = \text{Intervalo D: } -V_1 \leq V_p(t) < 0 \quad (25)$$

$$P_5 = \text{Intervalo E: } -V_2 \leq V_p(t) < -V_1 \quad (26)$$

$$P_6 = \text{Intervalo F: } -(V_1 + V_2) \leq V_p(t) < -V_2 \quad (27)$$

Finalmente, as funções de acionamento para as chaves Q_1 a Q_6 podem ser derivadas pelas operações lógicas *E* (*AND*, representado por “.”), *NEGAÇÃO* (*NOT*, representado pela barra “ $\bar{}$ ”) e *OU* (*OR*, representado pela soma “+”), utilizando-se das equações dos comparadores das portadoras e dos intervalos em que as chaves devem estar conduzindo, bloqueadas ou em chaveamento:

$$Q_1 = P_2 \cdot C_b + P_3 \quad (28)$$

$$Q_2 = P_5 \cdot \bar{C}_e + P_6 \quad (29)$$

$$Q_3 = P_1 + P_2 \cdot \bar{C}_b + P_3 \cdot C_a + P_4 \cdot C_d \quad (30)$$

$$Q_4 = P_1 \cdot \bar{C}_c + P_4 + P_5 \cdot C_e + P_6 \cdot \bar{C}_f \quad (31)$$

$$Q_5 = P_1 \cdot C_c + P_2 \cdot \bar{C}_b + P_5 \cdot \bar{C}_e + P_6 \cdot C_f \quad (32)$$

$$Q_6 = P_2 \cdot C_b + P_3 \cdot \bar{C}_a + P_4 \cdot \bar{C}_d + P_5 \cdot C_e \quad (33)$$

As Equações (28) a (33) podem ser ainda simplificadas, utilizando-se apenas os resultados dos

comparadores, conforme demonstram as Equações (34) a (39):

$$Q_1 = C_b \quad (34)$$

$$Q_2 = \overline{C_e} \quad (35)$$

$$Q_3 = C_a + \overline{C_b} \cdot C_d \quad (36)$$

$$Q_4 = \overline{C_c} \cdot C_e + \overline{C_f} \quad (37)$$

$$Q_5 = \overline{C_b} \cdot C_c + \overline{C_e} \cdot C_f \quad (38)$$

$$Q_6 = \overline{C_a} \cdot C_b + \overline{C_d} \cdot C_e \quad (39)$$

3.3 COMPARATIVO CONSTRUTIVO DAS TOPOLOGIAS APRESENTADAS

De forma a comparar as topologias citadas anteriormente e a topologia sugerida por este trabalho, a Tabela 4 foi organizada e apresenta um sumário dos principais elementos construtivos das topologias apresentadas, utilizando a forma mais simples de construção, isto é, sem necessidade de balanceamento de tensão entre as chaves existentes. A topologia deste trabalho é tabulada em duas versões, com montagem de chave bidirecional em ponte de diodos, estudada neste capítulo, e de duas chaves série com coletor comum, que foi apresentada na Figura 19c, e será analisada posteriormente na Seção 5.3.

Tabela 4: Tabela Comparativa dos elementos construtivos das topologias apresentadas.

Topologia	Células H	NPC a Diodo	NPC a Capacitor	Célula U	H modificado	H assimétrico	Barramento Chaveado	NPC assimétrico com ponte	NPC assimétrico coletor comum
Figura	4	5a	6a	7	8	sem	9	19a	19c
Fontes Não Isoladas	0	1	1	1	0	0	0	2	2
Fontes Isoladas	3	0	0	0	2	2	2	0	0
Chaves com Diodo	12	12	12	6	4	8	6	4	4
Chaves Bidirecionais	0	0	0	0	2	0	0	2	2
Total Chaves Controladas	12	12	12	6	6/8	8	6	6	8
Outros diodos	0	10	0	0	0	0	2	0	0
Capacitores Extras	0	6	7	1	0	0	0	0	0
Fontes Auxiliares para drivers	9	12	12	5	6	6	6	5	4

É possível observar que a versão montada com chave bidirecional de coletor comum, com uso de chave bidirecional de coletor comum, é a que apresenta a menor quantidade de fontes auxiliares necessárias para alimentação do comando das chaves. Apesar de possuir duas chaves a mais, elimina a necessidade dos diodos das pontes da chave bidirecional em ponte. Comparativamente às outras topologias, a topologia proposta por este trabalho possui um número reduzido de chaves ativas (seis ou oito), e se compara às propostas da célula H modificada com duas divisões do barramento, à proposta do conversor com barramento chaveado e à topologia de duas células H assimétricas, em que uma célula tem o dobro da

tensão da outra. Dentre as topologias com número reduzido de chaves, é a única que apresenta o barramento conectado em série, não exigindo isolamento entre as fontes de entrada do circuito ou no circuito auxiliar de geração de um barramento a partir do outro.

3.4 LIMITAÇÕES DO INVERSOR

As principais limitações do inversor proposto são a tensão total do barramento e a corrente de saída desejada. Estes dois fatores limitam a potência máxima do conversor proposto. A tensão é um fator limitante devido à ausência de redução de tensão sobre as chaves, e assim, a menor tensão suportada por cada elemento do inversor se torna a maior tensão teórica possível no barramento, sendo a máxima tensão prática um valor reduzido de forma a prover uma margem de segurança. A chave bidirecional, dependendo da configuração, pode apresentar uma redução da tensão sobre seus elementos, tornando as chaves externas (Q_1 a Q_4) os principais limitadores. Assim, frente aos componentes comercialmente disponíveis atualmente a tensão total do barramento limitaria-se a 1200 V.

A limitação de corrente pode ser transposta através do uso de paralelismo de semicondutores. Muitas das tecnologias atuais de confecção de IGBTs possuem um coeficiente positivo de temperatura, isto é, a tensão de condução da chave aumenta com o aumento de temperatura. Dessa forma, duas chaves em paralelo tendem a manter um equilíbrio próximo de corrente entre si, dado que um aumento de corrente em um dos elementos faz com que sua tensão de condução aumente, desviando corrente pelo outro elemento. Esta característica, porém, é negativa nos diodos de silício, de forma que um balanço de corrente entre os elementos não é assegurado, limitando a corrente máxima principalmente nas chaves bidirecionais. Atualmente existem diodos de carbeto de silício com coeficiente térmico positivo, que podem auxiliar destes elementos.

O inversor proposto pode ainda ser construído com mais um braço de comutação, duplicando um dos lados do inversor, e conectando a chave bidirecional ao centro do barramento. Com este terceiro braço de comutação é possível a construção de uma versão trifásica sem neutro do inversor. Devido à não simetria entre os barramentos, nem todas as posições do diagrama de estados do inversor são existentes, e uma estratégia de modulação deve ser elaborada para decidir a melhor transição através dos pontos inexistentes. A Figura 24 apresenta as posições possíveis, a partir dos três estados de cada braço, em relação à referência do barramento: Tensão nula (representado por 0), V_1 (1) e $V_1 + V_2 = 3V_1$ (3). Devido à ausência de alguns pontos, o inversor não se comportará exatamente como um inversor sete níveis, de forma que alguns "degraus" de tensão serão maiores que o estudado na versão monofásica. A

Figura 25 apresenta as tensões de linha de saída para um índice de modulação $m_a = 1$, em uma modulação de espaço vetorial, onde o estado ativo é o estado do ponto mais próximo ao vetor circulante.

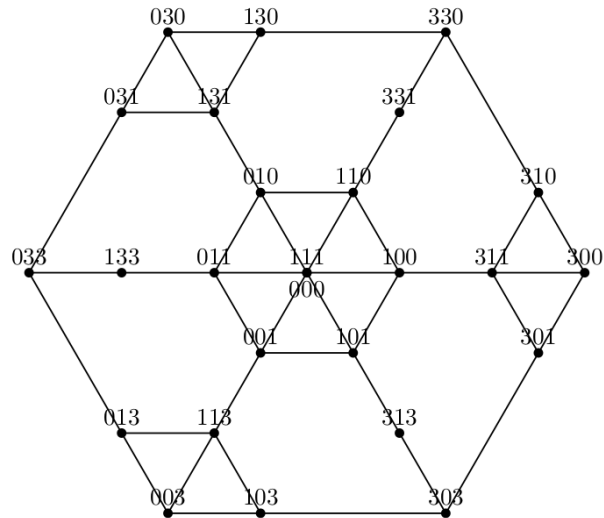


Figura 24: Diagrama de estados das tensões de saída de acordo com vetores dos estados dos braços para uma versão trifásico do inversor proposto

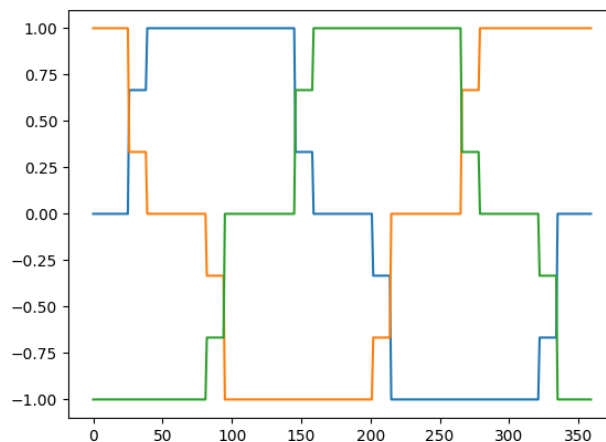


Figura 25: Tensões de linha para uma versão trifásico do inversor proposto, comandado pela estratégia de modulação *space vector*

3.5 CÁLCULO DE PERDAS

O cálculo de perdas energéticas nos componentes semicondutores, tanto por condução quanto por comutação se torna complexo de ser realizado analiticamente, dado que as chaves possuem períodos em que não conduzem e por dependerem dos intervalos de tensão em que comutam. Para o levantamento das perdas foi elaborado um código em linguagem Python que calcula diversos parâmetros do circuito e é disponibilizado no Apêndice A.

O processo de cálculo implementado leva em consideração o uso de diodos e IGBTs, isto é, chaves cuja perda de condução são estimadas pela corrente média que circula pelos seus terminais e sua tensão de condução e tem a perda calculada por:

$$p_{\text{cond}} = f_r \int_0^{1/f_r} V_f(i(t)) * i(t) dt \quad (40)$$

onde p_{cond} é a perda por condução, f_r é a frequência da tensão de referência a ser modulado, $i(t)$ é a corrente no semiconductor (IGBT ou diodo) em função do tempo e $V_f(i(t))$ é a tensão de condução direta do semiconductor quando em condução. Considerando uma corrente constante na chave durante seu tempo de condução em um ciclo de chaveamento, pode-se simplificar a integração em uma soma discreta:

$$p_{\text{cond}} = \frac{f_p}{f_r} \sum_{k=0}^{f_p/f_r} V_f(i(k)) \cdot i(k) \quad (41)$$

Como o produto da tensão e corrente sobre a chave é considerado nulo durante o bloqueio da chave, pode-se simplificar novamente a equação em função da razão cíclica $D(k)$ da chave em questão e considerar que a corrente sobre a chave é equivalente à corrente de saída i_o .

$$V_f(i(k)) \cdot i(k) = (V_f(i_o(k)) \cdot i_o(k) \cdot D(k)) + (V_f(i_o(k)) \cdot i_o(k) \cdot D'(k)) \quad (42)$$

$$= (V_f(i_o(k)) \cdot i_o(k) \cdot D(k)) + 0 \quad (43)$$

$$= (V_f(i_o(k)) \cdot i_o(k) \cdot D(k)) \quad (44)$$

Pode-se também substituir a razão f_p/f_r pelo índice m_f . Assim, substituindo (5) e (44) em (41):

$$p_{\text{cond}} = m_f \sum_{k=0}^{m_f} V_f(i_o(k)) \cdot i_o(k) \cdot D(k) \quad (45)$$

Para o cálculo de perdas de chaveamento do IGBT foram utilizadas as curvas de perdas fornecidas no *datasheet* do componente, normalizando os valores em função do resistor de gate utilizado, retornando para cada chaveamento, o valor de energia perdida em Joules. Para o cálculo de perda em watts basta somar todas as perdas em um segundo já que:

$$1 \text{ J} = \frac{1 \text{ W}}{1 \text{ s}} \quad (46)$$

Para os diodos, a perda foi estimada pelo produto do parâmetro Q_{rr} (carga de recuperação reversa) e a sua tensão de bloqueio. A perda total de bloqueio, para ambos os semicondutores, pode ser calculada pelo produto da perda total em um ciclo da referência e a frequência da referência:

$$p_{\text{comutação}} = f_r \sum_{k=0}^{m_f} p(k) \quad (47)$$

onde $p(k)$ é a perda calculada em cada ciclo de chaveamento.

O código elaborado então é parametrizado com os valores de tensão dos barramentos, a corrente eficaz de saída, o ângulo de defasamento da corrente e as frequências das portadoras (de chaveamento) e da referência. Para as definições das perdas por condução das chaves, as curvas de tensão em função da corrente ($V_f(i_o(k))$) foram extraídas dos *datasheets* dos componentes em formas de funções matemáticas que descrevam a curva de forma coerente nos valores de tensão e corrente utilizados no ensaio prático.

O cálculo das perdas totais se resume à soma discreta das perdas em todos os componentes utilizados. O código calcula para cada ciclo de chaveamento qual seria a perda de chaveamento e de condução para os diodos e chaves utilizadas no circuito. Em seguida, analisa em função do intervalo de tensão e do sentido de corrente das chaves, quais são as chaves em condução e comutação e adiciona à estas chaves o valor da perda calculado. O código calcula ao mesmo tempo as perdas para os dois tipos de chave bidirecional estudados neste trabalho, com ponte de diodos e com chaves em anti-série com coletor comum. Calcula também a corrente média em cada componente, de forma que se pode averiguar se o resultado final do cálculo de perdas está coerente com outro cálculo de aproximação de perdas, que utiliza apenas a corrente média no componente e a tensão de condução com esta corrente específica.

O resultado dos cálculos são apresentados no Apêndice B e foram levantados a partir da parametrização e componentes utilizados no ensaio prático. O rendimento calculado para as duas montagens propostas no trabalho são de 95,48 % para a montagem com chave bidirecional em ponte e de 95,68 % para a montagem com chave bidirecional de coletor comum, próximo ao valor de 93,9 % levantado experimentalmente e apresentado no Capítulo 5, resultando em um erro de aproximadamente 15 % nas perdas estimadas.

3.6 CONCLUSÃO SOBRE INVERSOR PROPOSTO

Este capítulo apresentou a origem e formação da topologia proposta, a partir de uma modificação de um inversor de cinco níveis, ao inserir uma segunda chave bidirecional e ao se alterar as tensões dos dois barramentos existentes, de forma que um dos barramentos possua o dobro da tensão do outro. Todos os estados possíveis e não destrutíveis de chaveamento foram analisados e apresentados, diferenciando o resultado nos casos em que o sentido da corrente de saída influencie a tensão de saída.

Também foram demonstradas as equações de chaveamento utilizadas para a modulação do sinal, a partir da comparação do sinal de referência com seis portadoras dispostas em oposição de fase, e com a detecção do intervalo de chaveamento momentâneo. As equações foram ainda simplificadas de forma que o sinal de modulação para cada chave depende exclusivamente de uma equação lógica entre os sinais dos comparadores entre as portadoras e a referência. Por fim, é tabulada uma comparação entre as topologias citadas e a sugerida neste trabalho de forma a demonstrar a redução no número de chaves necessárias para a criação dos sete níveis e de seus circuitos auxiliares.

Foram discutidas algumas das limitações do conversor proposto, como fatores de limitação de potência, e a incompletude do espaço vetorial da versão trifásica do inversor para utilização das técnicas tradicionais de chaveamento.

Por fim, uma apresentação de um método proposto para o cálculo de perdas para a topologia foi apresentado, dada a dificuldade de levantamento analítico na configuração da topologia proposta.

No próximo capítulo a topologia sugerida será simulada em diferentes condições para análise das distorções harmônicas do circuito e das tensões e correntes sobre as chaves.

4 SIMULAÇÃO DO CONVERSOR

Para validar o funcionamento teórico do inversor proposto, foi utilizado o software PSIM para simular o circuito como apresentado na Figura 21. A Figura 26 mostra a parte de potência do circuito utilizado para a simulação, com seis chaves Q_1 a Q_6 , utilizando a chave bidirecional em ponte completa de diodos, e uma carga RL série acoplada à saída. Por sua vez, a Figura 27 apresenta o circuito utilizado para a análise lógica das portadoras e comando das chaves. Nela, as seis portadoras C_a a C_f tem amplitude de 100 V e estão dispostas conforme a modulação PWM-POD, sendo comparadas com a tensão de referência V_{ref} . Os resultados da comparação e a tensão de entrada são repassados a um bloco matemático que define o estado de cada chave de acordo com as Equações (34) a (39).

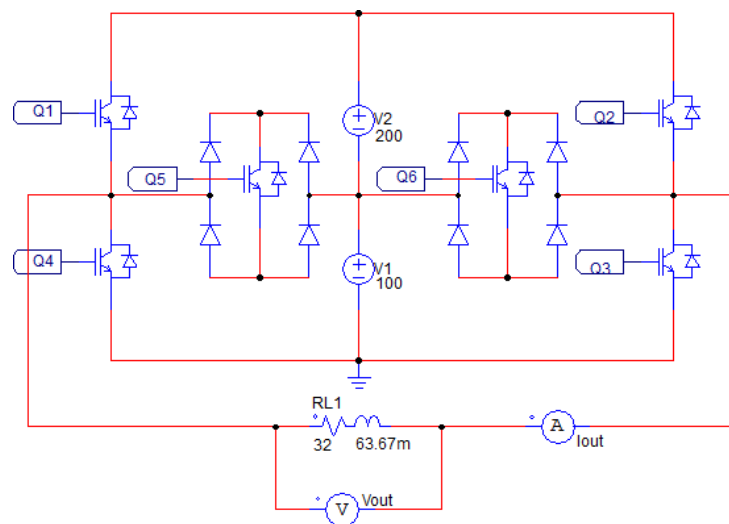


Figura 26: Circuito simulado no software PSIM para análise e validação da lógica de chaveamento.

Para tal, foram utilizados os seguintes valores para os elementos:

$V_1 = 100\text{ V}$, $V_2 = 200\text{ V}$, $V_{ref} = 200\text{ V}_{ef}$, e portanto a tensão de pico da senoide de referência é de $V_p = 200\sqrt{2}\text{ V} = 282,84\text{ V}$. Assim, o índice de modulação de amplitude resultante é de $m_a = 0,943$. Por fim, foi utilizada uma carga indutiva de 1 kVA com fator de potência 0,8 ($R = 32,00\Omega$ e $L = 63,67\text{ mH}$) de forma a manter uma circulação contínua de corrente tanto na carga quanto no inversor.

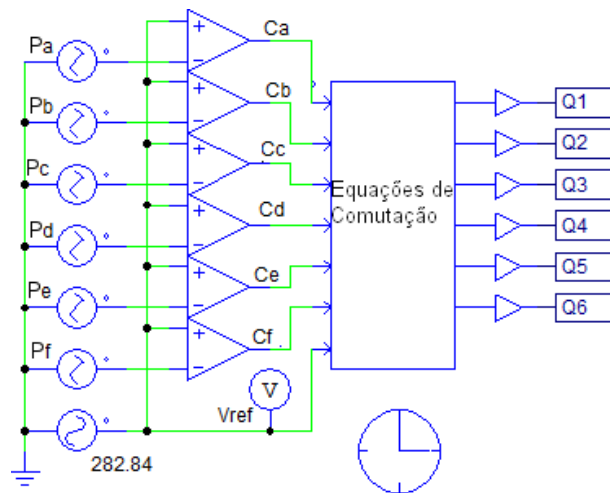


Figura 27: Circuito simulado no software PSIM para análise e validação da lógica de chaveamento.

A frequência do sinal de referência utilizado foi de 60 Hz, e a das portadoras 20 kHz e dessa forma, o índice de modulação de frequência resultante é de $m_f = 333,33$.

As simulações e ensaios foram realizadas apenas com indutor série como filtro para a corrente na carga, simulando cargas indutivas como motores de indução ou aplicações de micro-geração. A topologia pode ainda se beneficiar de filtros LC em sua saída, caracterizados por um indutor série com o inversor, e um capacitor em paralelo com a carga. Esta configuração permite ainda uma melhor filtragem da corrente de saída, mas dificulta o controle em aplicações de micro-geração conectadas à rede elétrica, dado que o capacitor exigiria uma carga reativa da rede, que deverá ser corrigida pelo inversor. Comparando o projeto do indutor entre uma topologia de três níveis e a topologia de sete níveis, a máxima tensão sobre o indutor em um filtro LC é a tensão máxima de saída (em três níveis) e um terço da tensão máxima de saída (para sete níveis). Dada a equação da tensão sobre o indutor $V = L\delta i/\delta t$, para uma mesma variação de corrente durante um ciclo de chaveamento, a indutância do filtro LC do inversor sete níveis pode ter um terço da indutância do inversor de três níveis, dada que a tensão sobre o indutor será um terço menor.

4.1 RESULTADOS DE SIMULAÇÃO

Os resultados da simulação podem ser observados na Figura 28. Pode-se observar que a corrente de saída (I_{out} em vermelho) tem formato senoidal, e sua THD calculada foi de 0,0854 %, e depende do valor da indutância série do circuito. Observa-se também que o chaveamento (V_{out} em cinza) segue a modulação da tensão de referência (V_{ref} em preto). O valor de THD da tensão simulada nessas condições foi de 20,960 %. Não foram detectadas anomalias

no funcionamento do circuito por simulação.

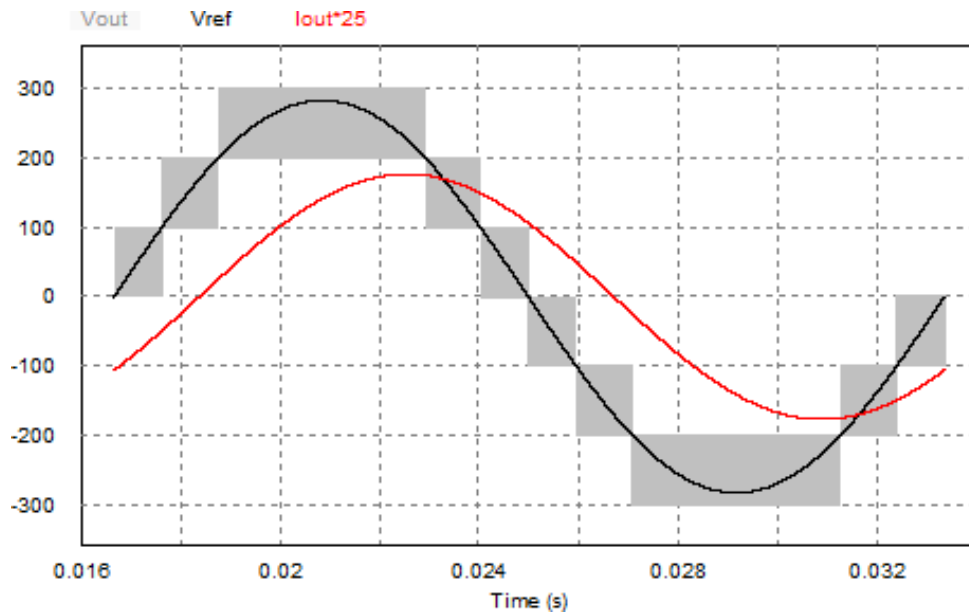


Figura 28: Tensão de referência, tensão de saída e corrente de saída (escalonada por um fator de 25) do conversor proposto simulados no software PSIM, com $m_a = 0,943$ e $m_f = 333,33$.

Para demonstrar melhor a tensão de saída durante o chaveamento, uma simulação com as mesmas características da anterior, mas com frequência das portadoras menor ($f_c = 5 \text{ kHz}$), e com menor tensão de pico de referência ($V_p = 225 \text{ V}$) foi realizada e é apresentada na Figura 29. Os índices de modulação resultantes são $m_a = 0,750$ e $m_f = 83,33$.

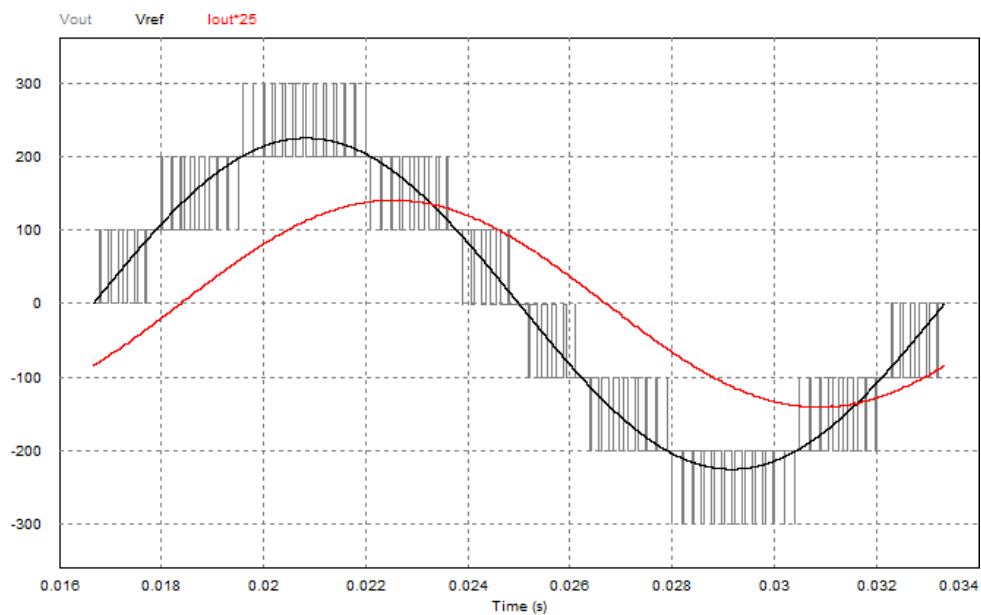


Figura 29: Tensão de referência, tensão de saída e corrente de saída (escalonada por um fator de 25) do conversor proposto simulados no software PSIM, com $m_a = 0,750$ e $m_f = 83,33$.

Outras cinco simulações foram efetuadas com condições semelhantes, alterando

apenas a frequência das portadoras para 5 kHz e os valores da tensão de referência, de forma a evidenciar os valores de distorção harmônica da tensão de saída. Foram levantados os resultados das THD de tensão (THD_v) e de corrente de saída (THD_i), e são resumidos na tabela 5. Deve-se notar que para índices de modulação de amplitude m_a tais que $1/3 \leq m_a \leq 2/3$, a tensão de saída já não utiliza os dois níveis externos de tensão, e a saída do conversor terá apenas cinco níveis. Semelhantemente, para índices menores que $1/3$, a saída terá apenas três níveis.

Tabela 5: Valores de THD de tensão e de corrente para diferentes valores de m_a , com $m_f = 83,33$.

V_p	m_a	THD_v	THD_i
300 V	1,000	18,17 %	0,303 %
275 V	0,917	21,93 %	0,367 %
250 V	0,833	23,92 %	0,401 %
225 V	0,750	26,69 %	0,392 %
200 V	0,667	26,93 %	0,434 %

Pode-se notar que entre os índices de modulação de 0,667 e 1,0 há uma melhoria de aproximadamente 30% nos valores de THD de saída do inversor, o que demonstra também a vantagem do maior número de níveis e que se deve procurar a modulação próxima ao índice unitário. A partir da mesma simulação, é possível também obter as tensões sobre as chaves durante todo os chaveamentos de um ciclo da tensão de referência. A Figura 30 apresenta estas tensões. Assim a tensão máxima sobre as chaves 1, 2, 3 e 4 durante seus bloqueios é de 300 V, a tensão completa do barramento, e a tensão sobre as chaves bidirecionais, 5 e 6, é apenas a tensão do barramento de maior tensão, 200 V no caso. Essa tensão reduzida sobre as chaves bidirecionais não é necessariamente uma vantagem da topologia, visto que as outras chaves necessitam bloquear toda a tensão do barramento, mas pode facilitar a escolha das chaves para a execução da chave bidirecional, uma vez que pode-se utilizar chaves com $2/3$ da tensão do barramento completo.

A Figura 31 demonstra os sinais de gatilho das seis chaves utilizadas, durante todo um ciclo da tensão de referência, obtidos a partir das Equações (34) a (39) levantadas anteriormente.

A corrente eficaz sobre cada chave é difícil de ser levantada analiticamente, visto que seu valor depende dos índices m_a , m_f e da carga utilizada. Assumindo o uso apenas para cargas lineares, a corrente eficaz sobre cada chave também pode ser levantada pela simulação. Foram feitas simulações com diferentes ângulos de fase da corrente de saída, entre um atraso e um avanço de 90° elétricos, de forma a simular diferentes combinações de cargas resistivas, indutivas e capacitivas. Para tal simulação, uma fonte de corrente foi inserida no lugar da carga RL da Figura 26, com amplitude constante entre as simulações e alterando-se apenas o ângulo de defasamento da corrente em relação à tensão de referência. A corrente eficaz por chave

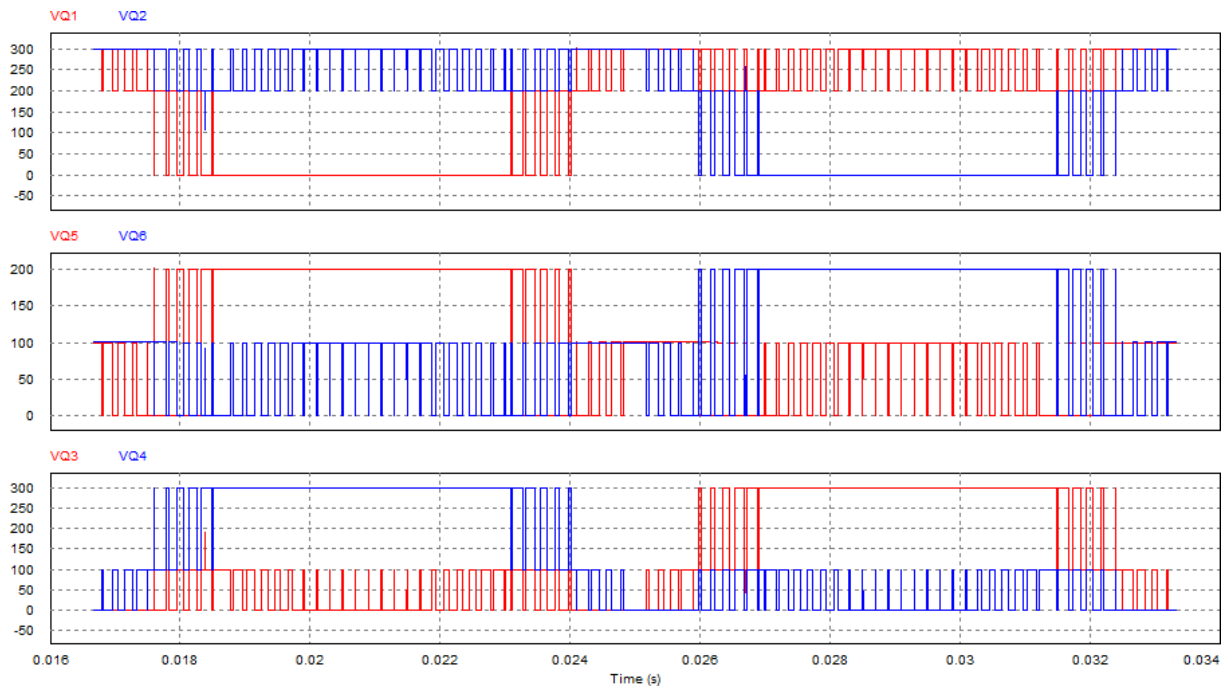


Figura 30: Tensão sobre as chaves da topologia proposta para um barramento com $V_1 = 100\text{V}$ e $V_2 = 200\text{V}$, para um ciclo completo da tensão de referência.

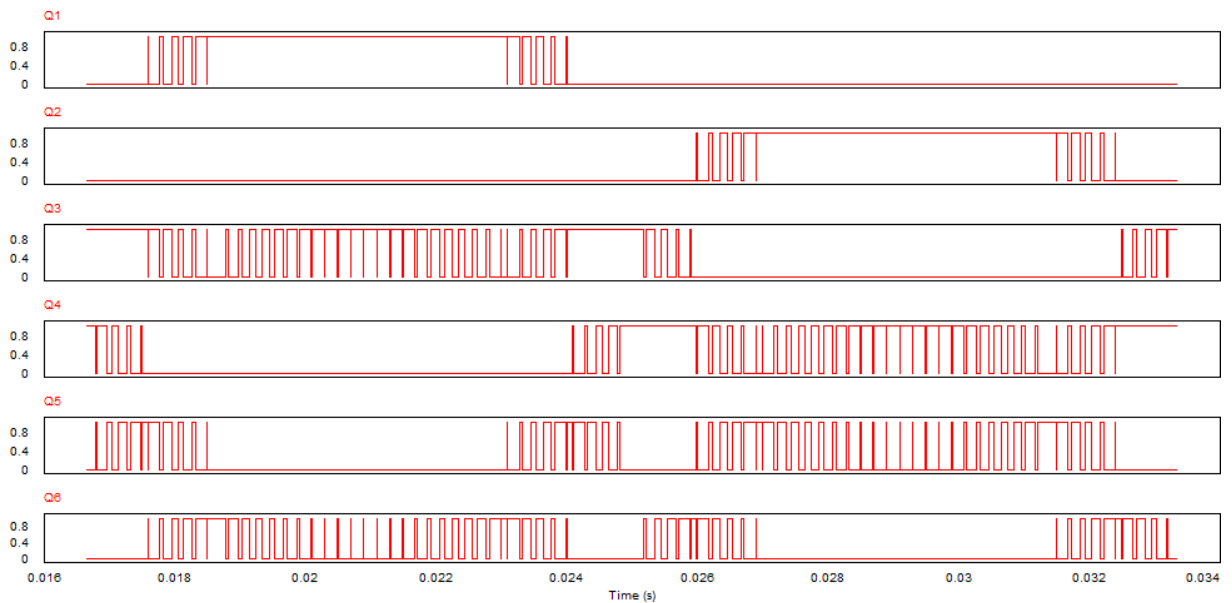


Figura 31: Sinais de comando das chaves para um ciclo completo da tensão de referência, com $m_a = 1$ e $m_f = 83,33$.

normalizada em função da corrente de saída pode ser visualizada na Figura 32.

A Figura 33 por sua vez apresenta a variação do valor eficaz de corrente sobre as chaves em função da variação do índice de modulação de amplitude m_a .

As correntes nos pares de chaves 1 e 3, 2 e 4, 5 e 6 são idênticas. As correntes nos diodos das chaves bidirecionais são representadas pelo número da chave e a polaridade

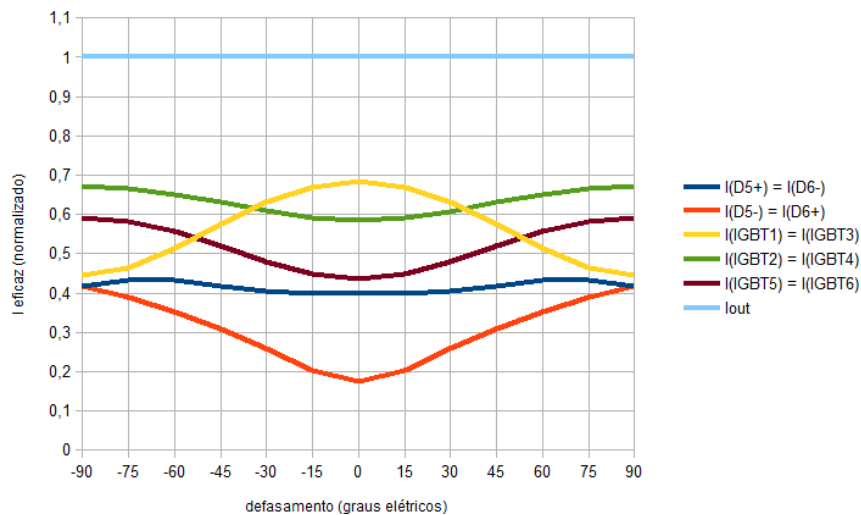


Figura 32: Corrente eficaz normalizada sobre as chaves da topologia proposta com $m_a = 1$ e $m_f = 83,33$, em função do defasamento da corrente.

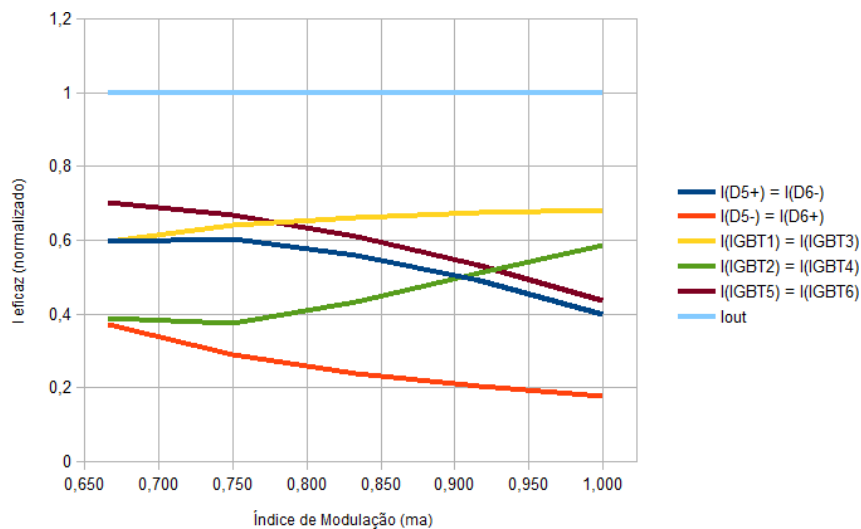


Figura 33: Corrente eficaz normalizada sobre as chaves da topologia proposta com $m_f = 83,33$ em função da variação do índice de modulação m_a .

de condução de corrente do diodo, em função da corrente de saída. Assim, a corrente “ $I(D5+)$ ” representa a corrente dos diodos da ponte da chave Q_5 que conduzem quando a corrente de saída do circuito é positiva e “ $I(D5-)$ ” os diodos em condução quando a corrente de saída é negativa.

Para estimar as perdas sobre chaves do tipo IGBTs, é utilizado o valor médio da corrente sobre a chave. Assim, as Figuras 34 e 35 apresentam as médias dos valores absolutos da corrente sobre as chaves, sem diferenciar as correntes que circulam pelo IGBT com as correntes que circulam pelo diodo em anti-paralelo. Os valores de corrente média em cada componente é normalizado em função da corrente eficaz de saída do circuito.

Em muitos módulos e componentes discretos, os diodos em anti-paralelo necessários para a utilização do inversor com cargas com componente de energia reativo já são incluídos

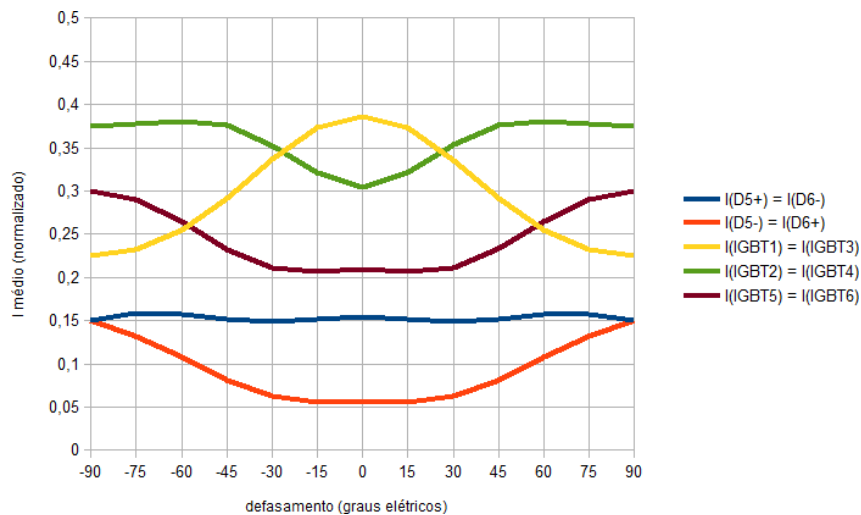


Figura 34: Corrente média normalizada sobre as chaves da topologia proposta com $m_a = 1$ e $m_f = 83,33$, em função do defasamento da corrente.

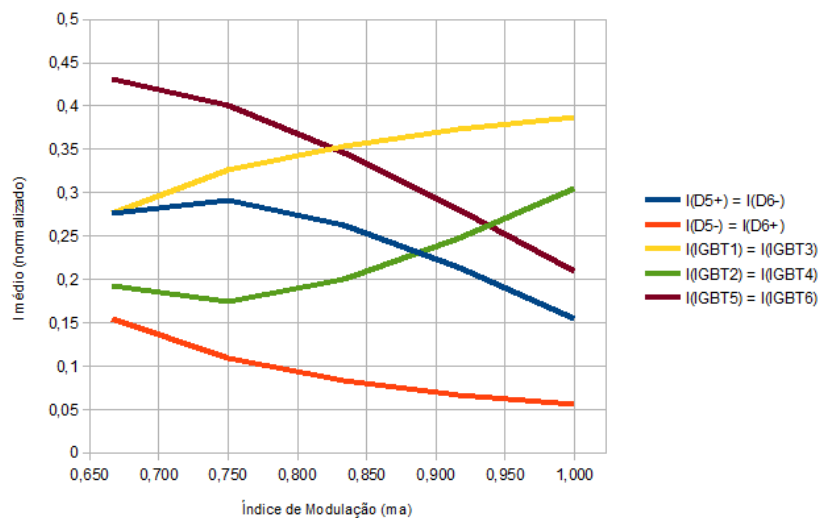


Figura 35: Corrente média normalizada sobre as chaves da topologia proposta com $m_f = 83,33$ em função da variação do índice de modulação m_a .

no mesmo encapsulamento da chave ou módulo. A menor perda por condução destes diodos no encapsulamento é normalmente compensada por uma maior resistência térmica destes para o encapsulamento. Pode-se assim, a fim de simplificar o dimensionamento dos componentes semicondutores, agrupar os valores de corrente média individual do IGBT e do diodo.

Pode-se observar na Figura 34 que os conjuntos das chaves bidirecionais, que possuem a maior quantidade de componentes em condução, tem menor corrente média quanto menor for o defasamento da corrente da carga, e pela Figura 35, quanto maior for o índice de modulação m_a . Essas condições são favoráveis ao uso do inversor para acoplamento à rede elétrica, por exemplo, para sistemas de micro-geração.

4.2 SIMULAÇÃO COM A CONFIGURAÇÃO DO PROTÓTIPO ENSAIADO

No próximo capítulo será apresentado um resultado experimental de um protótipo do conversor proposto. De forma a conferir e validar também o seu funcionamento a simulação a seguir apresentará as principais formas de onda do inversor nesta configuração. Os parâmetros para essa simulação são descritos na Tabela 6. Os elementos do inversor (diodos e IGBTs) foram considerados ideais, isto é, sem perdas de chaveamento e de condução.

Tabela 6: Valores utilizados para simulação do protótipo do inversor proposto.

Parâmetro	Descrição
V_1	100 V
V_2	200 V
V_{ref}	$300 V_{pico}=212,13 V_{ef}$
L	1,01 mH
R	50 Ω
f_{ref}	60 Hz
f_p	20 kHz
m_f	333,33
m_a	1,0

A Figura 36 apresenta a tensão de referência para a simulação, assim como a tensão e corrente (escalada por um fator de 25 vezes) sobre a carga do inversor. Percebe-se, devido à menor indutância série, uma maior oscilação de corrente durante o chaveamento, se comparado às primeiras simulações. Nestas condições, a THD de tensão (THD_v) é de 18,20 %, e a THD de corrente de saída (THD_i) é de 5,38 %.

Por sua vez, a Figura 37 apresenta as potências individuais de cada fonte durante todo um ciclo da tensão de referência. Em preto é apresentada a potência instantânea, e em vermelho a potência média de cada ciclo de chaveamento. A potência total fornecida à carga RL é de 902,6 W, sendo que a fonte V_1 fornece 245,1 W (27,15 %) e a fonte V_2 fornece 657,5 W (72,85 %). Pela forma de onda da potência média por chaveamento, é possível observar os diferentes regimes de carga em cada uma das fontes utilizadas, devido à combinação necessária das fontes para a obtenção dos sete níveis. Nota-se a grande variação de potência, principalmente na fonte de maior tensão. Esta variação pode demandar um controle mais aprimorado da fonte de tensão de forma a minimizar oscilações de tensão no dobro da frequência da tensão de referência.

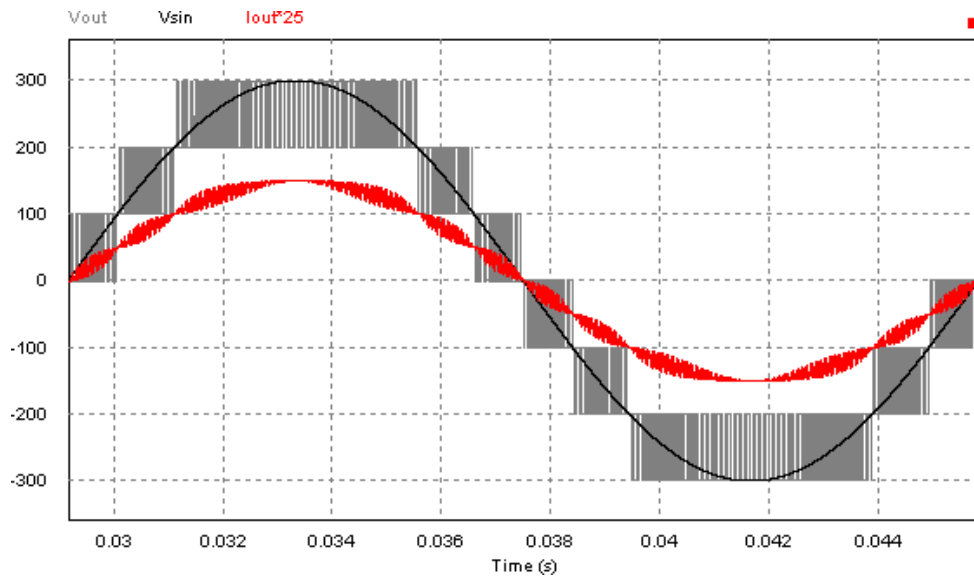


Figura 36: Tensão de referência, tensão de saída e corrente de saída (escalonada por um fator de 25) do conversor proposto simulados no software PSIM, com $m_a = 1$ e $m_f = 333,33$ e carga utilizada no ensaio experimental.

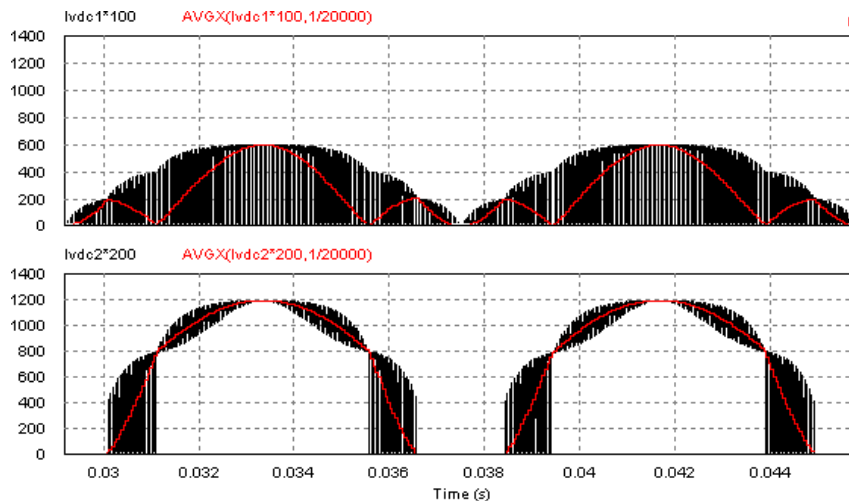


Figura 37: Potência Instantânea (em preto) e potência média de cada ciclo de chaveamento (em vermelho) para as duas fontes de tensão contínua, com $m_a = 1$ e $m_f = 333,33$ e carga utilizada no ensaio experimental.

4.3 CONCLUSÃO SOBRE SIMULAÇÃO DO CONVERSOR

A simulação do conversor foi apresentada neste capítulo. Com ela foi possível validar as equações de chaveamento apresentadas a partir da comparação de seis portadoras com um sinal de referência, que foi sintetizado pelo circuito. Diversas simulações foram realizadas, variando o índice de modulação de amplitude m_a , o índice de modulação de frequência m_f e o defasamento da corrente de saída, de forma a levantar diferentes tabelas de distorção harmônica e o impacto destas variações na corrente média e eficaz sobre as chaves.

Foi também observado o sinal de chaveamento e a tensão máxima sobre cada chave e validou-se que não há redução de tensão sobre as chaves comuns do inversor, apenas nas chaves bidirecionais, que precisam suportar dois terços da tensão do barramento total. Por fim, uma simulação em condições similares ao do protótipo ensaiado e apresentado no próximo capítulo fornece uma base de comparação para o ensaio prático a ser descrito.

Assim, com esses resultados de simulação, o próximo capítulo apresenta os resultados práticos de uma implementação do circuito em um protótipo de 860W, a detecção dos efeitos causados no circuito pela inserção de tempo morto entre os estados de chaveamento e uma análise e simulação de uma alteração na lógica de chaveamento ao se trocar o tipo de chave bidirecional utilizada.

5 RESULTADOS EXPERIMENTAIS

Para realizar uma validação prática da lógica de chaveamento elaborada, um circuito lógico em um arranjo de portas programáveis em campo (*Field Programmable Gate Array* – FPGA) foi construído. O FPGA utiliza uma linguagem própria de programação em hardware ou em diagramas de blocos para programar portas lógicas contidas em um componente eletrônico com uma matriz de portas lógicas interconectadas. Assim, pode-se facilmente executar cálculos e comparações de forma paralela a partir de diferentes valores de entrada, para diferentes portas de saída. Com as portas programáveis é também possível se construir áreas de memória, onde é possível armazenar tabelas de dados. A FPGA utilizada foi uma *Cyclone III 3C16* da Altera, modelo EP3C16F484, presente na placa didática “Terasic DE0”, programada pelo software *Quartus II 9.1sp2 WebEdition*.

5.1 CÁLCULO DA RAZÃO CÍCLICA.

Foi armazenado na FPGA uma tabela senoidal com 360 pontos, que serve de referência para os comparadores internos e é percorrida de forma a fornecer uma referência senoidal de 60 Hz. Um circuito lógico é responsável por detectar em qual período de chaveamento o circuito se encontra, e calcular a razão cíclica necessária para se obter a tensão de saída desejada.

O cálculo da razão cíclica para este conversor se assemelha ao cálculo do conversor abaixador clássico *buck* para cada intervalo entre dois níveis. Em um ciclo de chaveamento, a tensão média de saída é o produto da diferença de potencial entre os dois níveis aplicada na “carga” com o valor da razão cíclica (que varia entre 0 e 1,0), e representa o percentual do tempo que se permanece no nível de tensão mais elevado. Logo, a razão cíclica deve ser calculada da seguinte forma (equação 48):

$$D = \frac{V_{\text{ref}} - V_{\text{inf}}}{V_{\text{sup}} - V_{\text{inf}}} \quad (48)$$

$$D = \frac{V_{\text{ref}} - V_{\text{inf}}}{V_1} \quad (49)$$

Onde V_{sup} e V_{inf} são os primeiros níveis de tensão superior e inferior à referência instantânea. Como cada intervalo de tensão tem o valor absoluto da fonte V_1 , pode-se fazer a simplificação apresentada na igualdade 49. Para a modulação do protótipo, foi definido que a tensão V_1 seria de 100 V, que o índice de modulação m_a seria unitário e que m_f seria de 360. Um circuito lógico seleciona os valores de tensão inferior para cada nível, em função da referência instantânea obtida da tabela. O cálculo da razão cíclica e de seu complemento são gerados a partir de um contador interno, baseado no *clock* interno da FPGA, de 50 MHz. Assim, para um chaveamento de 360 pontos por ciclo a 60Hz, há 21600 chaveamentos por segundo, e 2315 (50MHz/21 600Hz) clocks por chaveamento. Esse valor é multiplicado pela razão cíclica para determinar o valor discreto da razão cíclica. Por fim, um contador, reiniciado a cada ciclo de chaveamento, é utilizado como um sinal em rampa para a comparação com a razão cíclica. Enquanto o valor do contador for menor que a referência, a saída para as chaves que devem receber a razão cíclica deve permanecer ativa, caso contrário, o sinal deve ser nulo. O valor lógico negado dessa saída é enviado para as chaves que recebem o valor complementar da razão cíclica. Esses sinais de D e D' , são enviados para cada chave de acordo com a Tabela 3, em função do intervalo detectado. Essa lógica é apresentada na Figura 38.

Para validação prática após as simulações numéricas do inversor sete-níveis proposto, um protótipo foi construído utilizando os componentes conforme a Tabela 7. O protótipo montado é apresentado na Figura 39. Foram adicionados ainda alguns capacitores de polipropileno em paralelo com cada fonte de tensão e também em todo o barramento, de forma a minimizar a resistência série das fontes durante os momentos de comutação da chave, e também *snubbers* em cada chave.

Uma aquisição por osciloscópio é apresentada na Figura 40. É possível ver que a corrente de saída aproxima-se de uma forma senoidal e que a tensão de saída chaveada segue a referência desejada, apesar de alguns picos de tensão aparecerem na aquisição da tensão. A distorção harmônica total da tensão de saída e a eficiência do conjunto foram medidas por um analisador de energia de bancada Yokogawa modelo WT-230. A THD da tensão de saída medida foi de 9,2 %, e a eficiência de 93,9 %, para um consumo de 860 W na saída do inversor. As potências entregues pelas fontes V_1 e V_2 para o circuito foram de $P_{V_1} = 235,9 \text{ W}$ (25,8% da potência total) e $P_{V_2} = 679,7 \text{ W}$ (74,2% da potência total). A divisão de potência entre as fontes

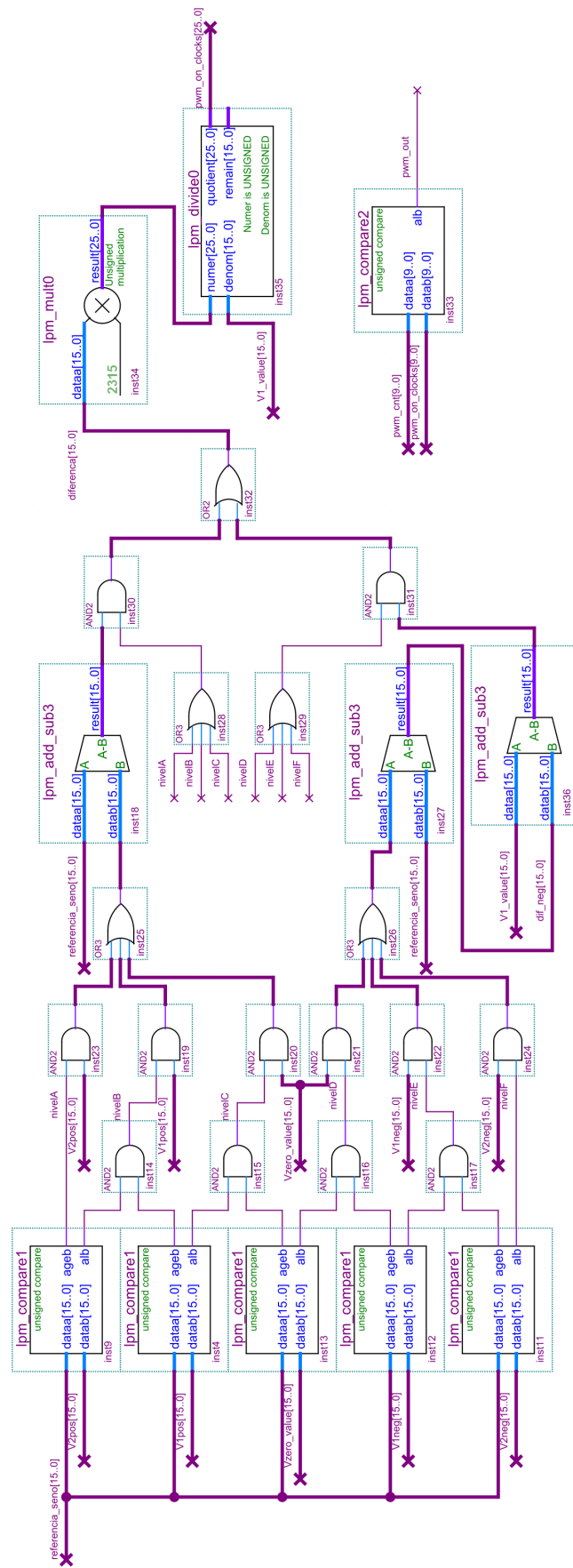
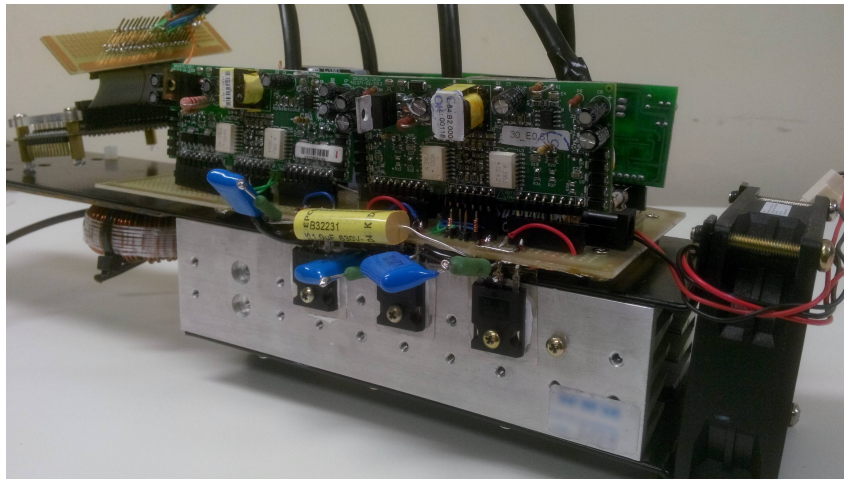


Figura 38: Circuito em FPGA para cálculo da razão cíclica

Tabela 7: Componentes e valores utilizados para montagem e testes do inversor proposto.

Componente ou Parâmetro	Descrição
Q_1 a Q_6 e diodos em paralelo	IGBT IRG4PC50UD
Diodos das Chaves Bidirecionais	UF5408
V_1	100 V
V_2	200 V
V_{ref}	$300 V_{pico} = 212,13 V_{ef}$
L	1,01 mH
R	50Ω
f_{ref}	60 Hz
f_p	20 kHz
m_f	333,33
m_a	1,0

**Figura 39: Montagem de protótipo do inversor proposto.**

se assemelhou ao simulado, e a diferença percentual entre a simulação e o protótipo pode ser devida à não simulação das perdas nas chaves.

Obteve-se ainda o valor da distorção harmônica da tensão de saída por meio do osciloscópio, e o valor total de medido foi de 9,54 %, apresentado na Figura 41. Este valor está abaixo do THD simulado de 18,20 % e deve-se ao chaveamento real ser mais lento que o simulado.

Os valores de cada componente também foram registrados, e são apresentados no gráfico da Figura 42. Os valores de amplitude de cada componente harmônica foram normalizados em função da componente fundamental (de número 1). Nota-se um valor elevado na terceira, sétima e nona harmônica. Deve-se levar em consideração, porém, que o inversor estava trabalhando em malha aberta, de forma que as quedas de tensão existentes nos semicondutores utilizados e as imperfeições do sistema não foram compensadas.

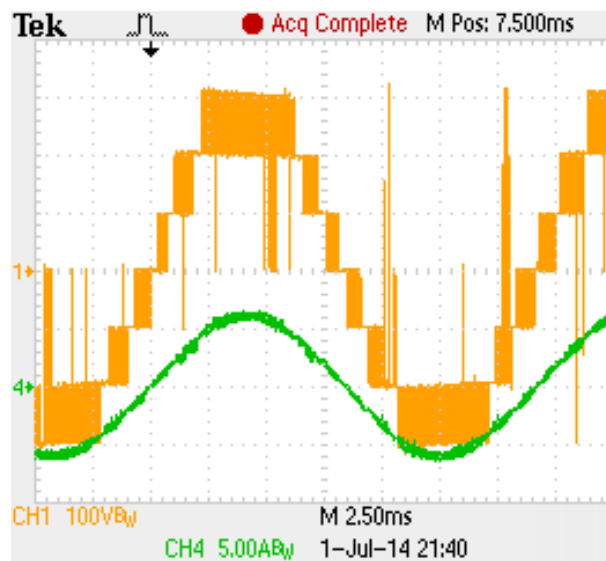


Figura 40: Aquisições do funcionamento do inversor com 860 W de carga. Tensão de Saída (Canal 1 - Amarelo - 100 V/div) e corrente (Canal 4 - Verde - 5 A/div)

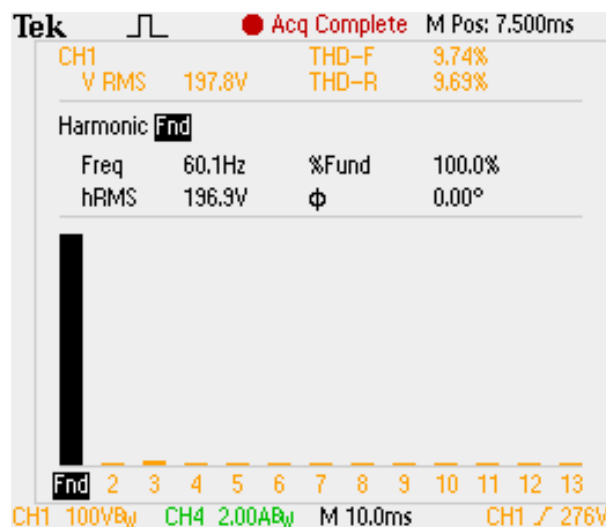


Figura 41: Aquisições da distorção harmônica total de tensão do inversor com 860 W de carga.

De forma a demonstrar o comando das chaves, algumas aquisições foram realizadas obtendo-se o sinal de gatilho das chaves do braço esquerdo do conversor, Q_1 , Q_4 e Q_5 . A Figura 43a e 43b mostram o sinal da chave Q_1 no canal 1 e Q_5 no canal 2, para o índice de modulação de amplitude unitário e o índice de modulação de frequência $m_f = 333,33$, resultando numa frequência de chaveamento de 20 kHz. Por sua vez a Figura 43c apresenta, nas mesmas condições, a aquisição do sinal de gatilho das chaves Q_4 e Q_5 .

No intuito de facilitar a visualização da modulação dos sinais das chaves a mesma aquisição foi feita para uma frequência de chaveamento de 2,5 kHz ($m_f = 41,67$). A Figura 43d apresenta os sinais das chaves Q_1 e Q_5 e a Figura 43e apresenta os sinais das chaves Q_4 e Q_5 . Devido ao uso da técnica de modulação PWM-POD e à simetria da topologia, os sinais nas

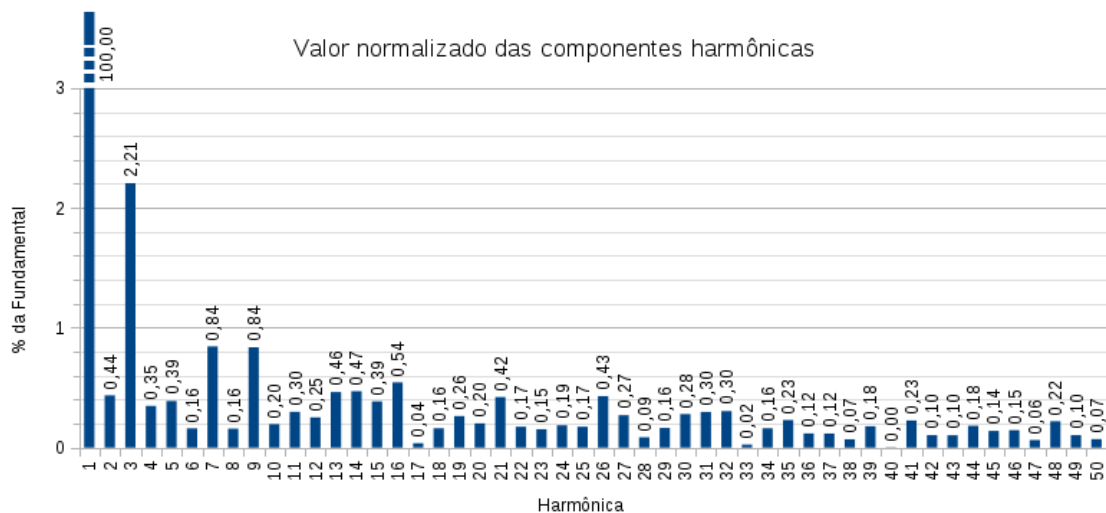


Figura 42: Aquisições da distorção harmônica total de tensão do inversor com 860 W de carga.

chaves Q_2 , Q_3 e Q_6 são respectivamente idênticos aos sinais das chaves Q_1 , Q_4 e Q_5 , porém defasados de 180° elétricos em relação ao sinal de referência V_{ref} . Essa simetria é exemplificada na Figura 43f que apresenta os sinais de gatilho das chaves Q_1 e Q_2 .

5.2 EFEITOS DO TEMPO MORTO NO CHAVEAMENTO

Os picos de tensão visíveis na aquisição da tensão de saída apresentada pela Figura 40, que extrapolam o gabarito desejado de tensão, devem-se ao tempo morto inserido durante a troca de estados entre as chaves em comutação. Esse tempo morto é normalmente inserido diretamente no cálculo da razão cíclica de cada chave, de forma a minimizar o risco de cruzamento entre duas chaves que estejam entrando em condução e bloqueio, que causa maiores perdas de chaveamento ou mesmo a destruição do componente. No circuito elaborado, o tempo morto foi inserido pelo circuito de comando das chaves utilizado. Neste instante, o circuito apresenta um comportamento diferente do apresentado na Tabela 3, em que as chaves responsáveis pela modulação estão bloqueadas. Assim, as chaves com valor D ou D' na tabela ficam bloqueadas durante a mudança de estado e a circulação de corrente do circuito, mantida pela indutância da carga, cai em um dos casos apresentados na Tabela 2. Este caso e o estado das chaves durante o tempo morto de cada intervalo é apresentado pela Tabela 8. A tabela também apresenta a tensão de grampeamento do circuito para os dois sentidos de corrente possíveis na saída.

É possível observar na Tabela 8 que durante o tempo morto dos intervalos B e E, ocorre o caso k , onde a tensão de saída fica grampeada a $-(V_1 + V_2)$ se a corrente de saída for positiva

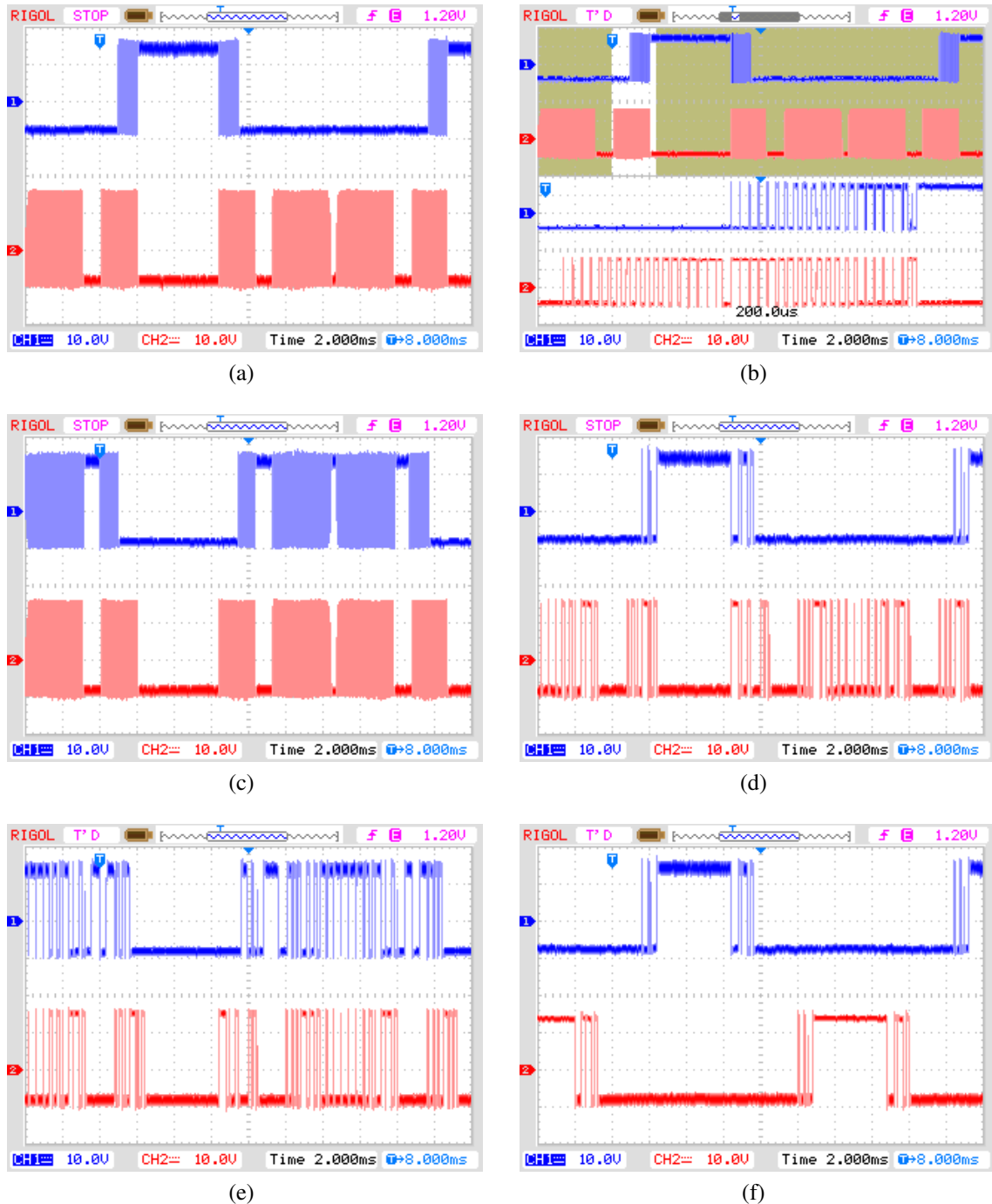


Figura 43: Aquisição dos sinais de gatilho da chaves do conversor proposto. (a) Em 20 kHz, chaves Q_1 e Q_5 ; (b) Em 20 kHz, chaves Q_1 e Q_5 , com detalhe para parte do chaveamento; (c) Em 20 kHz, chaves Q_4 e Q_5 ; (d) Em 2,5 kHz, chaves Q_1 e Q_5 ; (e) Em 2,5 kHz, chaves Q_4 e Q_5 , com detalhe para parte do chaveamento; (f) Em 2,5 kHz, chaves Q_1 e Q_2 , para demonstrar simetria dos braços de comutação.

Tabela 8: Estado das chaves durante tempo-morto do chaveamento em cada intervalo de tensão e caso equivalente apresentado pela Tabela 2, com tensão de saída em função do sentido da corrente

Intervalo	V_o [V]	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Caso	$V_{out}(I_+)$	$V_{out}(I_-)$
A	0 para $+V_1$	0	0	1	0	0	0	n	0	$+(V_1 + V_2)$
B	$+V_1$ para $+V_2$	0	0	0	0	0	0	k	$-(V_1 + V_2)$	$+(V_1 + V_2)$
C	$+V_2$ para $+(V_1 + V_2)$	1	0	0	0	0	0	p	0	$+(V_1 + V_2)$
D	$-V_1$ para 0	0	0	0	1	0	0	o	$-(V_1 + V_2)$	0
E	$-V_2$ para $-V_1$	0	0	0	0	0	0	k	$-(V_1 + V_2)$	$+(V_1 + V_2)$
F	$-(V_1 + V_2)$ para $-V_2$	0	1	0	0	0	0	q	$-(V_1 + V_2)$	0

e grampeada a $+(V_1 + V_2)$ se a corrente for negativa. De forma similar, durante o tempo morto dos intervalos A e C, ocorrem os casos n e p respectivamente, onde a corrente positiva possui um caminho de roda livre, mas a corrente negativa é grampeada ao barramento, de forma que a tensão de saída apresentada é de $+(V_1 + V_2)$. Finalmente, os intervalos D e F tem funcionamento simétrico aos dois anteriores, ocorrendo os casos o e q respectivamente, onde a corrente negativa possui um caminho de roda livre e a corrente positiva é grampeada ao barramento, de forma que a tensão de saída apresentada é de $-(V_1 + V_2)$.

No artigo de Park, Kang, Lee e Kim (2003), em que é apresentada a topologia do inversor de cinco níveis sobre a qual este trabalho desenvolveu a versão de sete níveis, os autores comentam que a tensão de saída de seu inversor durante o tempo morto das chaves é diferente do inversor CHB tradicional. O artigo mostra em aquisições de um protótipo pulsos tanto para o valor total positivo ou negativo do barramento, quanto para um valor nulo de tensão de saída, mas comenta apenas que durante o tempo morto, a tensão total do barramento fica presente na saída, sem se aprofundar nos motivos e sem citar os instantes de tensão nula. Pela similaridade da estrutura do inversor, é possível dizer que a origem dos picos de tensão detalhadas em ambos os trabalhos é a mesma.

5.3 FORMAS DE ONDA COM CHAVE BIDIRECIONAL DE EMISSOR COMUM

É possível a redução dos valores de tensão de grampeamento no circuito com a utilização da chave bidirecional montada a partir de dois semicondutores em anti-série, conforme as Figuras 19b e 19c. Nessa configuração, com comandos separados para cada interruptor da chave bidirecional, pode-se controlar os dois sentidos de corrente na terminação central de cada braço. Dessa forma, é possível grampear a tensão de saída a níveis menores que os encontrados na análise anterior. As duas configurações de chave bidirecional de emissor ou coletor comum podem ser utilizadas, mas para efeitos didáticos o funcionamento será apresentado apenas com a configuração de coletor comum. Dado que as chaves Q_{5a} , Q_{5b} , Q_{6a} e

Q_{6b} possuem função idêntica nas duas figuras, a utilização da outra configuração não necessita de nenhuma modificação.

Pode-se notar na Figura 19c que com o acréscimo do controle independente das chaves Q_{5a} , Q_{5b} , é possível conduzir Q_{5a} ao mesmo tempo que Q_1 está conduzindo, sem causar curto no barramento superior, e de forma similar, é possível conduzir Q_{5b} ao mesmo tempo que Q_4 conduz, sem causar curto circuito no barramento inferior. Simetricamente, as chaves Q_2 e Q_{6a} podem ser acionadas simultaneamente, assim como Q_3 e Q_{6b} . Essa possibilidade de condução simultânea pode modificar as equações de chaveamento das chaves Q_{5a} , Q_{5b} , Q_{6a} e Q_{6b} , tornando-as ativas sempre que possível, excetuando-se os casos que causariam curto nos barramentos. Obtém-se assim as equações:

$$Q_{5a} = \overline{Q_4} \quad (50)$$

$$Q_{5b} = \overline{Q_1} \quad (51)$$

$$Q_{6a} = \overline{Q_3} \quad (52)$$

$$Q_{6b} = \overline{Q_2} \quad (53)$$

Com as equações 50 a 53, torna-se necessário calcular apenas os estados das chaves Q_1 a Q_4 , e cada chave dos elementos bidirecionais são apenas o complemento dos estados de uma dessas chaves. Assim, pode-se revisar a Tabela 3, atualizando as combinações para se obter as tensões de saída desejadas, resultando na Tabela 9. Note-se que nesta configuração haverá sempre 4 chaves acionadas, mas o número de chaves em condução é reduzido nos intervalos onde as chaves bidirecionais Q_5 e Q_6 estão em condução, dado que na configuração de coletor comum tem-se um diodo e uma chave em condução, no lugar de dois diodos e uma chave da configuração de chave em ponte de diodos.

Tabela 9: Lógica de chaveamento para sintetização da tensão de saída e número de elementos ativos e em condução em cada modo, com condução independente dos elementos da chave bidirecional.

Intervalo	V_o [V]	Q_1	Q_2	Q_3	Q_4	Q_{5a}	Q_{5b}	Q_{6a}	Q_{6b}	Chaves	
										Ativas	em Condução
A	0 a $+V_1$	0	0	1	D'	D	1	0	1	4	3
B	$+V_1$ a $+V_2$	D	0	D'	0	1	D'	D	1	4	3
C	$+V_2$ a $+(V_1 + V_2)$	1	0	D	0	1	0	D'	1	4	2
D	$-V_1$ a 0	0	0	D	1	0	1	D'	1	4	2
E	$-V_2$ a $-V_1$	0	D'	0	D	D'	1	1	D	4	3
F	$-(V_1 + V_2)$ a $-V_2$	0	1	0	D'	D	1	1	0	4	2

Com essa lógica de chaveamento o estado do circuito durante o tempo morto de

cada intervalo, apresentado primeiramente na Tabela 8, é também modificado, e o resultado é apresentado na Tabela 10. Pode-se notar que as tensões de saída para corrente positiva e negativa são equivalentes às tensões desejadas na maior parte dos casos, exceto nos intervalos **B** e **E**. Nestes intervalos porém, a tensão de saída mantém a polaridade desejada, grampeando à tensão máxima do barramento, ou à tensão nula:

Tabela 10: Estado das chaves durante tempo-morto do chaveamento em cada intervalo de tensão e caso equivalente apresentado pela Tabela 2, com tensão de saída em função do sentido da corrente

Intervalo	V_o [V]	Q_1	Q_2	Q_3	Q_4	Q_{5a}	Q_{5b}	Q_{6a}	Q_{6b}	Caso	$V_{out}(I_+)$	$V_{out}(I_-)$
A	0 a $+V_1$	0	0	1	0	0	1	0	1	r	0	$+(V_1)$
B	$+V_1$ a $+V_2$	0	0	0	0	1	0	0	1	s	0	$+(V_1 + V_2)$
C	$+V_2$ a $+(V_1 + V_2)$	1	0	0	0	1	0	0	1	t	$+(V_2)$	$+(V_1 + V_2)$
D	$-V_1$ a 0	0	0	0	1	0	1	0	1	u	$-(V_1)$	0
E	$-V_2$ a $-V_1$	0	0	0	0	0	1	1	0	v	$-(V_1 + V_2)$	0
F	$-(V_1 + V_2)$ a $-V_2$	0	1	0	0	0	1	1	0	w	$-(V_1 + V_2)$	$-(V_2)$

A diferença dos valores de grampeamento da tensão de saída pode ser observada nas Figuras 44a e 44b resultantes de simulação no software PSIM, com $m_f = 83,33$, $m_a = 0,943$ e tempo morto de $1 \mu s$ entre os comandos de abertura e fechamento das chaves. A simulação utilizou a configuração de chave bidirecional com coletor comum, alterando-se apenas a lógica das chaves entre os dois modelos já apresentados. Na Figura 44a, os dois elementos Q_{5a} e Q_{5b} receberam o comando de Q_5 , conforme apresentado pela Tabela 3, e Q_{6a} e Q_{6b} receberam o comando de Q_6 . Na Figura 44b, a lógica apresentada pela Tabela 9 foi utilizada. Para exemplificar todos os casos possíveis de grampeamento durante o tempo morto, o circuito foi simulado com uma carga puramente indutiva, o que atrasa a corrente em um quarto de ciclo, permitindo observar o grampeamento em cada intervalo com corrente positiva e negativa.

A Figura 45 apresenta os caminhos de corrente para os casos citados na Tabela 9, com corrente positiva e negativa em cada um dos intervalos entre níveis. Apesar da simulação ter sido feita com o braço central da chave bidirecional com a configuração de coletor comum, o resultado é equivalente para qualquer uma das chaves bidirecionais apresentadas. É possível perceber que a condução de uma das chaves dos elementos bidirecionais permite a circulação da corrente em apenas um sentido, diminuindo a tensão de grampeamento nos terminais de saída do inversor durante o tempo morto. Elimina-se, assim, a maior parte dos picos de tensão que foram observados na simulação (Figura 44a) e no protótipo confeccionado (Figura 40). Deve-se notar que no protótipo confeccionado a baixa ocorrência dos picos de tensão citados deve-se à sub-amostragem do osciloscópio, devendo existir em todos os ciclos de chaveamento.

Com a nova estratégia de comando das chaves, os picos de tensão são presentes apenas nos chaveamentos dos intervalos **B** e **E**, mas agora possuem valor reduzido para apenas um

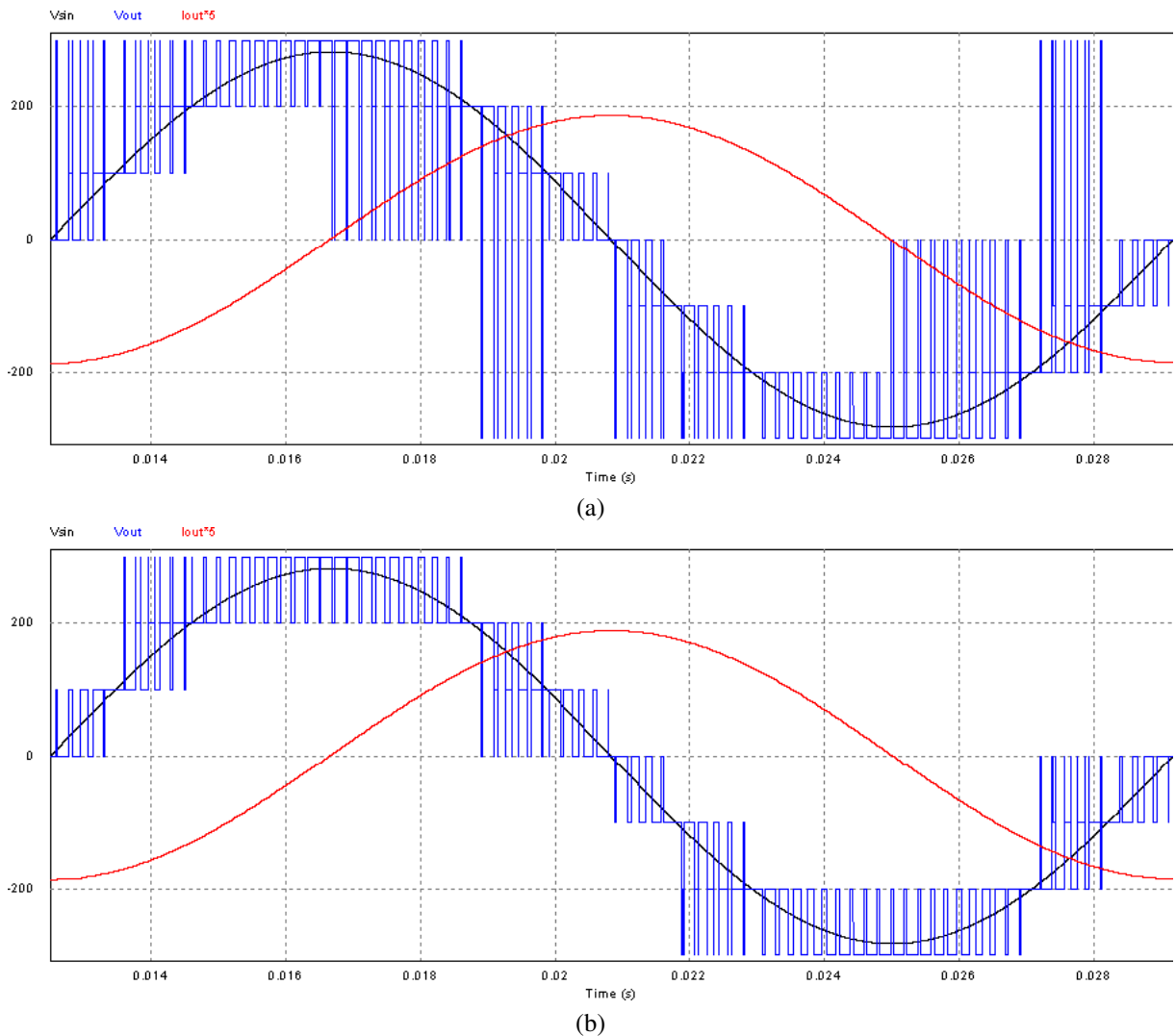


Figura 44: Simulação da topologia com chave bidirecional de coletor comum e tempo morto de $1 \mu\text{s}$ para demonstração do grameamento reduzido. (a) Com a lógica de chaveamento da Tabela 3; (b) Com a lógica de chaveamento da Tabela 9.

nível além do desejado.

5.4 CONCLUSÃO SOBRE RESULTADOS EXPERIMENTAIS

Foi apresentado neste capítulo o circuito lógico em FPGA utilizado para a geração dos sinais de chaveamento do inversor proposto e os componentes utilizados em sua montagem, assim como as equações utilizadas para o cálculo da razão cíclica em cada chave, necessário para o uso dos comparadores discretos utilizados na FPGA. Os valores de eficiência e distorção harmônica foram levantados.

Com a detecção do efeito do tempo morto na forma de onda da tensão sintetizada, foi proposto o uso da chave bidirecional constituída de duas chaves em anti-série com coletor

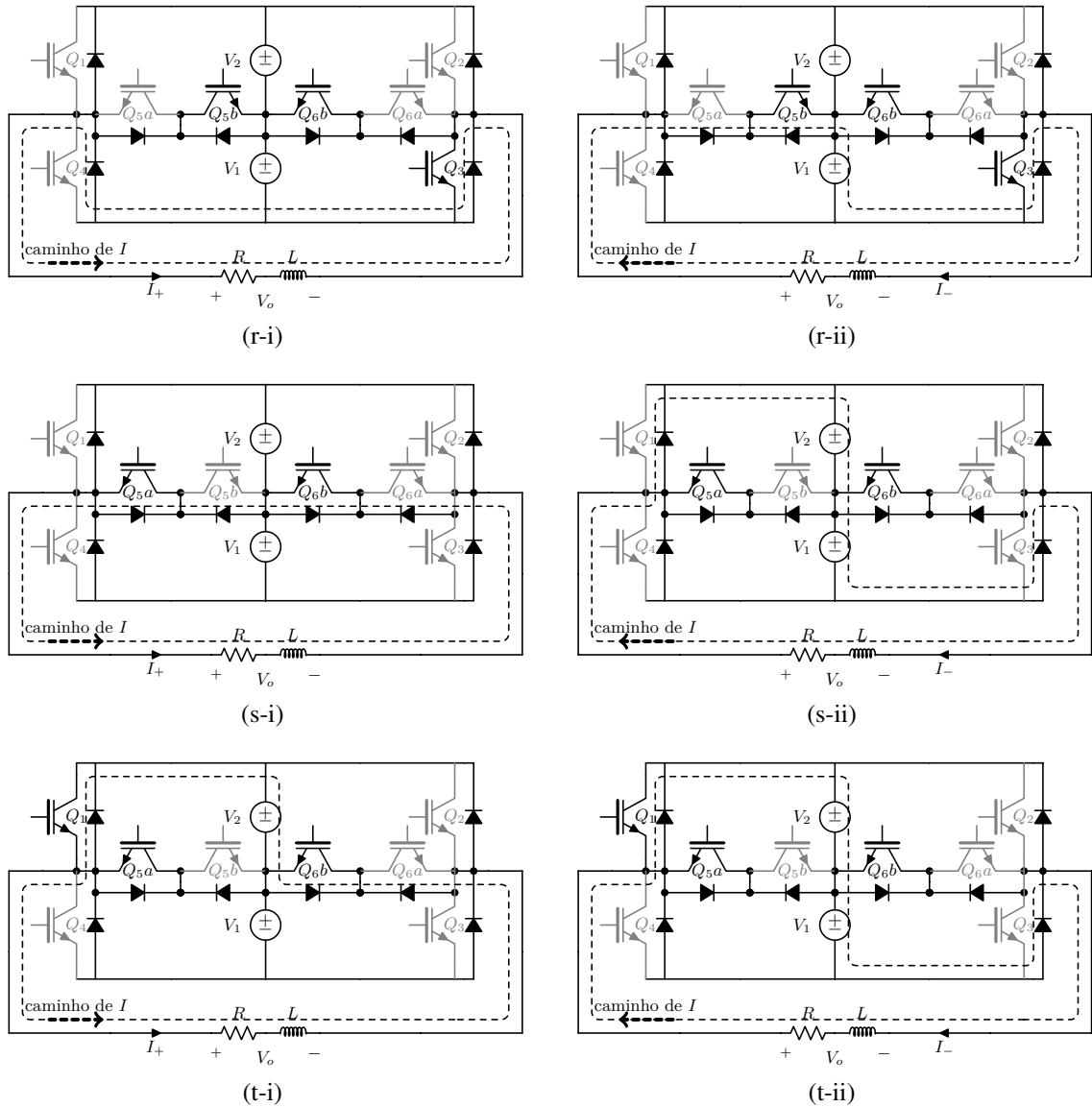


Figura 45: Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante para os casos de tempo morto apresentados na Tabela 10. (r-i) Chaves 3, 5b e 6b ativas, tensão de saída 0 V, corrente positiva; (r-ii) Chaves 3, 5b e 6b ativas, tensão de saída $+V_1$, corrente negativa; (s-i) Chaves 5a e 6b ativas, tensão de saída 0 V, corrente positiva; (s-ii) Chaves 5a e 6b ativas, tensão de saída $+(V_1 + V_2)$, corrente negativa; (t-i) Chaves 1, 5a e 6b ativas, tensão de saída $+V_2$, corrente positiva; (t-ii) Chaves 1, 5a e 6b ativas, tensão de saída $+(V_1 + V_2)$, corrente negativa.

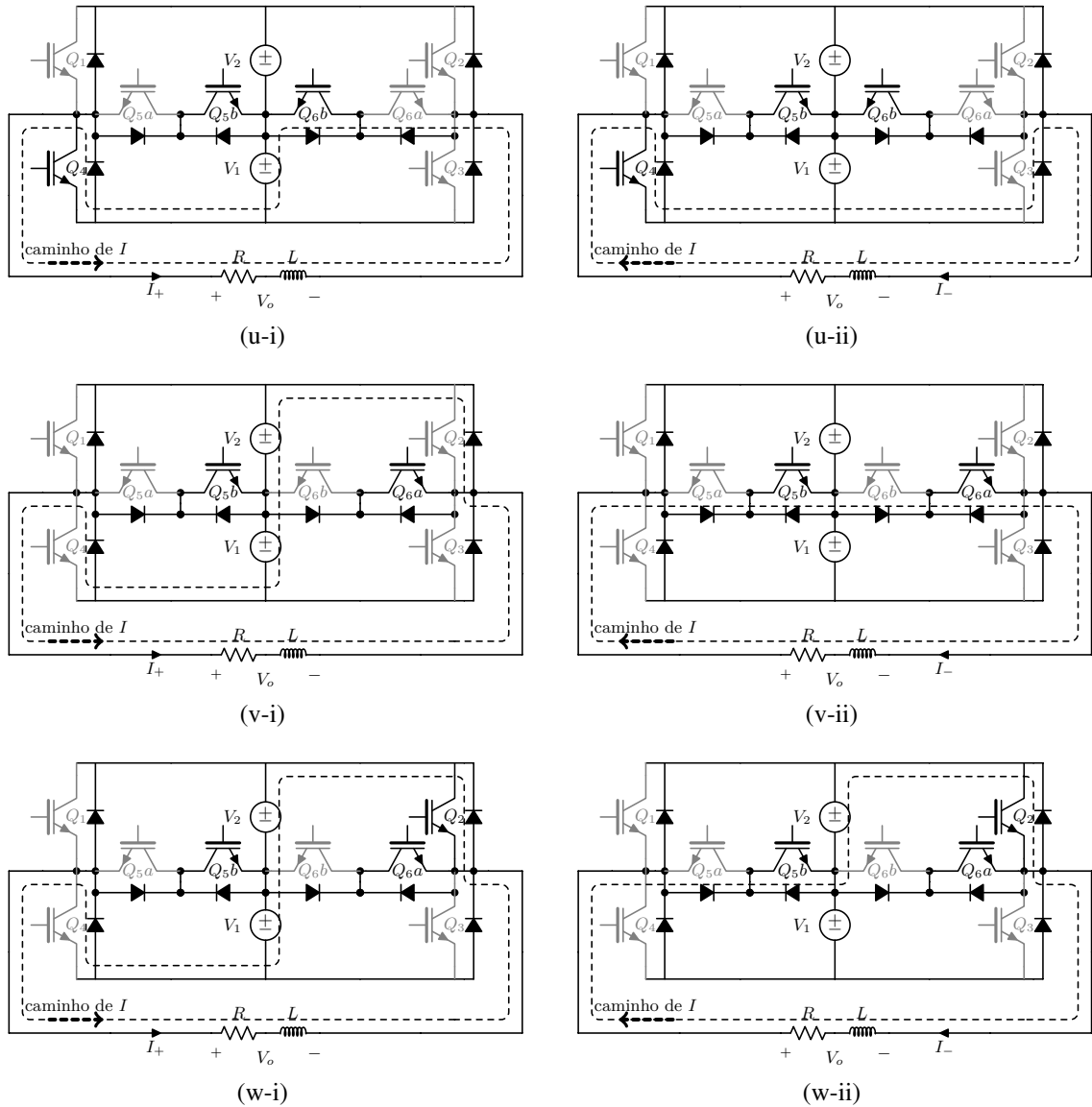


Figura 45: (cont.) Caminhos de corrente possíveis no inversor sete-níveis com as chaves ativas e a tensão de saída resultante para os casos de tempo morto apresentados na Tabela 10. (u-i) Chaves 4, 5b e 6a ativas, tensão de saída $-V_1$, corrente positiva; (u-ii) Chaves 4, 5b e 6a ativas, tensão de saída 0 V, corrente negativa; (v-i) Chaves 5b e 6a ativas, tensão de saída $-(V_1 + V_2)$, corrente positiva; (v-ii) Chaves 5b e 6a ativas, tensão de saída 0 V, corrente negativa; (w-i) Chaves 2, 5b e 6a ativas, tensão de saída $-(V_1 + V_2)$, corrente positiva; (w-ii) Chaves 2, 5b e 6a ativas, tensão de saída $-V_2$, corrente negativa.

comum, assim como novas equações de chaveamento para que haja um grampeamento da tensão de saída para níveis mais próximos dos que estão sendo chaveados a cada intervalo. Para demonstrar a vantagem dessa modulação foi apresentado o resultado de duas simulações, comparando a primeira proposta de modulação com a nova, que apresenta o grampeamento ideal da tensão de saída para quatro dos seis intervalos de chaveamento existentes, enquanto a original apresenta picos de tensão além do valor desejado em todos os intervalos.

O próximo capítulo fará um breve estudo das perdas de condução e chaveamento do conversor proposto, calculadas por meio de um programa realizado em linguagem *Python*, para comparação com o resultado alcançado com o protótipo. Na sequência, serão apresentadas sugestões para a alimentação dos dois barramentos utilizados pela topologia deste trabalho.

6 ESTÁGIOS DE ENTRADA

Para a alimentação do circuito proposto é necessário a utilização de duas fontes de tensão. Estas fontes, porém, não precisam ser isoladas entre si, dado que são conectadas em série no barramento. As fontes contribuem de forma assimétrica na potência de saída do inversor. É apresentado na Tabela 11, uma comparação da potencia média fornecida por cada fonte à saída, para diferentes índices de m_a , até o limite da existência dos sete níveis, para uma carga puramente resistiva. É possível observar que a fonte de maior tensão é a que possui a maior contribuição de potência, de aproximadamente 73 % a 82 % da potência para toda a faixa. Uma corrente reativa no circuito possui potência ativa nula e, portanto, não altera a proporcionalidade das potências fornecidas.

A conexão em série permite que a fonte V_1 , de menor tensão e menor participação da potência de saída, possa ser obtida a partir da fonte de maior tensão por um conversor CC-CC não isolado, tal como o conversor *Buck-Boost* ou *Ćuk*. O conversor *Buck-Boost* é apresentado na Figura 46a e tem ganho G para uma razão cíclica d tal que:

$$G = \frac{V_2}{V_1} = \frac{d}{1-d} \quad (54)$$

Tabela 11: Porcentual de Potência fornecido à uma carga resistiva para diferentes índices de modulação.

m_a	Potência V_1	Potência V_2
1	27,11 %	72,89 %
0,96	25,17 %	74,83 %
0,92	23,27 %	76,73 %
0,88	21,48 %	78,52 %
0,83	19,89 %	80,11 %
0,79	18,66 %	81,34 %
0,75	18,07 %	81,93 %
0,71	18,65 %	81,35 %
0,67	21,80 %	78,20 %

Pode-se ainda inverter os valores das tensões das fontes V_1 e V_2 no circuito, de forma que $V_1 = 2V_2$ (observando as alterações necessárias na lógica de chaveamento) e gerar a tensão para V_2 a partir da inversão da chave e do diodo e da entrada (fonte) e saída (capacitor) de um conversor *Buck-Boost* como apresentado na Figura 46b. Esta configuração possui o mesmo ganho estático do conversor *Buck-Boost* tradicional.

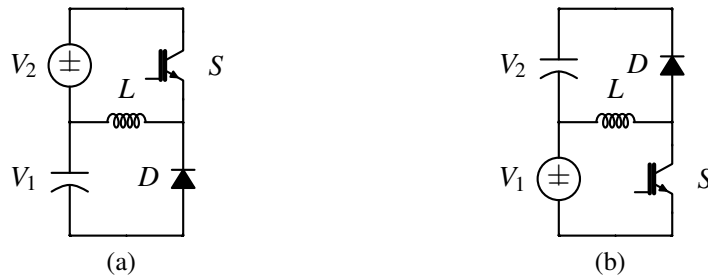


Figura 46: Sugestões de conversores não isolados para carga do menor barramento. (a) - Conversor *Buck-Boost*. (b) - Conversor *Buck-Boost* reverso, com as posições das fontes, chaves e do fluxo de potência invertidas.

Outra topologia que pode ser utilizada é o próprio estágio de entrada sugerido em Wu e Chou (2014). Isto é apresentado na Figura 9 com um indutor acoplado para a carga do barramento superior e curto-circuitando a chave S_{s1} .

Caso a fonte de tensão de entrada for contínua e necessitar de um estágio elevador para atingir a tensão do primeiro barramento, pode-se utilizar um circuito *boost* elevador de tensão para o primeiro estágio, intercalado com outro circuito *boost* em uma configuração de dobrador de tensão como apresentado na Figura 47. As Figuras 47b a 47e apresentam os intervalos de tempo possíveis, de acordo com as 4 possíveis combinações de estados das duas chaves comandadas S_1 e S_2 . Na Figura 47a pode-se observar a composição de um circuito *boost* composto pela fonte U_1 , indutor L_1 , chave S_1 , diodo D_1 e capacitor C_1 . Um par de diodo e capacitor D_d e C_d constituem um dobrador de tensão, que se carrega em paralelo com C_1 quando a chave S_2 estiver em condução, conforme é apresentado na Figura 47d, mesmo momento em que o indutor L_2 também é carregado. Se as chaves S_1 e S_2 possuírem a mesma razão cíclica, L_1 e L_2 terão o mesmo valor de tensão. Assim, o conjunto U_1 , L_2 , C_d , D_2 e C_2 funcionará como um dobrador de tensão enquanto S_1 estiver ativo e S_2 aberto (Figura 47b). Algumas condições precisam ser satisfeitas para o funcionamento deste circuito. As chaves devem possuir comando independente, deve-se assegurar um tempo suficiente na condição da Figura 47d para a carga do capacitor do dobrador de tensão e a condição que maximiza este caso ocorre para um defasamento de 180° entre os comandos das chaves. Durante o intervalo apresentado pelas Figuras 47b e 47c ocorre a carga do capacitor C_2 pelo dobrador constituído da fonte U_1 , de L_2 e C_d . Para razões cíclicas maiores que 50 %, o caso da Figura 47c não ocorre,

e o dobrador funciona como esperado. Para razões menores que 50 %, o caso da Figura 47e não ocorre.

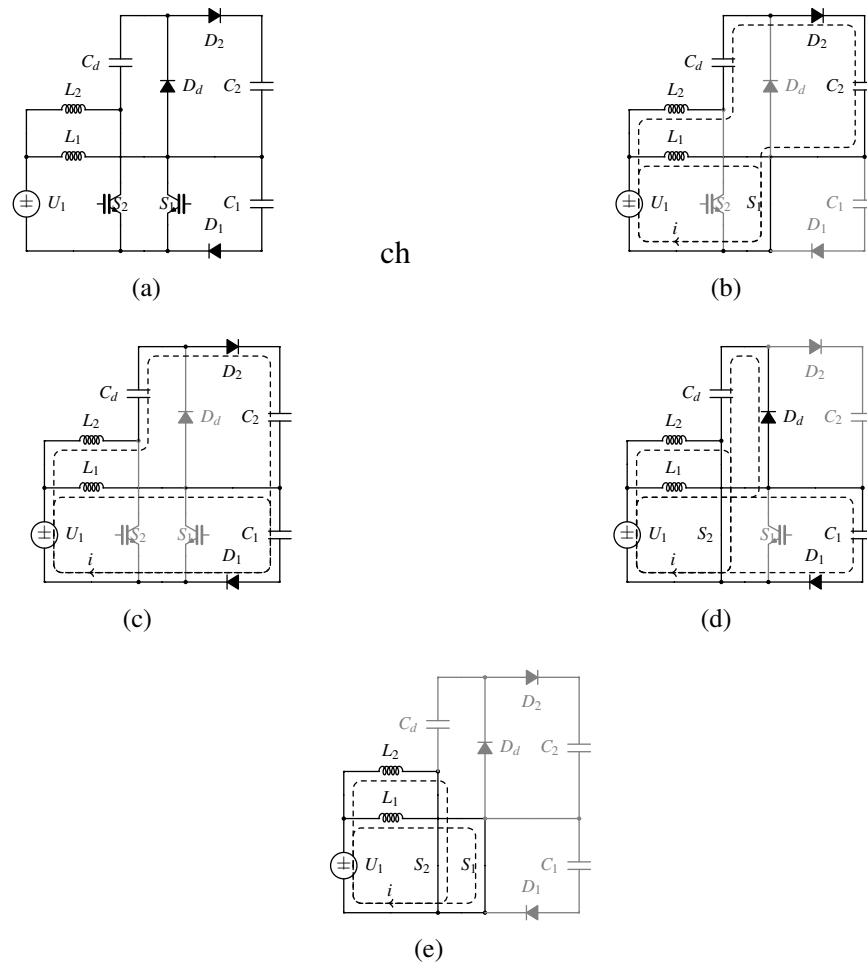


Figura 47: Circuito elevador de tensão com dobrador de tensão. (a) - Circuito Completo. (b) - Chave S_1 em condução, S_2 bloqueada. (c) - Chaves S_1 e S_2 abertas. (d) - Chave S_1 bloqueada, S_2 em condução. (e) - Chaves S_1 e S_2 em condução.

As topologias de entrada acima apresentadas não são isoladas da saída do inversor. Esta configuração normalmente apresenta maior rendimento, uma vez que não há perdas no processo de isolamento e tem maior facilidade em sua construção, comando e controle. Podem ser aplicadas à fontes de tensão contínua, tais como painéis solares e bancos de bateria.

Alvarenga (2014) apresenta uma topologia que associa uma entrada de um retificador com correção de fator de potência com dois braços de elevação de tensão a uma ponte completa para criar um barramento secundário isolado. O chaveamento em cada braço é defasado em 180° . A tensão sobre o primário do transformador consiste na frequência de chaveamento com uma modulação em amplitude na frequência da alimentação. A topologia pode ser utilizada com a divisão do enrolamento secundário de forma que os enrolamentos mantenham a relação de tensão desejada no conversor proposto e um dos enrolamentos forneça o dobro da tensão do

outro. Para tal, $n_{s2} = 2 \cdot n_{s1}$. Essa configuração permite a retificação isolada de cada enrolamento para a geração dos dois barramentos de saída, conforme apresentado na Figura 48. Deve-se notar ainda que a indutância de dispersão L_s do transformador é fundamental para o controle da corrente sendo transferida aos barramentos secundários.

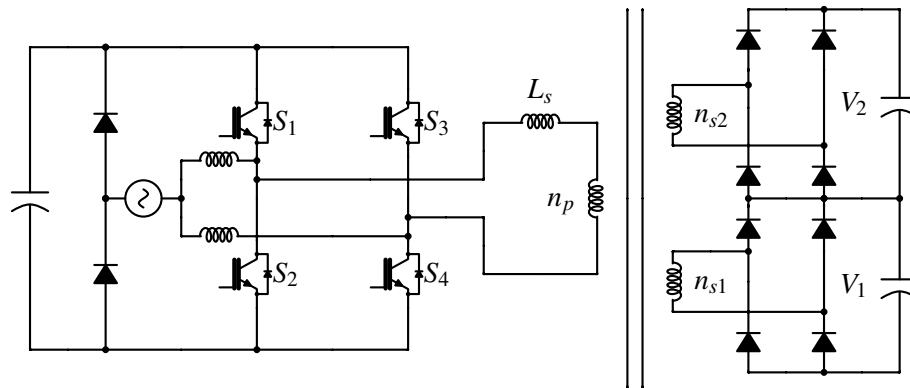


Figura 48: Circuito de Retificador com correção de fator de potência com saída de tensão assimétrica $V_2 = 2V_1$.

A utilização desta topologia permite o uso do inversor sete fases em aplicações de fontes de energia ininterruptas, dado que a fonte senoidal de entrada pode ser uma rede elétrica fornecida por uma concessionária. Pode facilmente, também, ser substituída por um banco de baterias, associações de painéis solares ou micro geradores eólicos ou hídricos, excluindo-se o braço de diodos retificadores e conectando-se a referência destes elementos diretamente ao ponto negativo do barramento de entrada. Dessa forma, tem-se uma saída senoidal sete níveis isolada das fontes de alimentação de origem, garantindo maior segurança e confiabilidade de operação.

Para ambos os casos de entrada, o inversor também pode trabalhar acoplado à rede elétrica, de forma a fornecer energia para o sistema elétrico. Nos casos não isolados é convencional a utilização de indutores em série nas conexões tanto com a fase quanto com o neutro do sistema. Para o conversor isolado, pode-se utilizar apenas um indutor, de forma a permitir o controle da corrente de saída.

6.1 CONCLUSÃO SOBRE ESTÁGIOS DE ENTRADA

Alguns circuitos foram propostos para a geração dos dois barramentos assimétricos utilizados pelo conversor sete níveis proposto. Devido à não necessidade de isolamento entre os barramentos, algumas sugestões utilizam conversores clássicos como o *buck-boost* e o *boost*, ou ainda dois conversores *boost* associados com um dobrador de tensão. Pode-se também utilizar o conversor apresentado na Figura 9 para uma entrada de tensão contínua, utilizando uma técnica

de indutor acoplado, ou ainda outra topologia, isolada, que permite utilização de um estágio retificador de entrada para entradas em tensão alternada, mas que também pode ser aplicado a fontes de tensão contínua.

7 CONCLUSÃO GERAL

A topologia proposta para um inversor de sete níveis igualmente espaçados modulado por largura de pulso possui a vantagem de utilizar um número reduzido de chaves, quando comparado aos inversores sete níveis tradicionais e os outros propostos nos últimos anos. Não se possui a vantagem da redução da tensão aplicada às chaves e diodos bloqueados, de forma que a tensão de barramento e de modulação fica limitada pela tensão máxima suportável pelos componentes utilizados na composição do circuito. Por outro lado, o padrão de chaveamento é simplificado por atuar diretamente na tensão de saída e não há capacitores auxiliares cuja tensão deva ser balanceada pela modulação da tensão de saída.

O número de chaves necessárias para o inversor e o número de chaves conduzindo em qualquer instante depende da chave bidirecional escolhida. Utilizando a chave bidirecional com ponte completa de diodo (Figura 18a), são necessárias apenas seis chaves ativas e apenas duas chaves ativas conduzem em qualquer instante da modulação. Durante a condução da chave bidirecional, porém, há ainda a condução de dois diodos da ponte, elevando a quatro semicondutores em condução (duas chaves e dois diodos) durante estas etapas. As perdas de bloqueio dos diodos também devem ser consideradas. A vantagem desta solução é a necessidade de apenas seis *drivers* para acionamento das chaves, mas, como demonstrado em experimentos práticos, o tempo morto no chaveamento gera picos de tensão na forma de onda de saída que não refletem exatamente o funcionamento ideal do circuito. Estes picos extrapolam as tensões mínima e máxima do intervalo de tensão sendo modulado e podem ser causados por uma indutância de filtro na saída do inversor, por uma carga com características indutivas conectada diretamente ao inversor, ou penas impedâncias parasitas do circuito.

Ao utilizar a chave bidirecional com configuração de duas chaves em anti-série (Figuras 18c e 18b), é reduzido o número máximo de semicondutores em condução de quatro para três (duas chaves e um diodo), reduzindo as perdas por condução, mas há o acréscimo de dois *drivers* para as duas chaves adicionais do circuito. O número de fontes necessárias para estes drivers adicionais não aumenta, como demonstrado na Tabela 1. Na verdade, para a configuração de emissor comum, consegue-se reduzir a quantidade de fontes necessárias em

uma unidade.

Com essa configuração de duas chaves em anti-série e utilizando sinais diferentes para o comando dos IGBTs da chave bidirecional, é possível eliminar o pico de tensão de grampeamento nos intervalos de chaveamento A, C, D e F com a condução da chave bidirecional em apenas um sentido durante o tempo morto, grampeando a tensão de saída em um novo valor conforme resumo apresentado na Tabela 10. Dessa maneira, a forma de onda da tensão de saída do inversor se aproxima mais da forma teórica apresentada pelas Figuras 23 e 28. Essa técnica também permite a redução das perdas por chaveamento, já que a tensão sobre as chaves durante a comutação é reduzida.

Como a topologia apresentada neste trabalho não apresenta redução de tensão nas chaves do circuito, ela se torna vantajosa apenas para sistemas em que o valor máximo da tensão de saída modulada não seja maior que as tensões máximas suportadas pelas chaves utilizadas. Os IGBTs e MOSFETs de carbeto de silício existentes atualmente no mercado estão atingindo patamares de tensão de bloqueio de até 1700 V, mas a capacidade de suportar tensão elevada tende a elevar as perdas por chaveamento e condução. Os FETs de nitreto de gálio se apresentam como uma alternativa na faixa de tensão até 600 V na busca por maiores rendimentos e frequência de chaveamento, mas ainda não se popularizaram devido a seu elevado custo. A topologia apresenta, dessa forma, uso oportuno para alimentação e controle de equipamentos e motores em sistemas de baixa tensão alternada de até 1000 V, podendo executar também funções de controle de velocidade, ou também como inversor conectado à rede para injeção de energia proveniente de fontes renováveis.

Devido à baixa contagem de componentes, fontes e *drivers* para a obtenção dos sete níveis, o conversor proposto também apresenta um bom rendimento, menor custo de confecção e menor probabilidade de apresentar defeito em funcionamento, o que aumenta sua confiabilidade e vida útil. Com apenas seis ou oito sinais de chaveamento (dependendo da chave bidirecional escolhida), o comando do inversor pode ser executado por um processador digital de sinais (*Digital Signal Processor – DSP*) de menor custo e velocidade.

A Tabela 4 apresentou um comparativo construtivo entre as topologias citadas e sugeridas por este trabalho, demonstrando a menor quantidade de chaves necessárias para construção da topologia proposta e, dentre as topologias apresentadas com número reduzido de chaves, é a única em que os barramentos são conectados em série, trazendo a vantagem de não necessitar fontes de tensão isoladas.

Foram também apresentadas algumas sugestões de topologias isoladas e não isoladas para a alimentação dos dois barramentos necessários para o inversor proposto, visto que a tensão

e potência de cada um deles não é simétrica.

Os resultados experimentais foram utilizados para verificar a viabilidade, funcionalidade e eficiência do inversor proposto. A topologia se apresenta, por fim, como um método viável de sintetização de uma tensão de saída senoidal para sistemas de baixa tensão e potência, podendo ser escalonado com a paralelização dos componentes utilizados.

REFERÊNCIAS

- ABU-RUB, H.; MALINOWSKI, M.; AL-HADDAD, K. Energy, global warming and impact of power electronics in the present century. In: _____. **Power Electronics for Renewable Energy Systems, Transportation and Industrial Applications**. Wiley-IEEE Press, 2014. p. 832–. ISBN 9781118755525. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7794296>>.
- ABU-RUB, H.; MALINOWSKI, M.; AL-HADDAD, K. High power electronics: Key technology for wind turbines. In: _____. **Power Electronics for Renewable Energy Systems, Transportation and Industrial Applications**. Wiley-IEEE Press, 2014. p. 832–. ISBN 9781118755525. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7794191>>.
- ABU-RUB, H.; MALINOWSKI, M.; AL-HADDAD, K. Multilevel converter/inverter topologies and applications. In: _____. **Power Electronics for Renewable Energy Systems, Transportation and Industrial Applications**. Wiley-IEEE Press, 2014. p. 832–. ISBN 9781118755525. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7794279>>.
- ABU-RUB, H.; MALINOWSKI, M.; AL-HADDAD, K. Photovoltaic energy conversion systems. In: _____. **Power Electronics for Renewable Energy Systems, Transportation and Industrial Applications**. Wiley-IEEE Press, 2014. p. 832–. ISBN 9781118755525. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7794250>>.
- AGELIDIS, V. G.; BALOUKTSIS, A. I. A seven-level defined selective harmonic elimination pwm strategy. In: **2006 37th IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 2006. p. 1–7. ISSN 0275-9306.
- AHMED, R.; MEKHILEF, S.; PING, H. W. New multilevel inverter topology with minimum number of switches. In: **TENCON 2010 - 2010 IEEE Region 10 Conference**. [S.l.: s.n.], 2010. p. 1862–1867. ISSN pending.
- AHMED, R.; MEKHILEF, S.; PING, H. W. New multilevel inverter topology with reduced number of switches. In: **MEPCON 2010 - Fourteenth International Middle East Power Systems Conference**. [S.l.: s.n.], 2010. p. 565–570.
- ALVARENGA, D. B. de. **Projeto e implementação de um retificador isolado em alta frequência**. 149 f. Dissertação (Mestrado em Engenharia Elétrica e Informática Industrial) — Universidade Tecnológica Federal do Paraná, Curitiba, 2014.
- BABAEI, E. A cascade multilevel converter topology with reduced number of switches. **IEEE Transactions on Power Electronics**, v. 23, n. 6, p. 2657–2664, Nov 2008. ISSN 0885-8993.
- BROECK, H. W. van der; SKUDELNY, H. C.; STANKE, G. V. Analysis and realization of a pulsewidth modulator based on voltage space vectors. **IEEE Transactions on Industry Applications**, v. 24, n. 1, p. 142–150, Jan 1988. ISSN 0093-9994.

CARRARA, G.; GARDELLA, S.; MARCHESONI, M.; SALUTARI, R.; SCIUTTO, G. A new multilevel pwm method: a theoretical analysis. **IEEE Transactions on Power Electronics**, v. 7, n. 3, p. 497–505, Jul 1992. ISSN 0885-8993.

CHAKRAVARTHULA, A.; REDDY, T. C.; FERNANDES, B. G. Multilevel operation of a pv fed grid connected current fed inverter under equal and unequal dc link currents. In: **2015 IEEE International Conference on Industrial Technology (ICIT)**. [S.l.: s.n.], 2015. p. 2848–2854.

DAHIDAH, M. S. A.; AGELIDIS, V. G. Generalized formulation of multilevel selective harmonic elimination pwm: Case i-non-equal dc sources. In: **2006 37th IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 2006. p. 1–6. ISSN 0275-9306.

DAHIDAH, M. S. A.; AGELIDIS, V. G. Selective harmonic elimination pwm control for cascaded multilevel voltage source converters: A generalized formula. **IEEE Transactions on Power Electronics**, v. 23, n. 4, p. 1620–1630, July 2008. ISSN 0885-8993.

DEWAN, S. B.; STRAUGHEN, A. **Power Semiconductor Circuits**. [S.l.]: Wiley, 1975. ISBN 047121180X.

Fuji Electric. **IGBT Module for 3-Level Power Conversion Circuit**. 2017. Disponível em: <<http://www.fujielectric.com/products/semiconductor/model/igbt/3level.html>>.

GÁLVEZ, J. L.; PERPIÑÀ, X.; VELLVEHÍ, M.; SÁNCHEZ, D.; JORDÀ, X.; MILLÁN, J. Computation method and comparison of semiconductor power losses within bidirectional switches (bds). In: **2017 Spanish Conference on Electron Devices (CDE)**. [S.l.: s.n.], 2017. p. 1–4.

GUPTA, A. K.; KHAMBADKONE, A. M. A space vector pwm scheme for multilevel inverters based on two-level space vector pwm. **IEEE Transactions on Industrial Electronics**, v. 53, n. 5, p. 1631–1639, Oct 2006. ISSN 0278-0046.

KHOMFOI, S.; TOLBERT, L. M. Multilevel power converters. In: **Power Electronics Handbook**. 2nd. ed. [S.l.]: Elsevier, 2007. cap. 17, p. 451–482. ISBN 978-0-12-088479-7.

KLUMPNER, C.; BLAABJERG, F. Using reverse blocking igbts in power converters for adjustable speed drives. In: **38th IAS Annual Meeting on Conference Record of the Industry Applications Conference, 2003**. [S.l.: s.n.], 2003. v. 3, p. 1516–1523 vol.3.

KOURO, S.; MALINOWSKI, M.; GOPAKUMAR, K.; POU, J.; FRANQUELO, L. G.; WU, B.; RODRIGUEZ, J.; PEREZ, M. A.; LEON, J. I. Recent advances and industrial applications of multilevel converters. **IEEE Transactions on Industrial Electronics**, v. 57, n. 8, p. 2553–2580, Aug 2010. ISSN 0278-0046.

MALINOWSKI, M.; GOPAKUMAR, K.; RODRIGUEZ, J.; PÉREZ, M. A survey on cascaded multilevel inverters. **Industrial Electronics, IEEE Transactions on**, v. 57, n. 7, p. 2197–2206, July 2010. ISSN 0278-0046.

MANASA, S.; BALAJI, S. R.; MADHURA, S.; MOHAN, M. H. Design and simulation of three phase five level and seven level inverter fed induction motor drive with two cascaded h-bridge configuration. **International Journal of Electrical and Electronics Engineering**, v. 1, p. 25–30, 2012. ISSN 2231-5284.

MICROSEMI. **Three Level T-type Inverter SiC MOSFET Module**. 2017. Disponível em: <<https://www.microsemi.com/product-directory/sic-mosfet-module/1351-three-level-t-type-inverter>>.

MOOSAVI, M.; FARIVAR, G.; IMANEINI, H.; SHEKARABI, S. A voltage balancing strategy with extended operating region for cascaded h-bridge converters. **Power Electronics, IEEE Transactions on**, PP, n. 99, p. 1–1, 2013. ISSN 0885-8993.

NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. **IEEE Transactions on Industry Applications**, IA-17, n. 5, p. 518–523, Sept 1981. ISSN 0093-9994.

OUNEJJAR, Y.; AL-HADDAD, K.; DESSAINT, L.-A. A novel six-band hysteresis control for the packed u cells seven-level converter: Experimental validation. **Industrial Electronics, IEEE Transactions on**, v. 59, n. 10, p. 3808–3816, Oct 2012. ISSN 0278-0046.

OUNEJJAR, Y.; AL-HADDAD, K.; GREGOIRE, L. A. Packed u cells multilevel converter topology: Theoretical study and experimental validation. **IEEE Transactions on Industrial Electronics**, v. 58, n. 4, p. 1294–1306, April 2011. ISSN 0278-0046.

PARK, S.-J.; KANG, F.-S.; LEE, M. H.; KIM, C.-U. A new single-phase five-level pwm inverter employing a deadbeat control scheme. **Power Electronics, IEEE Transactions on**, v. 18, n. 3, p. 831–843, May 2003. ISSN 0885-8993.

RAHIM, N.; CHANIAGO, K.; SELVARAJ, J. Single-phase seven-level grid-connected inverter for photovoltaic system. **Industrial Electronics, IEEE Transactions on**, v. 58, n. 6, p. 2435–2443, June 2011. ISSN 0278-0046.

RECH, C. **Análise, projeto e desenvolvimento de sistemas multiníveis híbridos**. 249 f. Tese (Doutorado - Programa de Pós-Graduação em Engenharia Elétrica) — Universidade Federal de Santa Maria, Santa Maria, 2005.

RIOUAL, P.; POULIQUEN, H.; LOUIS, J. P. Regulation of a pwm rectifier in the unbalanced network state using a generalized model. **IEEE Transactions on Power Electronics**, v. 11, n. 3, p. 495–502, May 1996. ISSN 0885-8993.

RODRIGUEZ, J.; BERNET, S.; STEIMER, P.; LIZAMA, I. A survey on neutral-point-clamped inverters. **Industrial Electronics, IEEE Transactions on**, v. 57, n. 7, p. 2219–2230, July 2010. ISSN 0278-0046.

RODRIGUEZ, J.; FRANQUELO, L. G.; KOURO, S.; LEON, J. I.; PORTILLO, R. C.; PRATS, M. A. M.; PEREZ, M. A. Multilevel converters: An enabling technology for high-power applications. **Proceedings of the IEEE**, v. 97, n. 11, p. 1786–1817, Nov 2009. ISSN 0018-9219.

RODRIGUEZ, J.; LAI, J.-S.; PENG, F. Z. Multilevel inverters: a survey of topologies, controls, and applications. **Industrial Electronics, IEEE Transactions on**, v. 49, n. 4, p. 724–738, Aug 2002. ISSN 0278-0046.

SANTOS, E. dos; SILVA, E. R. da. Introduction. In: _____. **Advanced Power Electronics Converters: PWM Converters Processing AC Voltages**. Wiley-IEEE Press, 2014. p. 376–. ISBN 9781118886953. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7027316>>.

SEMIKRON. **IGBT Modules**. 2017. Disponível em: <<https://www.semikron.com/products/product-classes/igbt-modules.html#view/table/items/40/filters/switches=tmli+tmli-t/>>.

SETH, N.; GOEL, V.; KULKARNI, R. D.; JOSHI, V. P. Performance analysis of seven level three phase asymmetric multilevel inverter at various modulation indices. In: **2016 International Conference on Electrical Power and Energy Systems (ICEPES)**. [S.l.: s.n.], 2016. p. 407–413.

SONG, B.-M.; LAI, J.-S.; JEONG, C.-Y.; YOO, D.-W. A soft-switching high-voltage active power filter with flying capacitors for urban maglev system applications. In: **Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE**. [S.l.: s.n.], 2001. v. 3, p. 1461–1468 vol.3. ISSN 0197-2618.

TOLBERT, L. M.; PENG, F. Z.; HABETLER, T. G. Multilevel converters for large electric drives. **IEEE Transactions on Industry Applications**, v. 35, n. 1, p. 36–44, Jan 1999. ISSN 0093-9994.

WHEELER, P. W.; RODRIGUEZ, J.; CLARE, J. C.; EMPRINGHAM, L.; WEINSTEIN, A. Matrix converters: a technology review. **IEEE Transactions on Industrial Electronics**, v. 49, n. 2, p. 276–288, Apr 2002. ISSN 0278-0046.

WU, J.-C.; CHOU, C.-W. A solar power generation system with a seven-level inverter. **Power Electronics, IEEE Transactions on**, v. 29, n. 7, p. 3454–3462, July 2014. ISSN 0885-8993.

YAZDANI, A.; IRAVANI, R. Electronic power conversion. In: _____. **Voltage-Sourced Converters in Power Systems: Modeling, Control, and Applications**. Wiley-IEEE Press, 2010. p. 541–. ISBN 9780470551578. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6739418>>.

YU, H.; CHEN, B.; YAO, W.; LU, Z. Hybrid seven-level converter based on t-type converter and h-bridge cascaded under spwm and svm. **IEEE Transactions on Power Electronics**, PP, n. 99, p. 1–1, 2017. ISSN 0885-8993.

YUAN, X.; BARBI, I. A new diode clamping multilevel inverter. In: **Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual**. [S.l.: s.n.], 1999. v. 1, p. 495–501 vol.1.

YUSOF, N.; SAPARI, N.; MOKHLIS, H.; SELVARAJ, J. A comparative study of 5-level and 7-level multilevel inverter connected to the grid. In: **Power and Energy (PECon), 2012 IEEE International Conference on**. [S.l.: s.n.], 2012. p. 542–547.

APÊNDICE A – CÓDIGO EM PYTHON PARA CÁLCULO DE PERDAS DAS CHAVES E DIODOS

```
#####
# Script Python para cálculo de perdas de chaveamento na topologia          #
# sete níveis proposta. Disponível em:                                       #
# https://github.com/martinbra/mestrado\_perdas7niveis/ #
#                                                                              #
# Versão utilizada: Python 2.7                                               #
#####

#####
# IMPORTAÇÃO DE BIBLIOTECAS                                                  #
#####

# Habilita resultado real da divisão (e não apenas parte inteira)
from __future__ import division

# Importa funções matemáticas utilizadas
from math import sin, pi, asin, sqrt, floor, ceil, log10

# Importa interpolacao de valor em lista
import scipy.interpolate

#####
# VARIÁVEIS DEFINIDAS PELO USUÁRIO                                          #
# Usuário deve inserir valores das variaveis para calculo de perdas        #
# chaveamento para as chaves e diodos utilizados.                          #
#####

# Tensões das fontes de entrada
V1 = 100      # Volts
V2 = 200      # Volts

# Amplitude da senoide de referencia a ser sintetizada
Ar = V1 + V2 # Volts

# Valor eficaz da corrente de saída
Ief = 4.25    # Aef

# Defasamento Corrente, utilizado apenas para corrente linear
I_def = 0 # rad (-pi/2 <= I_def <= pi/2)

# Frequência da senoide de referência a ser sintetizada
fr = 60      # Hz

# Frequência da portadora/chaveamento
```



```

fp = 21600 # Hz

#####
# DEFINIÇÃO DE FUNÇÕES DE PERDA EM FUNCAO DO COMPONENTE UTILIZADO #
# Usuário deve inserir equações aproximadas das perdas de condução e de #
# chaveamento para as chaves e diodos utilizados. #
#####
def perdaConducaoQ(i):
    """retorna perda em J da CHAVE em funcao da corrente"""
    # Para IRG4PC50UD
    if(i < 0.2):
        Vceon = 0.707
    else:
        a= 34.494
        b=-45.751198
        c= 15.3045316
        Vceon = (-b+sqrt(b**2 -4*a*(c-i)))/(2*a)

    W = Vceon*i # W
    t = 1/fp # s
    return W*t # J = W*t

def perdaChaveamentoQ(i):
    """retorna perda em J da CHAVE em funcao da corrente"""
    # Para IRG4PC50UD
    perdas_a_5ohms = 1.58282
    perdas_a_Rgate = 2.65279
    correcao_perdas = perdas_a_Rgate/perdas_a_5ohms
    x=[0,13.5540,25.1140,39.409,54.0930] # A
    y=[0, 1.1391, 2.3747, 4.484, 6.5859] # mJ
    Eonoff = interpolar(i,x,y)
    return Eonoff/1000 * correcao_perdas # Joule

def perdaConducaoD(i):
    """retorna perda em j do DIODO em funcao da corrente"""
    # Para Diodo inserido em IRG4PC50UD
    if(i < 1.3):
        Vceon = 0.8
    else:
        a= 33.050759762
        b=-48.682061178
        c= 19.131811979
        Vceon = (-b+sqrt(b**2 -4*a*(c-i)))/(2*a)

    W = Vceon*i # W
    t = 1/fp # s
    return W*t # J = W*t

def perdaChaveamentoD(i, vblock):
    """retorna perda em J do DIODO em funcao da corrente"""
    # Para Diodo inserido em IRG4PC50UD
    Qrr = 300e-9 # C
    return vblock * Qrr # Joule

def perdaConducaoDPonte(i):
    """retorna perda em J do DIODO em funcao da corrente"""

```

```

# UF5408
if(i<0.01): Vceon = 0.6
else:
    Vceon = 0.0430482*log10(i)**4 + 0.1598030*log10(i)**3 + \
            0.2299320*log10(i)**2 + 0.4327740*log10(i) + 1.12748

W = Vceon*i # W
t = 1/fp # s
return W*t # J = W*t

def perdaChaveamentoDPonte(i ,vblock):
    """ retorna perda em J do DIODO em funcao da corrente """
    # UF5408
    trr = 75e-9 # s
    irr = 0.25 # A
    return vblock * trr * irr / 2 #J

#####
# DEFINIÇÃO DE FUNÇÕES AUXILIARES #
#####
def interpolar(x, list_x , list_y):
    """
    Recebe duas listas de mesmo tamanho, de pontos em um grafico.
    Retorna o valor de y interpolado para uma posição x fornecida.
    """
    interpolador_y = scipy.interpolate.interpld(list_x , list_y)
    return interpolador_y(x)

def validacao(nome_variavel , logica_de_teste):
    """
    Valida coerencia de valores de variaveis de acordo com logica
    proposta
    """
    if logica_de_teste == False:
        print("Variavel "+nome_variavel+" fora de limite.")

def rms(v):
    """Calcula valor eficaz de uma lista de valores"""
    return (sum([x**2 for x in v])/len(v))*0.5

def media(v):
    """Calcula valor médio de uma lista de valores"""
    return (sum(v)/len(v))

def formaDeOndaCorrente(angulo , defasamento , fatorDeCrista):
    """
    Retorna o valor de uma corrente normalizada de 1 A eficaz
    para um ângulo da senoide tal que 0 <= angulo <2*pi
    com defasamento da corrente igual a "defasamento".
    fatorDeCrista ignorado.
    """
    # Corrente senoidal tem amplitude raiz(2) para valor eficaz ser de 1A.
    amplitude = sqrt(2)

    # Valor da corrente no angulo desejado
    corrente = amplitude * sin(angulo + defasamento)

```

```

    return corrente

def arredondaAngulo(angulo):
    """Arredonda ângulo de entrada para concluir chaveamento anterior"""
    # Quantidade de chaveamentos por ciclo da referência.
    k = 2*pi/mf
    # Arredonda ângulo para o próximo ângulo de início de chaveamento.
    return k * ceil( angulo/k )

def radParaGraus(rad):
    return 360*rad/(2*pi)

def grausParaRad(graus):
    return 2*pi*graus/360

#####
# TESTES DE VALIDAÇÃO DAS ENTRADAS #
#####
# V1 deve ser menor que V2
validacao("V1 e V2", V1 < V2 )
# Não se pode modular tensão maior que as somas das tensões do barramento
validacao("Ar", Ar <= (V1 + V2) )
# Não se possui sete níveis se amplitude for menor que V2:
validacao("Ar", Ar > V2 )
# Não se pode modular se portadora tiver frequência menor que referência
validacao("fp", fp > fr )
# Não se pode modular se portadora tiver frequência menor que referência
validacao("fp", fp > fr )

# Defasamento Corrente
validacao("I_def", (-pi/2 <= I_def and I_def <= pi/2) )
# Fator de Crista Padrão
fat_crista = sqrt(2)

#####
# CALCULO DE PARAMETROS DE CHAVEAMENTO #
#####
# Amplitude da portadora
Ap = V1
# Número de portadoras
np = 6
# Índice de Modulação de Amplitude
# ma = Ar / (V1 + V2) ou formalmente:
ma = 2*Ar/(np*Ap)

# Índice de Modulação de Frequência
mf = fp/fr

# Ângulos teóricos de mudança de estado
theta0 = 0
theta1 = asin( V1/Ar )
theta2 = asin( V2/Ar )
theta3 = pi - theta2
theta4 = pi - theta1
theta5 = pi + theta1
theta6 = pi + theta2
theta7 = 2*pi - theta2

```

```
theta8 = 2*pi - theta1
```

```
# Ângulos reais de mudança de estado
```

```
tt0 = arredondaAngulo(theta0)
tt1 = arredondaAngulo(theta1)
tt2 = arredondaAngulo(theta2)
tt3 = arredondaAngulo(theta3)
tt4 = arredondaAngulo(theta4)
tt5 = arredondaAngulo(theta5)
tt6 = arredondaAngulo(theta6)
tt7 = arredondaAngulo(theta7)
tt8 = arredondaAngulo(theta8)
pi1 = arredondaAngulo(pi)
pi2 = arredondaAngulo(2*pi)
```

```
#número de chaveamentos em cada intervalo
```

```
chA = mf * ((tt1 - tt0) + (pi1 - tt4)) / (2*pi)
chB = mf * ((tt2 - tt1) + (tt4 - tt3)) / (2*pi)
chC = mf * ((tt3 - tt2) / (2*pi)
chD = mf * ((tt5 - pi1) + (pi2 - tt8)) / (2*pi)
chE = mf * ((tt6 - tt5) + (tt8 - tt7)) / (2*pi)
chF = mf * ((tt7 - tt6) / (2*pi)
```

```
# Vetores para armazenar dados calculados em cada ciclo de chaveamento.
```

```
RAZAOCICLICA = []
CORRENTE = []
TENSAOREF = []
POTENCIAINST = []
```

```
#Variáveis para salvar as perdas em cada chave e diodo
```

```
perda_S1Q = [] # Perda da Chave S1
perda_S1D = [] # Perda do Diodo em paralelo com a chave S1
perda_S2Q = [] # Perda da Chave S2
perda_S2D = [] # Perda do Diodo em paralelo com a chave S2
perda_S3Q = [] # Perda da Chave S3
perda_S3D = [] # Perda do Diodo em paralelo com a chave S3
perda_S4Q = [] # Perda da Chave S4
perda_S4D = [] # Perda do Diodo em paralelo com a chave S4
```

```
perda_S5pQ = [] # Perda da Chave S5 (Chave bidirecional em ponte de diodo)
perda_S5pDp = [] # Perda do Diodo da Ponte em S5 (conduz com i_positivo)
perda_S5pDn = [] # Perda do Diodo da Ponte em S5 (conduz com i_negativo)
```

```
perda_S6pQ = [] # Perda da Chave S6 (Chave bidirecional em ponte de diodo)
perda_S6pDp = [] # Perda do Diodo da Ponte em S6 (conduz com i_positivo)
perda_S6pDn = [] # Perda do Diodo da Ponte em S6 (conduz com i_negativo)
```

```
perda_S5sQp = [] # Perda da Chave S5 (Chave bidirecional em série p/ i+)
perda_S5sQn = [] # Perda da Chave S5 (Chave bidirecional em série p/ i-)
perda_S5sDp = [] # Perda do Diodo em S5 (Chave bidir. em série p/ i+)
perda_S5sDn = [] # Perda do Diodo em S5 (Chave bidir. em série p/ i-)
```

```
perda_S6sQp = [] # Perda da Chave S6 (Chave bidirecional em série p/ i+)
perda_S6sQn = [] # Perda da Chave S6 (Chave bidirecional em série p/ i-)
perda_S6sDp = [] # Perda do Diodo em S6 (Chave bidir. em série p/ i+)
perda_S6sDn = [] # Perda do Diodo em S6 (Chave bidir. em série p/ i-)
```

```

i_S1Q = [] # Corrente na Chave S1
i_S1D = [] # Corrente no Diodo em paralelo com a chave S1
i_S2Q = [] # Corrente na Chave S2
i_S2D = [] # Corrente no Diodo em paralelo com a chave S2
i_S3Q = [] # Corrente na Chave S3
i_S3D = [] # Corrente no Diodo em paralelo com a chave S3
i_S4Q = [] # Corrente na Chave S4
i_S4D = [] # Corrente no Diodo em paralelo com a chave S4

i_S5pQ = [] # Corrente na Chave S5 (Chave bidirecional em ponte de diodo)
i_S5pDp = [] # Corrente no Diodo da Ponte em S5 (conduz com i_positivo)
i_S5pDn = [] # Corrente no Diodo da Ponte em S5 (conduz com i_negativo)

i_S6pQ = [] # Corrente na Chave S6 (Chave bidirecional em ponte de diodo)
i_S6pDp = [] # Corrente no Diodo da Ponte em S6 (conduz com i_positivo)
i_S6pDn = [] # Corrente no Diodo da Ponte em S6 (conduz com i_negativo)

i_S5sQp = [] # Corrente na Chave S5 (Chave bidirecional em série p/ i+)
i_S5sQn = [] # Corrente na Chave S5 (Chave bidirecional em série p/ i-)
i_S5sDp = [] # Corrente no Diodo em S5 (Chave bidir. em série p/ i+)
i_S5sDn = [] # Corrente no Diodo em S5 (Chave bidir. em série p/ i-)

i_S6sQp = [] # Corrente na Chave S6 (Chave bidirecional em série p/ i+)
i_S6sQn = [] # Corrente na Chave S6 (Chave bidirecional em série p/ i-)
i_S6sDp = [] # Corrente no Diodo em S6 (Chave bidir. em série p/ i+)
i_S6sDn = [] # Corrente no Diodo em S6 (Chave bidir. em série p/ i-)

# Temos "mf" ciclos de chaveamento durante um ciclo do sinal de referencia
# Para cada ciclo de chaveamento, será calculado o ângulo do chaveamento,
# a tensão de referencia, a corrente resultante e as perdas em cada chave
# e diodo.
for k in range(int(mf)): # loop de k variando de 0,1,2 ... "mf"
    # Calculo do Ângulo em que se inicia este ciclo de chaveamento
    angulo = 2*pi * (k/int(mf))
    #Adição de meio ciclo para calcular valores médios do chaveamento
    angulo += 2*pi * 1/(2*mf)

    # Valor instantâneo da tensão de referência neste ângulo.
    vref = Ar*sin(angulo)

    # Valor instantâneo da corrente neste ângulo.
    i = Ief * formaDeOndaCorrente(angulo, I_def, fat_crista)

    # Determinação do intervalo de chaveamento referido
    if(angulo <= theta1):
        intervalo = "A"
    elif(angulo <= theta2):
        intervalo = "B"
    elif(angulo <= theta3):
        intervalo = "C"
    elif(angulo <= theta4):
        intervalo = "B"
    elif(angulo <= pi):
        intervalo = "A"
    elif(angulo <= theta5):
        intervalo = "D"
    elif(angulo <= theta6):

```

```

        intervalo = "E"
elif(angulo <= theta7):
    intervalo = "F"
elif(angulo <= theta8):
    intervalo = "E"
else: # angulo <= 2*pi:
    intervalo = "D"

# Cálculo da razão cíclica em função do intervalo.
if intervalo == "A":
    d = vref/V1
    vblock = V1
elif intervalo == "B":
    d = (vref-V1)/(V2-V1)
    vblock = V2
elif intervalo == "C":
    d = (vref-V2)/(V1)
    vblock = V1+V2
elif intervalo == "D":
    d = 1-(-vref)/V1
    vblock = V1
elif intervalo == "E":
    d = 1-(-vref-V1)/(V2-V1)
    vblock = V2
elif intervalo == "F":
    d = 1-(-vref-V2)/(V1)
    vblock = V1+V2

# Calculo da Perda de condução e de chaveamento em função da corrente.
# A perda será somada posteriormente às chaves em condução/comutação.
iabs = abs(i)
perda_Qs = perdaChaveamentoQ(iabs)
perda_Qc = perdaConducaoQ(iabs)
perda_Ds = perdaChaveamentoD(iabs, abs(vblock))
perda_Dc = perdaConducaoD(iabs)
perda_DPs = perdaChaveamentoDPonte(iabs, abs(vblock))
perda_DPc = perdaConducaoDPonte(iabs)

# Determinação do Sentido da Corrente
i_positivo = (i >= 0)

# As perdas calculadas são adicionadas às chaves de acordo com o estado
# de cada chave no intervalo.
# i) Perda de condução às chaves em função do tempo ativo (1, d ou 1-d)
# ii) Perda de comutação às chaves que comutaram neste intervalo.
# iii) Avaliação da adição das perdas à chave ou ao diodo em função do
# sentido da corrente.
if intervalo == "A" and i_positivo:
    perda_S3Q.append(perda_Qc *( 1 ))
    perda_S4D.append(perda_Dc *(1-d) + perda_Ds)
    perda_S5pQ.append(perda_Qc *( d ) + perda_Qs)
    perda_S5pDp.append(perda_DPc*( d ) + perda_DPs)

    perda_S5sQp.append(perda_Qc*( d ) + perda_Qs)
    perda_S5sDp.append(perda_Dc*( d ) + perda_Ds)

elif intervalo == "A" and not i_positivo:

```

```

perda_S3D.append(perda_Dc *( 1 ))
perda_S4Q.append(perda_Qc *(1-d) + perda_Qs)
perda_S5pQ.append(perda_Qc *( d ) + perda_Qs)
perda_S5pDn.append(perda_DPc*( d ) + perda_DPs)

perda_S5sQn.append(perda_Qc*( d ) + perda_Qs)
perda_S5sDn.append(perda_Dc*( d ) + perda_Ds)

elif intervalo == "B" and i_positivo:
perda_S1Q.append(perda_Qc *( d ) + perda_Qs)
perda_S3Q.append(perda_Qc *(1-d) + perda_Qs)
perda_S5pQ.append(perda_Qc *(1-d) + perda_Qs)
perda_S5pDp.append(perda_DPc*(1-d) + perda_DPs)
perda_S6pQ.append(perda_Qc *( d ) + perda_Qs)
perda_S6pDp.append(perda_DPc*( d ) + perda_DPs)

perda_S5sQp.append(perda_Qc*(1-d) + perda_Qs)
perda_S5sDp.append(perda_Dc*(1-d) + perda_Ds)
perda_S6sQp.append(perda_Qc*( d ) + perda_Qs)
perda_S6sDp.append(perda_Dc*( d ) + perda_Ds)

elif intervalo == "B" and not i_positivo:
perda_S1D.append(perda_Dc *( d ) + perda_Ds)
perda_S3D.append(perda_Dc *(1-d) + perda_Ds)
perda_S5pQ.append(perda_Qc *(1-d) + perda_Qs)
perda_S5pDn.append(perda_DPc*(1-d) + perda_DPs)
perda_S6pQ.append(perda_Qc *( d ) + perda_Qs)
perda_S6pDn.append(perda_DPc*( d ) + perda_DPs)

perda_S5sQn.append(perda_Qc*(1-d) + perda_Qs)
perda_S5sDn.append(perda_Dc*(1-d) + perda_Ds)
perda_S6sQn.append(perda_Qc*( d ) + perda_Qs)
perda_S6sDn.append(perda_Dc*( d ) + perda_Ds)

elif intervalo == "C" and i_positivo:
perda_S1Q.append(perda_Qc *( 1 ))
perda_S3Q.append(perda_Qc *( d ) + perda_Qs)
perda_S6pQ.append(perda_Qc *(1-d) + perda_Qs)
perda_S6pDp.append(perda_DPc*(1-d) + perda_DPs)

perda_S6sQp.append(perda_Qc*(1-d) + perda_Qs)
perda_S6sDp.append(perda_Dc*(1-d) + perda_Ds)

elif intervalo == "C" and not i_positivo:
perda_S1D.append(perda_Dc *( 1 ))
perda_S3D.append(perda_Dc *( d ) + perda_Ds)
perda_S6pQ.append(perda_Qc *(1-d) + perda_Qs)
perda_S6pDn.append(perda_DPc*(1-d) + perda_DPs)

perda_S6sQn.append(perda_Qc*(1-d) + perda_Qs)
perda_S6sDn.append(perda_Dc*(1-d) + perda_Ds)

elif intervalo == "D" and i_positivo:
perda_S3Q.append(perda_Qc *( d ) + perda_Qs)
perda_S4D.append(perda_Dc *( 1 ))
perda_S6pQ.append(perda_Qc *(1-d) + perda_Qs)
perda_S6pDp.append(perda_DPc*(1-d) + perda_DPs)

```

```

perda_S6sQp.append(perda_Qc*(1-d) + perda_Qs)
perda_S6sDp.append(perda_Dc*(1-d) + perda_Ds)

elif intervalo == "D" and not i_positivo:
perda_S3D.append(perda_Dc *( d ) + perda_Ds)
perda_S4Q.append(perda_Qc *( 1 ))
perda_S6pQ.append(perda_Qc *(1-d) + perda_Qs)
perda_S6pDn.append(perda_DPc*(1-d) + perda_DPs)

perda_S6sQn.append(perda_Qc*(1-d) + perda_Qs)
perda_S6sDn.append(perda_Dc*(1-d) + perda_Ds)

elif intervalo == "E" and i_positivo:
perda_S2D.append(perda_Dc *(1-d) + perda_Ds)
perda_S4D.append(perda_Dc *( d ) + perda_Ds)
perda_S5pQ.append(perda_Qc *(1-d) + perda_Qs)
perda_S5pDp.append(perda_DPc*(1-d) + perda_DPs)
perda_S6pQ.append(perda_Qc *( d ) + perda_Qs)
perda_S6pDp.append(perda_DPc*( d ) + perda_DPs)

perda_S5sQp.append(perda_Qc*(1-d) + perda_Qs)
perda_S5sDp.append(perda_Dc*(1-d) + perda_Ds)
perda_S6sQp.append(perda_Qc*( d ) + perda_Qs)
perda_S6sDp.append(perda_Dc*( d ) + perda_Ds)

elif intervalo == "E" and not i_positivo:
perda_S2Q.append(perda_Qc *(1-d) + perda_Qs)
perda_S4Q.append(perda_Qc *( d ) + perda_Qs)
perda_S5pQ.append(perda_Qc *(1-d) + perda_Qs)
perda_S5pDn.append(perda_DPc*(1-d) + perda_DPs)
perda_S6pQ.append(perda_Qc *( d ) + perda_Qs)
perda_S6pDn.append(perda_DPc*( d ) + perda_DPs)

perda_S5sQn.append(perda_Qc*(1-d) + perda_Qs)
perda_S5sDn.append(perda_Dc*(1-d) + perda_Ds)
perda_S6sQn.append(perda_Qc*( d ) + perda_Qs)
perda_S6sDn.append(perda_Dc*( d ) + perda_Ds)

elif intervalo == "F" and i_positivo:
perda_S2D.append(perda_Dc *( 1 ))
perda_S4D.append(perda_Dc *(1-d) + perda_Ds)
perda_S5pQ.append(perda_Qc *( d ) + perda_Qs)
perda_S5pDp.append(perda_DPc*( d ) + perda_DPs)

perda_S5sQp.append(perda_Qc*( d ) + perda_Qs)
perda_S5sDp.append(perda_Dc*( d ) + perda_Ds)

elif intervalo == "F" and not i_positivo:
perda_S2Q.append(perda_Qc*( 1 ))
perda_S4Q.append(perda_Qc*(1-d) + perda_Qs)
perda_S5pQ.append(perda_Qc*( d ) + perda_Qs)
perda_S5pDn.append(perda_DPc*( d ) + perda_DPs)

perda_S5sQn.append(perda_Qc*( d ) + perda_Qs)
perda_S5sDn.append(perda_Dc*( d ) + perda_Ds)

else:
print "error", intervalo , i_positivo

```



```

if intervalo == "A" and i_positivo:
    i_S3Q.append(iabs*( 1 ))
    i_S4D.append(iabs*(1-d))
    i_S5pQ.append(iabs*( d ))
    i_S5pDp.append(iabs*( d ))

    i_S5sQp.append(iabs*( d ))
    i_S5sDp.append(iabs*( d ))

elif intervalo == "A" and not i_positivo:
    i_S3D.append(iabs*( 1 ))
    i_S4Q.append(iabs*(1-d))
    i_S5pQ.append(iabs*( d ))
    i_S5pDn.append(iabs*( d ))

    i_S5sQn.append(iabs*( d ))
    i_S5sDn.append(iabs*( d ))

elif intervalo == "B" and i_positivo:
    i_S1Q.append(iabs*( d ))
    i_S3Q.append(iabs*(1-d))
    i_S5pQ.append(iabs*(1-d))
    i_S5pDp.append(iabs*(1-d))
    i_S6pQ.append(iabs*( d ))
    i_S6pDp.append(iabs*( d ))

    i_S5sQp.append(iabs*(1-d))
    i_S5sDp.append(iabs*(1-d))
    i_S6sQp.append(iabs*( d ))
    i_S6sDp.append(iabs*( d ))

elif intervalo == "B" and not i_positivo:
    i_S1D.append(iabs*( d ))
    i_S3D.append(iabs*(1-d))
    i_S5pQ.append(iabs*(1-d))
    i_S5pDn.append(iabs*(1-d))
    i_S6pQ.append(iabs*( d ))
    i_S6pDn.append(iabs*( d ))

    i_S5sQn.append(iabs*(1-d))
    i_S5sDn.append(iabs*(1-d))
    i_S6sQn.append(iabs*( d ))
    i_S6sDn.append(iabs*( d ))

elif intervalo == "C" and i_positivo:
    i_S1Q.append(iabs*( 1 ))
    i_S3Q.append(iabs*( d ))
    i_S6pQ.append(iabs*(1-d))
    i_S6pDp.append(iabs*(1-d))

    i_S6sQp.append(iabs*(1-d))
    i_S6sDp.append(iabs*(1-d))

elif intervalo == "C" and not i_positivo:
    i_S1D.append(iabs*( 1 ))
    i_S3D.append(iabs*( d ))
    i_S6pQ.append(iabs*(1-d))

```

```

i_S6pDn.append(iabs*(1-d))

i_S6sQn.append(iabs*(1-d))
i_S6sDn.append(iabs*(1-d))

elif intervalo == "D" and i_positivo:
    i_S3Q.append(iabs*( d ))
    i_S4D.append(iabs*( 1 ))
    i_S6pQ.append(iabs*(1-d))
    i_S6pDp.append(iabs*(1-d))

    i_S6sQp.append(iabs*(1-d))
    i_S6sDp.append(iabs*(1-d))

elif intervalo == "D" and not i_positivo:
    i_S3D.append(iabs*( d ))
    i_S4Q.append(iabs*( 1 ))
    i_S6pQ.append(iabs*(1-d))
    i_S6pDn.append(iabs*(1-d))

    i_S6sQn.append(iabs*(1-d))
    i_S6sDn.append(iabs*(1-d))

elif intervalo == "E" and i_positivo:
    i_S2D.append(iabs*(1-d))
    i_S4D.append(iabs*( d ))
    i_S5pQ.append(iabs*(1-d))
    i_S5pDp.append(iabs*(1-d))
    i_S6pQ.append(iabs*( d ))
    i_S6pDp.append(iabs*( d ))

    i_S5sQp.append(iabs*(1-d))
    i_S5sDp.append(iabs*(1-d))
    i_S6sQp.append(iabs*( d ))
    i_S6sDp.append(iabs*( d ))

elif intervalo == "E" and not i_positivo:
    i_S2Q.append(iabs*(1-d))
    i_S4Q.append(iabs*( d ))
    i_S5pQ.append(iabs*(1-d))
    i_S5pDn.append(iabs*(1-d))
    i_S6pQ.append(iabs*( d ))
    i_S6pDn.append(iabs*( d ))

    i_S5sQn.append(iabs*(1-d))
    i_S5sDn.append(iabs*(1-d))
    i_S6sQn.append(iabs*( d ))
    i_S6sDn.append(iabs*( d ))

elif intervalo == "F" and i_positivo:
    i_S2D.append(iabs*( 1 ))
    i_S4D.append(iabs*(1-d))
    i_S5pQ.append(iabs*( d ))
    i_S5pDp.append(iabs*( d ))

    i_S5sQp.append(iabs*( d ))
    i_S5sDp.append(iabs*( d ))

```

```

elif intervalo == "F" and not i_positivo:
    i_S2Q.append(iabs*( 1 ))
    i_S4Q.append(iabs*(1-d))
    i_S5pQ.append(iabs*( d ))
    i_S5pDn.append(iabs*( d ))

    i_S5sQn.append(iabs*( d ))
    i_S5sDn.append(iabs*( d ))

else:
    print "error", intervalo , i_positivo

#Insere ZERO nos vetores que não foram atualizados.
if (k+1) > len(perda_S1Q):      perda_S1Q.append(0)
if (k+1) > len(perda_S1D):      perda_S1D.append(0)
if (k+1) > len(perda_S2Q):      perda_S2Q.append(0)
if (k+1) > len(perda_S2D):      perda_S2D.append(0)
if (k+1) > len(perda_S3Q):      perda_S3Q.append(0)
if (k+1) > len(perda_S3D):      perda_S3D.append(0)
if (k+1) > len(perda_S4Q):      perda_S4Q.append(0)
if (k+1) > len(perda_S4D):      perda_S4D.append(0)
if (k+1) > len(perda_S5pQ):      perda_S5pQ.append(0)
if (k+1) > len(perda_S5pDp):      perda_S5pDp.append(0)
if (k+1) > len(perda_S5pDn):      perda_S5pDn.append(0)
if (k+1) > len(perda_S6pQ):      perda_S6pQ.append(0)
if (k+1) > len(perda_S6pDp):      perda_S6pDp.append(0)
if (k+1) > len(perda_S6pDn):      perda_S6pDn.append(0)
if (k+1) > len(perda_S5sQp):      perda_S5sQp.append(0)
if (k+1) > len(perda_S5sQn):      perda_S5sQn.append(0)
if (k+1) > len(perda_S5sDp):      perda_S5sDp.append(0)
if (k+1) > len(perda_S5sDn):      perda_S5sDn.append(0)
if (k+1) > len(perda_S6sQp):      perda_S6sQp.append(0)
if (k+1) > len(perda_S6sQn):      perda_S6sQn.append(0)
if (k+1) > len(perda_S6sDp):      perda_S6sDp.append(0)
if (k+1) > len(perda_S6sDn):      perda_S6sDn.append(0)

if (k+1) > len(i_S1Q):          i_S1Q.append(0)
if (k+1) > len(i_S1D):          i_S1D.append(0)
if (k+1) > len(i_S2Q):          i_S2Q.append(0)
if (k+1) > len(i_S2D):          i_S2D.append(0)
if (k+1) > len(i_S3Q):          i_S3Q.append(0)
if (k+1) > len(i_S3D):          i_S3D.append(0)
if (k+1) > len(i_S4Q):          i_S4Q.append(0)
if (k+1) > len(i_S4D):          i_S4D.append(0)
if (k+1) > len(i_S5pQ):          i_S5pQ.append(0)
if (k+1) > len(i_S5pDp):          i_S5pDp.append(0)
if (k+1) > len(i_S5pDn):          i_S5pDn.append(0)
if (k+1) > len(i_S6pQ):          i_S6pQ.append(0)
if (k+1) > len(i_S6pDp):          i_S6pDp.append(0)
if (k+1) > len(i_S6pDn):          i_S6pDn.append(0)
if (k+1) > len(i_S5sQp):          i_S5sQp.append(0)
if (k+1) > len(i_S5sQn):          i_S5sQn.append(0)
if (k+1) > len(i_S5sDp):          i_S5sDp.append(0)
if (k+1) > len(i_S5sDn):          i_S5sDn.append(0)
if (k+1) > len(i_S6sQp):          i_S6sQp.append(0)
if (k+1) > len(i_S6sQn):          i_S6sQn.append(0)
if (k+1) > len(i_S6sDp):          i_S6sDp.append(0)
if (k+1) > len(i_S6sDn):          i_S6sDn.append(0)

```

```

# Salva os valores calculados neste chaveamento nos vetores
# Para criação de gráfico.
RAZAOCICLICA.append(d * 100) # Transforma em porcentagem
CORRENTE.append(i)
TENSAOREF.append(vref)
POTENCIAINST.append(vref*i)

print("Resultados:")
print("Valores de entrada:")
print("V1          = "+str(V1)+" V")
print("V2          = "+str(V1)+" V")
print("Vref         = "+str(Ar)+" V")
print("Vref eficaz = "+str(Ar/sqrt(2))+" Vef")
print("Vref calc.  = "+str(rms(TENSAOREF))+" Vef")
print("Ief         = "+str(Ief)+" Aef")
print("Ief calculado= "+str(rms(CORRENTE))+" Aef")

print("I_def          = "+str(I_def)+" rad")
print("              = "+str(radParaGraus(I_def))+" graus")

print("Fator de Crista = "+str(fat_crista))
print("Freq Vref       = "+str(fr)+" Hz")
print("Freq chaveamento = "+str(fp)+" Hz")
print("Índice de Modulação de Amplitude, ma = "+str(ma))
print("Índice de Modulação de Frequência, mf = "+str(mf))

angulos = [tt0 , tt1 , tt2 , tt3 , tt4 , pi , tt5 , tt6 , tt7 , tt8 ]
str_angulos = ", ".join([ str(radParaGraus(r)) for r in angulos ])
print("Ângulos das mudanças de estado:\n      "+str_angulos)

chaveamentos = [chA, chB, chC, chD, chE, chF]
str_chaveamentos = ", ".join([ str(int(c)) for c in chaveamentos ])
print("Número de ciclos em cada intervalo (A a F):\n      "+str_chaveamentos)

sum_S1Q = sum(perda_S1Q)
sum_S1D = sum(perda_S1D)
sum_S2Q = sum(perda_S2Q)
sum_S2D = sum(perda_S2D)
sum_S3Q = sum(perda_S3Q)
sum_S3D = sum(perda_S3D)
sum_S4Q = sum(perda_S4Q)
sum_S4D = sum(perda_S4D)
sum_S5pQ = sum(perda_S5pQ)
sum_S5pDp = sum(perda_S5pDp)
sum_S5pDn = sum(perda_S5pDn)
sum_S6pQ = sum(perda_S6pQ)
sum_S6pDp = sum(perda_S6pDp)
sum_S6pDn = sum(perda_S6pDn)
sum_S5sQp = sum(perda_S5sQp)
sum_S5sQn = sum(perda_S5sQn)
sum_S5sDp = sum(perda_S5sDp)
sum_S5sDn = sum(perda_S5sDn)
sum_S6sQp = sum(perda_S6sQp)
sum_S6sQn = sum(perda_S6sQn)
sum_S6sDp = sum(perda_S6sDp)
sum_S6sDn = sum(perda_S6sDn)

```

```

print("Perdas nas chaves:")
print("    S1 Q = "+ '{0:.2f}'.format(sum_S1Q) + " W. Imed = " \
      + str(media(i_S1Q)))
print("    D = "+ '{0:.2f}'.format(sum_S1D) + " W. Imed = " \
      + str(media(i_S1D)))
print("    S2 Q = "+ '{0:.2f}'.format(sum_S2Q) + " W. Imed = " \
      + str(media(i_S2Q)))
print("    D = "+ '{0:.2f}'.format(sum_S2D) + " W. Imed = " \
      + str(media(i_S2D)))
print("    S3 Q = "+ '{0:.2f}'.format(sum_S3Q) + " W. Imed = " \
      + str(media(i_S3Q)))
print("    D = "+ '{0:.2f}'.format(sum_S3D) + " W. Imed = " \
      + str(media(i_S3D)))
print("    S4 Q = "+ '{0:.2f}'.format(sum_S4Q) + " W. Imed = " \
      + str(media(i_S4Q)))
print("    D = "+ '{0:.2f}'.format(sum_S4D) + " W. Imed = " \
      + str(media(i_S4D)))

print(" Chave bidirecional com ponte de diodos:")
print("    S5 Q = "+ '{0:.2f}'.format(sum_S5pQ) + " W. Imed = " \
      + str(media(i_S5pQ)))
print("    Dp = "+ '{0:.2f}'.format(sum_S5pDp) + " W. Imed = " \
      + str(media(i_S5pDp)))
print("    Dn = "+ '{0:.2f}'.format(sum_S5pDn) + " W. Imed = " \
      + str(media(i_S5pDn)))
print("    S6 Q = "+ '{0:.2f}'.format(sum_S6pQ) + " W. Imed = " \
      + str(media(i_S6pQ)))
print("    Dp = "+ '{0:.2f}'.format(sum_S6pDp) + " W. Imed = " \
      + str(media(i_S6pDp)))
print("    Dn = "+ '{0:.2f}'.format(sum_S6pDn) + " W. Imed = " \
      + str(media(i_S6pDn)))

print(" Chave bidirecional em anti-série:")
print("    S5 Qp = "+ '{0:.2f}'.format(sum_S5sQp) + " W. Imed = " \
      + str(media(i_S5sQp)))
print("    Qn = "+ '{0:.2f}'.format(sum_S5sQn) + " W. Imed = " \
      + str(media(i_S5sQn)))
print("    Dp = "+ '{0:.2f}'.format(sum_S5sDp) + " W. Imed = " \
      + str(media(i_S5sDp)))
print("    Dn = "+ '{0:.2f}'.format(sum_S5sDn) + " W. Imed = " \
      + str(media(i_S5sDn)))
print("    S6 Qp = "+ '{0:.2f}'.format(sum_S6sQp) + " W. Imed = " \
      + str(media(i_S6sQp)))
print("    Qn = "+ '{0:.2f}'.format(sum_S6sQn) + " W. Imed = " \
      + str(media(i_S6sQn)))
print("    Dp = "+ '{0:.2f}'.format(sum_S6sDp) + " W. Imed = " \
      + str(media(i_S6sDp)))
print("    Dn = "+ '{0:.2f}'.format(sum_S6sDn) + " W. Imed = " \
      + str(media(i_S6sDn)))

print("\n")
potencia_saida = sum(POTENCIAINST) / len(POTENCIAINST)
perdasJ_bidir_ponte = sum_S1Q + sum_S1D + sum_S2Q + sum_S2D + \
                    sum_S3Q + sum_S3D + sum_S4Q + sum_S4D + \
                    sum_S5pQ + 2*sum_S5pDp + 2*sum_S5pDn + \
                    sum_S6pQ + 2*sum_S6pDp + 2*sum_S6pDn

perdasJ_bidir_2ch = sum_S1Q + sum_S1D + sum_S2Q + sum_S2D + \
                   sum_S3Q + sum_S3D + sum_S4Q + sum_S4D + \

```

```

sum_S5sQp + sum_S5sDp + sum_S5sQn + sum_S5sDn + \
sum_S6sQp + sum_S6sDp + sum_S6sQn + sum_S6sDn

#Perdas em J calculadas para 1 ciclo.
#Perdas em W calculadas para 1 segundo = perdasJ / t_ciclo = perdasJ*fr
perdasW_bidir_ponte = perdasJ_bidir_ponte * fr
perdasW_bidir_2ch   = perdasJ_bidir_2ch   * fr

print("perdas (ponte) = "+str(perdasW_bidir_ponte)+" W")
print("perdas (série) = "+str(perdasW_bidir_2ch)+" W")

rend_ponte = (potencia_saida - perdasW_bidir_ponte) / potencia_saida * 100
rend_2ch   = (potencia_saida - perdasW_bidir_2ch ) / potencia_saida * 100
print("Potencia Total das fontes = "+str(potencia_saida)+" W")
print("Potencia De saída (ponte) = " \
      +str(potencia_saida-perdasW_bidir_ponte)+" W")
print("Potencia De saída (série) = " \
      +str(potencia_saida-perdasW_bidir_2ch)+" W")

print("Topologia com chave bidirecional em ponte de diodo")
print("    Rendimento = "+' {0:.2f}'.format(rend_ponte)+" %")
print("Topologia com chave bidirecional em anti-série")
print("    Rendimento = "+' {0:.2f}'.format(rend_2ch)  +" %")

```

APÊNDICE B – RESULTADOS DO CÓDIGO EM PYTHON PARA CÁLCULO DE PERDAS DAS CHAVES E DIODOS

Resultados:

Valores de entrada:

V1 = 100 V

V2 = 100 V

Vref = 300 V

Vref eficaz = 212.132034356 Vef

Vref calc. = 212.132034356 Vef

Ief = 4.25 Aef

Ief calculado = 4.25 Aef

I_def = 0 rad

= 0.0 graus

Fator de Crista = 1.41421356237

Freq Vref = 60 Hz

Freq chaveamento = 21600 Hz

Índice de Modulação de Amplitude, ma = 1.0

Índice de Modulação de Frequência, mf = 360.0

Ângulos das mudanças de estado:

0.0, 20.0, 42.0, 139.0, 161.0, 180.0, 200.0, 222.0, 319.0, 341.0

Número de ciclos em cada intervalo (A a F):

38, 44, 97, 38, 44, 97

Perdas nas chaves:

S1 Q = 0.05 W. Imed = 1.64294959215

D = 0.00 W. Imed = 0.0

S2 Q = 0.05 W. Imed = 1.64294959215

D = 0.00 W. Imed = 0.0

S3 Q = 0.11 W. Imed = 1.25793699026

D = 0.00 W. Imed = 0.0360304444873

S4 Q = 0.11 W. Imed = 1.25793699026

D = 0.00 W. Imed = 0.0360304444873

Chave bidirecional com ponte de diodos:

S5 Q = 0.13 W. Imed = 0.889475882671

Dp = 0.01 W. Imed = 0.234216418148

Dn = 0.02 W. Imed = 0.655259464523

S6 Q = 0.13 W. Imed = 0.889475882671

Dp = 0.02 W. Imed = 0.655259464523

Dn = 0.01 W. Imed = 0.234216418148

Chave bidirecional em anti-série:

S5 Qp = 0.03 W. Imed = 0.234216418148

Qn = 0.10 W. Imed = 0.655259464523

Dp = 0.01 W. Imed = 0.234216418148

Dn = 0.02 W. Imed = 0.655259464523

S6 Qp = 0.10 W. Imed = 0.655259464523

Qn = 0.03 W. Imed = 0.234216418148

Dp = 0.02 W. Imed = 0.655259464523

$D_n = 0.01 \text{ W}$. $I_{med} = 0.234216418148$

perdas (ponte) = 40.729419639 W

perdas (série) = 38.9543319548 W

Potencia Total das fontes = 901.561146013 W

Potencia De saída (ponte) = 860.831726374 W

Potencia De saída (série) = 862.606814058 W

Topologia com chave bidirecional em ponte de diodo

Rendimento = 95.48 %

Topologia com chave bidirecional em anti-série

Rendimento = 95.68 %