

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

GABRIEL UBIRAJARA DE CARVALHO

**ALGORITMO MODULAR DE ESTIMAÇÃO DE SINCROFASORES DE
SEQUÊNCIA POSITIVA**

DISSERTAÇÃO DE MESTRADO

PATO BRANCO

2020

GABRIEL UBIRAJARA DE CARVALHO

**ALGORITMO MODULAR DE ESTIMAÇÃO DE SINCROFASORES DE
SEQUÊNCIA POSITIVA**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica – PPGE – da Universidade Tecnológica Federal do Paraná – UTFPR, Campus Pato Branco, como requisito parcial para obtenção do título de Mestre.

Orientador: Prof. Dr. Gustavo W. Denardin

Coorientador: Prof. Dr. Rafael Cardoso

PATO BRANCO

2020

C331a Carvalho, Gabriel Ubirajara de
Algoritmo modular de estimação de sincrofasores de sequência positiva/
Gabriel Ubirajara de Carvalho. – 2020
107 f. : il. ; 30 cm.

Orientador: Prof. Dr. Gustavo Weber Denardin
Coorientador: Prof. Dr. Rafael Cardoso
Dissertação (Mestrado) - Universidade Tecnológica Federal do Paraná.
Programa de Pós-Graduação em Engenharia Elétrica. Pato Branco, PR,
2020.

Inclui bibliografia.

1. Redes elétricas inteligentes 2. Sistemas de Energia Elétrica 3.
Algoritmos computacionais I. Denardin, Gustavo Weber., orient. II.
Cardoso, Rafael, coorient. III. Universidade Tecnológica Federal do Paraná.
Programa de Pós-Graduação em Engenharia Elétrica IV. Título.

CDD 22. ed. 621.3

Ficha Catalográfica elaborada por
Rosana Silva CRB9/1745
Biblioteca da UTFPR Campus Pato Branco



TERMO DE APROVAÇÃO

Título da Dissertação n.º 84

“Algoritmo Modular de Estimação de Sincrofasores de Sequência Positiva ”

por

Gabriel Ubirajara de Carvalho

Dissertação apresentada às oito horas e trinta minutos do dia vinte e sete do mês de março de dois mil e vinte, como requisito parcial para obtenção do título de **MESTRE EM ENGENHARIA ELÉTRICA**. Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná, Câmpus Pato Branco. O candidato foi arguido pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho **APROVADO**.

Banca examinadora:

Prof. Dr. Gustavo Weber Denardin
(Orientador)
UTFPR/PB

Prof. Dr. Marcelo Teixeira
UTFPR/PB

Prof. Dr. Cesar Rafael Claire Torrico
UTFPR/PB

Prof. Dr. Carlos Henrique Barriquello
UFSM - RS
(Participação à Distância)

Homologado por:

Prof. Dr. Juliano de Pelegrini Lopes
Coordenador Substituto do Programa de Pós-
Graduação em Engenharia Elétrica - PPGEE/UTFPR

Em memória de meus avós maternos Anatalicio Bras de Carvalho
e Hilda Mignoni de Carvalho, pelo exemplo de vida.

AGRADECIMENTOS

Primeiramente a Deus pelo dom da vida e o privilégio da paz e prosperidade. À minha família e amigos pelo apoio incondicional. Aos orientadores e professores pelos ensinamentos, especialmente aos professores Gustavo Weber Denardin e Rafael Cardoso que me orientaram com sabedoria, os quais admiro e expresso minha profunda gratidão.

À Universidade Tecnológica Federal do Paraná (UTFPR), por oportunizar educação pública de qualidade. À Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES), pelo fomento. Ao Programa de Pós Graduação em Engenharia Elétrica (PPGEE) pelo suporte e concessão da bolsa de estudos.

Ao colega Flávio Lori Grando, pelo compartilhamento de *softwares* e suporte que tornaram este trabalho possível. A todos aqueles que dedicaram suas vidas ao longo da história para o progresso da ciência e consolidação das instituições de ensino. Que possamos dar continuidade ao legado que nos foi entregue. Que deixemos o melhor exemplo possível para as gerações que irão nos suceder.

Somar esforços para alcançar os objetivos, servir com humildade e misericórdia, sem perder a própria identidade. (NEUMANN, Zilda Arns, 2010).

RESUMO

CARVALHO, Gabriel Ubirajara de. Algoritmo Modular de Estimação de Sincrofasores de Sequência Positiva. 2020. 107 f. Dissertação (Mestrado em Engenharia Elétrica) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná, 2020.

A tendência do aumento da inserção de fontes de geração distribuída ao sistema elétrico, juntamente com os avanços tecnológicos na área de processamento e comunicação de dados, têm fomentado a discussão sobre as redes inteligentes (*smart-grids*). Nesse contexto a unidade de medição fasorial sincronizada (*Phasor Measurement Unit - PMU*) se apresenta como um elemento fundamental para suprir os dados necessários sobre diferentes pontos do sistema tanto em nível de transmissão quanto de distribuição. Embora a implementação do sistema de medição fasorial sincronizada (*Synchronized Phasor Measurement System - SPMS*) seja de grande interesse para os operadores, barreiras orçamentárias impedem sua disseminação em grande escala. Portanto, pesquisas são direcionadas a propor a construção de uma PMU de baixo custo. A maioria das propostas utilizam algoritmos baseados na transformada discreta de Fourier (*Discrete Fourier Transform - DFT*) para a estimação de sincrofasores, técnica utilizada desde o primeiro relé de distância de componente simétrica produzido na década de 1980 o qual serviu de base para dar origem a PMU no final da mesma década. A DFT requer pouco esforço computacional e isso foi o que motivou sua utilização naquele tempo devido aos escassos recursos de processamento. No entanto essa técnica possui suas limitações. Atualmente a abundância de recursos computacionais permite o estudo e a implementação de rotinas mais robustas e menos limitadas, capazes de aprimorar os recursos e funcionalidades em dispositivos. O presente trabalho apresenta o projeto, análise e teste experimental de um algoritmo de medição de sincrofasores de sequência positiva baseado em um laço de captura de fase de referência síncrona (*Synchronous Reference Frame-PLL - SRF-PLL*) em conformidade com os padrões IEEE C37.118.1-2011 e sua emenda C37.118.1a-2014. A abordagem apresentada consiste em um algoritmo de três estágios, sendo o primeiro uma demodulação trifásica, que separa a componente de sequência positiva da componente de sequência negativa no domínio da frequência, bem como remove a sequência zero. O segundo estágio é um filtro de resposta finita ao impulso (*Finite Impulse Response - FIR*) que é aplicado com o intuito de melhorar a rejeição a ruídos e interferência. Essa classe de filtros digitais foi escolhida por sua característica de fase linear e atraso de grupo constante. Finalmente, o último estágio é realizado por um SRF-PLL com normalização de magnitude e controlador proporcional-integral, que estima amplitude, fase, frequência e taxa de variação de frequência (*Rate Of Change Of Frequency - ROCOF*). Os resultados experimentais obtidos por uma plataforma de testes mostram que os critérios de estado estacionário são atendidos, com destaque para a imunidade contra interferências fora de banda.

Palavras-chave: IEEE C37.118.1. IEEE C37.118.1a-2014. *Phase-locked-loop* (PLL). Unidade de Medição Fasorial (PMU). Sistemas de Potência. Sincrofasor.

ABSTRACT

CARVALHO, Gabriel Ubirajara de. Modular Positive Sequence Synchrophasor Estimation Algorithm. 2020. 107 f. Master thesis (Master in Electrical Engineering) – Electrical Engineering Post-Graduate Program, Federal University of Technology – Paraná, 2020.

The trend of increasing the insertion of distributed generation sources to the electrical system, together with technological advances in the area of data processing and communication, has fostered the discussion on smart grids. In this context, the synchronized Phasor Measurement Unit (PMU) presents itself as a fundamental element to supply the necessary data on different points of the system, both in terms of transmission and distribution. Although the implementation of Synchronized Phasor Measurement Systems (SPMS) is of great interest to operators, budgetary barriers prevent their dissemination on a large scale. Therefore, research is aimed at proposing the construction of a low-cost PMU. Most of the proposals use algorithms based on the Discrete Fourier Transform (DFT) for synchrophasors estimation, a technique used since the first symmetric component distance relay produced in the 1980s, which served as a basis to give rise to PMU at the end of same decade. DFT requires little computational effort, and that was what motivated its use at that time due to the scarce processing resources. However, this technique has its limitations. Currently, the abundance of computational resources allows the study and implementation of more robust and less limited routines, capable of improving the features and functionality of the devices. The present work presents the design, analysis and experimental test of a positive sequence synchrophasor measurement algorithm based on a Synchronous Reference Frame Phase-locked Loop (SRF-PLL) in accordance with IEEE C37.118.1-2011 standards and its amendment C37.118.1a-2014. The approach presented consists of a three-stage algorithm, the first being a three-phase demodulation, which separates the positive sequence component from the negative sequence component in the frequency domain, as well as removes the zero sequence. The second stage is a Finite Impulse Response (FIR) filter that is applied in order to improve noise rejection and interference. This class of digital filters was chosen for its characteristic of linear phase and constant group delay. Finally, the last stage is performed by an SRF-PLL with magnitude normalization and proportional-integral controller, which estimates amplitude, phase, frequency and Rate Of Change Of Frequency (ROCOF). The experimental results obtained by a testing platform shows that the steady state criteria are met, with emphasis on immunity against out-of-band interference.

Palavras-chave: IEEE C37.118.1. IEEE C37.118.1a-2014. Phase-locked-loop. Phasor Measurement Unit. Power Systems. Synchrophasor.

LISTA DE FIGURAS

Figura 1 – Sistema de medição fasorial centralizado	26
Figura 2 – Blocos básicos de uma PMU	27
Figura 3 – Representação na forma senoidal e sua correspondente vetorial.	35
Figura 4 – O critério TVE de 1% mostrado na extremidade de um fasor	37
Figura 5 – Espectro de frequência de interferência fora de banda para 25 FPS.....	39
Figura 6 – Exemplo de sinal com modulação de amplitude	41
Figura 7 – Exemplo de sinal com modulação de fase	42
Figura 8 – Exemplo de resposta a uma entrada em degrau de magnitude em $t = 0$ s	43
Figura 9 – Esboço da etapa digital da PMU	46
Figura 10 – Arquitetura FIR de enésima ordem de forma direta	50
Figura 11 – Diagrama de blocos do SRF-PLL.....	52
Figura 12 – Efeitos do desequilíbrio, componente CC e 2. ^a harmônica nas componentes-dq.....	55
Figura 13 – (a) resposta do SRF-PLL para um degrau de fase de 5° e (b) um degrau de frequência de $-0,1$ Hz.	58
Figura 14 – Impacto de (a) um degrau de 10% de amplitude na fase-b em $t = 100$ ms, (b) uma componente CC de 2% somada a fase-a em $t = 100$ ms, (c) uma segunda harmônica com magnitude de 10% somada a fase-c em t = 100 ms, (d) uma terceira harmônica com magnitude de 10% somada a fase-c em $t = 100$ ms, sem filtragem.	59
Figura 15 – Impacto de (a) um degrau de 10% de amplitude na fase-b em $t = 100$ ms, (b) uma componente CC de 2% somada a fase-a em $t = 100$ ms, (c) uma segunda harmônica com magnitude de 10% somada a fase-c em t = 100 ms, (d) uma terceira harmônica com magnitude de 10% somada a fase-c em $t = 100$ ms, com filtragem.	60
Figura 16 – Fluxo de sinais da bancada de testes.	62
Figura 17 – Kit de desenvolvimento STM32F746G-Discovery (a) vista superior e (b) vista inferior.	63
Figura 18 – Dispositivo de Aquisição de Sinais NI USB-6259.....	64
Figura 19 – Tela inicial do <i>Software</i> de testes.....	65
Figura 20 – Aba de sincrofasores do <i>Software</i> de análise de dados.....	67

Figura 21 – Estratégia de amostragem (a) da DFT e (b) do SRF-PLL.....	70
Figura 22 – Fluxograma de funcionamento do algoritmo.	72
Figura 23 – Implementação do algoritmo – Etapa 1: bufferização e transformação abc-dq.	74
Figura 24 – Implementação do algoritmo – Etapa 2: Pré-filtragem.	75
Figura 25 – Implementação do algoritmo – Etapa 3: compensação, normalização e estimação.....	76
Figura 26 – Implementação do algoritmo – Etapa 4: correção de sincronismo e conversão das unidades de medida.....	78
Figura 27 – (a) TVE e (b) FE para o intervalo de amplitude de 10 a 120%.....	81
Figura 28 – (a) TVE e (b) FE para o intervalo de frequência de ± 5 Hz.	82
Figura 29 – (a) TVE e (b) FE para o intervalo de ângulo de ± 180 Hz.	83
Figura 30 – (a) TVE e (b) FE para interferência de harmônicas da 2 ^a a 50 ^a com 1% de amplitude em relação a componente fundamental.....	84
Figura 31 – (a) TVE e (b) FE para interferência de harmônicas da 2 ^a a 50 ^a com 10% de amplitude em relação a componente fundamental.....	84
Figura 32 – (a) TVE e (b) FE para interferência fora de banda de 2 a 100 Hz com 10% de amplitude em relação a componente fundamental.....	85
Figura 33 – (a) TVE e (b) FE para modulação em amplitude variado de 0 a 5 Hz. ...	87
Figura 34 – (a) TVE e (b) FE para modulação em fase variado de 0 a 5 Hz.....	88
Figura 35 – (a) Variação de frequência e (b) TVE para a rampa em frequência variando de 45 a 55 Hz.	89
Figura 36 – (a) Erro de amplitude e (b) erro de fase para a rampa em frequência variando de 45 a 55 Hz.	89
Figura 37 – FE para a rampa em frequência variando de 45 a 55 Hz.....	89
Figura 38 – Resultados do teste para um degrau em amplitude de 10 % ocorrendo em $t = 2$ s (a) magnitude, (b) erro de magnitude, (c) TVE e (d) erro de frequência.....	91
Figura 39 – Resultados do teste para um degrau em ângulo de 10° ocorrendo em $t =$ 2 s (a) fase, (b) frequência, (c) erro de fase e (d) erro de frequência.....	93

LISTA DE TABELAS

Tabela 1: Classificação dos algoritmos de estimação de fasores.	33
Tabela 2: Requisitos de medição de sincrofasores para o estado estacionário ($F_s \geq 25$ FPS).	39
Tabela 3: Requisitos de medição de sincrofasores para a condição dinâmica ($F_s = 25$ FPS).	41
Tabela 4: Requisitos de medição para um degrau no sinal de entrada ($F_s = 25$ FPS).	43
Tabela 5: Parâmetros projetados do algoritmo.	57
Tabela 6: Resultados do teste de magnitude.	81
Tabela 7: Resultados do teste de frequência.	82
Tabela 8: Resultados do teste de fase.	83
Tabela 9: Resultados do teste de distorção harmônica.	84
Tabela 10: Resultados do teste de interferência fora de banda.	85
Tabela 11: Resultados do teste de modulação em amplitude.	86
Tabela 12: Resultados do teste de modulação em fase.	87
Tabela 13: Resultados do teste de rampa em frequência.	88
Tabela 14: Resultados do teste de degrau em amplitude.	91
Tabela 15: Resultados do teste de degrau em fase.	92
Tabela 16: Resumo dos testes de estado estacionário.	94
Tabela 17: Resumo dos testes de condição dinâmica.	95
Tabela 18: Resumo dos testes de resposta ao degrau.	95
Tabela 19: Comparação dos testes de estado estacionário.	97
Tabela 20: Comparação dos testes de condição dinâmica.	98
Tabela 21: Comparação dos testes de resposta ao degrau em amplitude.	98
Tabela 22: Comparação dos testes de resposta ao degrau em ângulo.	99

LISTA DE SIGLAS E ABREVIATURAS

3PD	Demodulação Trifásica (<i>Three-phase Demodulation</i>)
A/D	Analógico/digital
ADC	Conversor de Analógico para Digital (<i>Analog-to-digital converter</i>)
AE	Erro de Amplitude (<i>Amplitude error</i>)
ARM	<i>Acorn RISC Machine</i>
CC	Corrente Contínua
DAC	Conversor de Digital para Analógico (<i>Digital-to-analog converter</i>)
DAQ	Aquisição de Dados (<i>Data Acquisition</i>)
DAS	Das e Sidhu (<i>Das and Sidhu</i>)
DFT	Transformada Discreta de Fourier (<i>Discrete Fourier Transform</i>)
DSP	Processador Digital de Sinais (<i>Digital Signal Processor</i>)
DSS-PLL	Laço de Captura de Fase Digital em Espaço de Estados (<i>Digital State-space PLL</i>)
FE	Erro de Frequência (<i>Frequency Error</i>)
FIFO	Primeiro a entrar, primeiro a sair (<i>First in, first out</i>)
FIR	Resposta Finita ao Impulso (<i>Finite Impulse Response</i>)
FPS	Quadros Por Segundo (<i>Frames Per Second</i>)
GPS	Sistema de Posicionamento Global (<i>Global Positioning System</i>)
IIR	Resposta Infinita ao Impulso (<i>Infinite Impulse Response</i>)
LES	Mínimos erros quadrados (<i>Least Error Squares</i>)
LPF	Filtro Passa-baixas (<i>Low-pass filter</i>)
ONS	Operador Nacional do Sistema
PDC	Concentrador de dados de fasores (<i>Phasor Data Concentrator</i>)
PE	Erro de fase (<i>Phase Error</i>)
PF	Pré-filtro (<i>Pre-filter</i>)
PI	Proporcional-integral
PPS	Pulso Por Segundo (<i>Pulse Per Second</i>)
PLL	Laço de Captura de Fase (<i>Phase-locked loop</i>)
PMU	Unidade de Medição Fasorial (<i>Phasor Measurement Unit</i>)
RDSCS	Relé de Distância de Componente Simétrica
RFE	Erro de ROCOF (<i>ROCOF Error</i>)

RISC	Computador com um conjunto reduzido de instruções (<i>Reduced Instruction Set Computer</i>)
ROCOF	Taxa de Variação de Frequência (<i>Rate Of Change Of Frequency</i>)
RTOS	Sistema Operacional em Tempo Real (<i>Real Time Operating System</i>)
SCADA	Sistema de Supervisão e Aquisição de Dados (<i>Supervisory Control And Data Acquisition</i>)
SEP	Sistema Elétrico de Potência
SIN	Sistema Interligado Nacional
SNR	Relação sinal-ruído (<i>Signal-to-noise ratio</i>)
SPMS	Sistema de Medição Fasorial (<i>Synchronized Phasor Measurement System</i>)
SRF-PLL	Laço de Captura de Fase de Referência Síncrona (<i>Synchronous Reference Frame-PLL</i>)
STFT	Transformada de Fourier de curto tempo (<i>Short-time Fourier transform</i>)
TVE	<i>Total Vector Error</i>
TFT	Transformada de Fourier truncada (<i>Truncated Fourier Transform</i>)
USB	<i>Universal Serial Bus</i>
UTC	Tempo Universal Coordenado (<i>Coordinated Universal Time</i>)
WAMS	Sistema de Medição de Grande Área (<i>Wide Area Measurement System</i>)

LISTA DE SÍMBOLOS

ω	Frequência angular do sinal
ϕ	Ângulo do sinal
f_0	Frequência nominal
X_m	Amplitude do sinal
k_x	Fator de modulação de amplitude
k_a	Fator de modulação de fase
R_f	Taxa de variação da rampa de frequência
f_{mod}	Frequência de modulação
F_s	Taxa de medidas por segundo
f_1	Função degrau unitário
a_o	Estimação de amplitude
ϕ_o	Estimação de fase
ω_o	Estimação de frequência
α_o	Estimação de ROCOF
f_p	Frequência de borda de passagem
f_s	Frequência de borda de corte
δ_p	<i>Ripple</i> de banda de passagem
δ_s	Atenuação de banda de corte

SUMÁRIO

1. INTRODUÇÃO	19
1.1 OBJETIVO GERAL	24
1.2 OBJETIVOS ESPECÍFICOS	24
1.3 CONTRIBUIÇÕES	24
1.4 ORGANIZAÇÃO DO TRABALHO	25
2. SISTEMA DE MEDIÇÃO FASORIAL SINCRONIZADA	26
2.1 UNIDADE DE MEDIÇÃO FASORIAL	27
2.2 APLICAÇÕES EM REDES INTELIGENTES	29
2.3 ESTIMAÇÃO DE FASORES E FREQUÊNCIA	31
2.4 NORMATIVA TÉCNICA	34
2.4.1 Definição de Sincrofasor	35
2.4.2 Total Vector Error	36
2.4.3 Erro de Frequência e ROCOF	37
2.4.4 Estado Estacionário	38
2.4.5 Condição Dinâmica	39
2.4.6 Resposta ao Degrau	42
2.5 SUMÁRIO	44
3. ALGORITMO MODULAR DE ESTIMAÇÃO DE SINCRIFASORES	45
3.1 ARQUITETURA DO SISTEMA	45
3.2 MODELO DO SINAL	46
3.3 DEMODULAÇÃO TRIFÁSICA	48
3.4 PRÉ-FILTRAGEM	49
3.5 SISTEMA DE RASTREAMENTO	51
3.5.1 Modelo Linear e Projeto	53
3.5.2 Impacto de Desequilíbrio, nível CC e harmônicas no SRF-PLL	54
3.5.3 Resultados de Simulação	56

3.5.3.1 Impacto de desequilíbrio, componente CC e harmônicas	58
3.6 SUMÁRIO.....	61
4. MATERIAIS E MÉTODOS.....	62
4.1 MATERIAIS	63
4.1.1 Kit de Desenvolvimento.....	63
4.1.2 Dispositivo de Aquisição de Sinais.....	64
4.1.3 Software de Testes	65
4.1.4 Software de Análise de Dados	66
4.1.5 Arquitetura do Sistema de Testes	67
4.2 MÉTODOS	68
4.2.1 Sistema de Aquisição.....	69
4.2.2 Processamento	71
4.2.3 Estimação de Sincrofasores.....	73
4.3 SUMÁRIO.....	79
5. RESULTADOS EXPERIMENTAIS.....	80
5.1 TESTES DE ESTADO ESTACIONÁRIO.....	80
5.1.1 Teste de Magnitude.....	81
5.1.2 Teste de Frequência.....	82
5.1.3 Teste de Fase	82
5.1.4 Teste de Distorção Harmônica	83
5.1.5 Teste de Interferência Fora de Banda.....	85
5.2 TESTES DE CONDIÇÃO DINÂMICA.....	85
5.2.1 Teste de Modulação em Amplitude	86
5.2.2 Teste de Modulação em Fase	87
5.2.3 Teste de Rampa em Frequência	88
5.3. TESTE DE RESPOSTA AO DEGRAU	90
5.3.1 Teste de Degrau em Amplitude.....	90

5.3.2 Teste de Degrau de Fase.....	92
5.4 RESUMO DOS TESTES.....	93
5.5 COMPARAÇÃO COM OS RESULTADOS DA DFT.....	96
6. CONCLUSÕES	100
6.1 TRABALHOS FUTUROS	102
REFERÊNCIAS.....	103

1. INTRODUÇÃO

Um Sistema Elétrico de Potência (SEP) é composto principalmente por geração, transmissão e distribuição. Existem SEPs de diferentes tamanhos. No caso do Brasil é um sistema de dimensões continentais, possuindo uma ampla rede de linhas de transmissão interconectadas em todas regiões. O sistema brasileiro é denominado Sistema Interligado Nacional (SIN) que é administrado, operado, supervisionado e controlado pelo Operador Nacional do Sistema Elétrico (ONS). Um dos principais objetivos do ONS, e em geral de qualquer operador de SEP, é de garantir a confiabilidade do sistema.

Atualmente, o SIN é monitorado por meio de um Sistema de Supervisão e Aquisição de Dados (*Supervisory Control And Data Acquisition - SCADA*), que utiliza dados de telemedição sem sincronismo, atualizados em intervalos da ordem de segundos, não em tempo real, e enviados aos centros de comando do ONS onde se encontram disponíveis para utilização. Esses dados permitem que se tenha uma estimativa das condições do sistema, porém impede que se conheça o estado do sistema em tempo real em razão de suas limitações (MARTINS, 2019).

Neste contexto, tempo real refere-se a um sistema capaz de responder a um estímulo, como por exemplo a uma entrada de dados, em um determinado limite de tempo, em geral da ordem de milissegundos. Isso é alcançado atribuindo-se níveis de prioridade as tarefas, concedendo a maior prioridade à tarefa mais importante para que ela atenda ao requisito de tempo especificado de forma garantida.

Sendo assim, o Sistema de Medição Fasorial Sincronizado (*Synchronized Phasor Measurement System - SPMS*) se apresenta como uma maneira para obter estimativas sincronizadas em tempo real de cada barra do SEP. Isso é possível com a instalação de Unidades de Medição Fasorial Sincronizadas (*Phasor Measurement Units - PMUs*) nas barras do SEP, que realizam a estimação em tempo real de fasores sincronizados, com uma etiqueta de tempo obtida a partir do Sistema de Posicionamento Global (*Global Positioning System - GPS*), que envia um pulso por segundo (*Pulse Per Second - PPS*) de referência com base no Tempo Universal Coordenado (*Universal Time Coordinated - UTC*). Esse pulso é recebido simultaneamente nas PMUs com um atraso de no máximo 1 μ s, o que é aceitável para a aplicação pretendida. Ao fasor sincronizado atribui-se o nome de sincrofasor.

Os sincrofasores estimados pelas PMUs são transmitidos ao Concentrador de Dados Fasoriais (*Phasor Data Concentrator* - PDC). O envio é feito em um pacote de dados que contém a etiqueta de tempo das medições de cada PMU, distribuídas em pontos distintos do SEP, o que representa o estado real do sistema a cada instante. Essas informações podem ser utilizadas de diversas maneiras, especialmente no monitoramento, exibindo os fasores em tempo real aos controladores do sistema, ou em rotinas automatizadas associadas a controle e proteção.

A implementação de SPMS em SEP é de grande interesse para as entidades que realizam seu monitoramento e controle. Isso se dá devido a gama de aplicações que podem se beneficiar do uso desta tecnologia. Porém, além dos desafios técnicos da instalação do sistema existem barreiras orçamentárias, pois em sua maioria os SEP possuem muitas barras para serem supervisionadas e, isso requer um grande número de PMUs instaladas para obter os sincrofasores nesses pontos.

Embora não existam dados públicos sobre a operação ou a quantidade de PMUs instaladas, o ONS possui desde 2005 um projeto de implantação da medição fasorial no SIN, sendo que já constam nos procedimentos de rede orientações para a implementação de PMUs, além dos requisitos técnicos e responsabilidades dos agentes do SIN para a utilização desses equipamentos (SEGER, 2019), (GIOVANINI, VOLSKIS, *et al.*, 2007).

No entanto, boa parte dos eventos que ocorrem a nível de transmissão também podem ser observados a nível de distribuição. Tendo em vista os altos custos da implementação de sistemas de medição na alta tensão (AT) acaba se tornando uma alternativa interessante a instalação de PMUs nas redes de distribuição. A medição em AT requer obrigatoriamente que sejam instalados grandes e caros transformadores de corrente e tensão geralmente situados em subestações, enquanto que na distribuição o monitoramento pode ser feito até mesmo no ponto de entrega ao consumidor final. Isso representa uma redução bastante significativa nos custos de implantação de um SPMS.

Atualmente está ocorrendo uma transformação protagonizada pelo crescimento expressivo na instalação de sistemas de geração distribuída nas redes de distribuição, principalmente de energia solar fotovoltaica em edificações de todos os tipos, inclusive em áreas urbanas e rurais. Isso vêm afetando o funcionamento das redes de distribuição em diversos aspectos. A inversão do fluxo de potência é uma

das principais causas que, como por exemplo, possui o efeito de quebrar a coordenação entre religadores, fusíveis e relés de proteção (PEPERMANS, DRIESEN, *et al.*, 2005).

Por outro lado, toda unidade de geração distribuída contemporânea é dotada de um Processador Digital de Sinais (*Digital Signal Processor - DSP*) e Conversor Analógico/Digital (*Analog-to-digital converter - ADC*) realizando a leitura no ponto de conexão com a rede por meio de um sistema de instrumentação. Isso significa que os inversores já possuem quase todos os componentes necessários para o funcionamento de uma PMU (NICOLOSI, 2015).

Isso representa um grande incentivo para a pesquisa e desenvolvimento de inversores aplicados a geração distribuída com a capacidade de gerar e transmitir sincrofasores, entre outras informações, que contribuam para o monitoramento, controle e proteção da rede de distribuição, pois tais características podem inclusive ser utilizadas em conjunto com PMUs instaladas em subestações e unidades de geração maiores para conceber um SPMS.

Vale ressaltar, que grande parte das interrupções no fornecimento elétrico se originam em falhas na rede de distribuição, sendo que a localização rápida e precisa de faltas com o uso de PMUs pode agilizar o despacho de equipes de manutenção para o reparo. Além de disso, o acréscimo das unidades de geração distribuída tende a dificultar a localização de faltas, tornando ainda mais atrativa a implementação de PMUs para auxiliar nesse processo (REN, VENKATA e SORTOMME, 2004).

Embora a instalação de PMUs em sistemas de distribuição pareça ser menos atrativa do que na transmissão, devido aos ângulos de fase serem muito parecidos ao longo da rede de distribuição, existem pesquisas significativas sobre o assunto (ANGIONI, LIPARI, *et al.*, 2017), (GRANDO, DENARDIN, *et al.*, 2015), (TAHABILDER, GHOSH, *et al.*, 2018) e (RAJEEV, S e KHAN, 2015). Algumas pesquisas inclusive abordam o uso de esquemas de proteção baseados em medições sincrofasoriais para sistemas de distribuição com alta inserção de geração distribuída (BRAHMA e GIRGIS, 2004).

As redes de distribuição costumam ter uma grande quantidade de nós, o que exige uma grande quantidade de pontos de medição, entre os quais a diferença angular é muito sutil. Além de tudo, na distribuição ocorre maior incidência de ruído.

Dessa forma muitos esforços são realizados para conceber PMUs de baixo custo, alta resolução e com grande tolerância a ruído (GRANDO, 2016).

Um dos grandes causadores de ruídos na rede elétrica são os dispositivos chaveados, e eles estão cada vez mais presentes dentro das unidades consumidoras, seja na iluminação, eletrodomésticos e equipamentos portáteis. Os ruídos interferem diretamente nas estimações fasoriais, até mesmo impedindo a implementação de determinados algoritmos estimadores. Em razão disso são propostos vários tipos de filtros digitais para o cálculo de fasores e/ou frequência e Taxa de Variação de Frequência (*Rate of Change of Frequency - ROCOF*).

Diante dos desafios presentes na transmissão e distribuição de energia é apresentada a solução denominada de rede inteligente (*smart-grid*). A proposta da rede inteligente é de conceber um sistema de distribuição consciente e auto reconfigurável capaz de satisfazer os critérios de confiabilidade, estabilidade, controlabilidade, disponibilidade, sustentabilidade, interoperabilidade, segurança, eficiência e resiliência. O cumprimento de tantos requisitos, no entanto é uma tarefa muito complexa, e exige obrigatoriamente um sistema de medição em tempo real, o que torna a PMU uma componente fundamental da rede inteligente (MESSINA, MARCHI, *et al.*, 2017).

A primeira PMU foi desenvolvida em 1988 com base no Relé de Distância de Componente Simétrica (RDCS), que utilizava um algoritmo recursivo baseado na Transformada Discreta de Fourier (*Discrete Fourier Transform – DFT*) para estimação de fasores. A DFT, devido a eficiência e sua grande capacidade de rejeição a harmônicas, continuou a ser utilizada em PMUs desde então.

No entanto, esse método não funciona bem para frequências fora da nominal em virtude de efeitos de vazamento espectral conhecidos, como: perda por recorte e interferência espectral. Uma escolha adequada da janela de amostragem pode reduzir bastante a interferência espectral, enquanto algoritmos de interpolação têm sido propostos para lidar com o problema de perda por recorte. Mas essas abordagens possuem diversas limitações, entre elas: filtragem pouco efetiva para componentes inter-harmônicas e não produzem estimativas diretas de frequência e ROCOF, dependendo da diferenciação numérica da sequência de fase estimada, pois o método de diferenças finitas não possui precisão suficiente. Além disso, de maneira geral elas não são convenientes para sinais dinâmicos pois são baseadas em um modelo estacionário (MESSINA, MARCHI, *et al.*, 2017).

Extensões do algoritmo de DFT vêm sendo propostas, inclusive baseando-se em modelos dinâmicos (SERNA, 2007), (PREMERLANI, KASZTENNY e ADAMIAK, 2008), (SERNA e MARTIN, 2003). Porém, embora essas abordagens apresentem melhor desempenho do que os algoritmos estacionários, a rejeição à interferência continua a ser um problema. E além disso, faltam maneiras mais simples de controlar diferentes aspectos de realização da estimação de fasores.

Já uma abordagem diferente é o uso de um Laço de Captura de Fase (*Phase-Locked Loop* - PLL), que é conveniente para rastreamento dinâmico, sendo controlado por uma simples parametrização (STATMAN e HURD, 1990). Tipicamente o desafio desses sistemas recaem sobre um compromisso entre a resposta dinâmica e o desempenho da filtragem, sendo que para obter uma resposta dinâmica rápida é necessária uma largura de banda suficientemente grande. Enquanto, por outro lado, para filtrar interferências indesejadas a largura de banda deve ser restringida ao máximo. Essa limitação pode ser superada por meio de um estágio de pré-filtragem adequado.

O propósito desse trabalho é a investigação do desempenho de um algoritmo de estimação de sincrofasores de sequência positiva, semelhante ao proposto por (MESSINA, MARCHI, *et al.*, 2017), baseado em um Laço de Captura de Fase de Referência Síncrona (*Synchronous Reference Frame Phase-Locked Loop* - SRF-PLL). O algoritmo estudado é uma integração de diferentes técnicas incluindo a transformada dq0, que elimina ruídos equilibrados devido a simetria dos sinais trifásicos, e um pré-filtro de resposta finita ao impulso (*Finite Impulse Response* - FIR), pois não causa distorção de fase como um filtro de resposta infinita ao impulso (*Infinite Impulse Response* - IIR).

Após o filtro FIR, estimações são realizadas por um PLL digital que utiliza medidas de fase para produzir estimações de amplitude, fase, frequência e ROCOF. Além disso, se faz necessária a compensação devido ao ganho provocado pelo estágio de filtragem, e na prática pela instrumentação analógica.

1.1 OBJETIVO GERAL

O presente trabalho possui o objetivo geral de fazer o projeto, a análise e o teste experimental do algoritmo modular de estimação de sincrofasores de sequência positiva, em vista de atingir os requisitos previstos no padrão IEEE C37.118.1-2011 e em sua emenda C37.118.1a-2014.

1.2 OBJETIVOS ESPECÍFICOS

Em conjunto com o objetivo geral, também têm-se os seguintes objetivos específicos:

- Implementação prática de um algoritmo modular de estimação de sequência positiva;
- Realizar simulações computacionais do algoritmo em prol de analisar seu comportamento;
- Implementar o algoritmo em um microcontrolador a fim de obter resultados experimentais;
- Realizar testes estáticos e dinâmicos do algoritmo com o uso de uma plataforma de testes experimentais;
- Obter um comportamento estável do sistema de estimação durante os testes;
- Comparar os resultados com os da DFT.

1.3 CONTRIBUIÇÕES

O trabalho possui as seguintes contribuições:

- Projeto e teste de algoritmo para estimação de sequência positiva;
- Análise de desempenho do algoritmo testado;
- Validação experimental da arquitetura de estimação do algoritmo;
- Publicação de artigos mostrando os resultados obtidos;
- Sugerir melhorias do algoritmo que possam motivar trabalhos futuros.

1.4 ORGANIZAÇÃO DO TRABALHO

O documento está organizado da seguinte forma: no capítulo dois é apresentada a revisão bibliográfica sobre SPMS, PMU, suas aplicações em redes inteligentes e a normativa técnica aplicada. O capítulo três introduz a descrição teórica do algoritmo modular de estimação, sua arquitetura, o detalhamento de cada uma de suas etapas e simulações que exemplificam seu comportamento sob algumas condições específicas de interesse. O capítulo quatro descreve o material e os métodos utilizados na implementação prática do algoritmo e da plataforma de testes. Em seguida, no capítulo cinco, são mostrados os resultados obtidos, a comparação com os resultados da DFT, e, por fim, as principais conclusões se encontram no capítulo seis.

2. SISTEMA DE MEDIÇÃO FASORIAL SINCRONIZADA

Um SPMS é composto principalmente por: múltiplas unidades de medição fasorial posicionadas nas barras de um sistema elétrico, pelo menos um PDC que recebe os sincrofasores das PMUs, e um meio de comunicação de dados. Além disso para o funcionamento desse sistema é fundamental um módulo de recebimento do sinal de PPS enviado pelo GPS, bem como transdutores que conferem os sinais de interesse às PMUs. De maneira genérica, um SPMS pode ser ilustrado conforme a figura 1 (EHRENSPERGER, 2003).

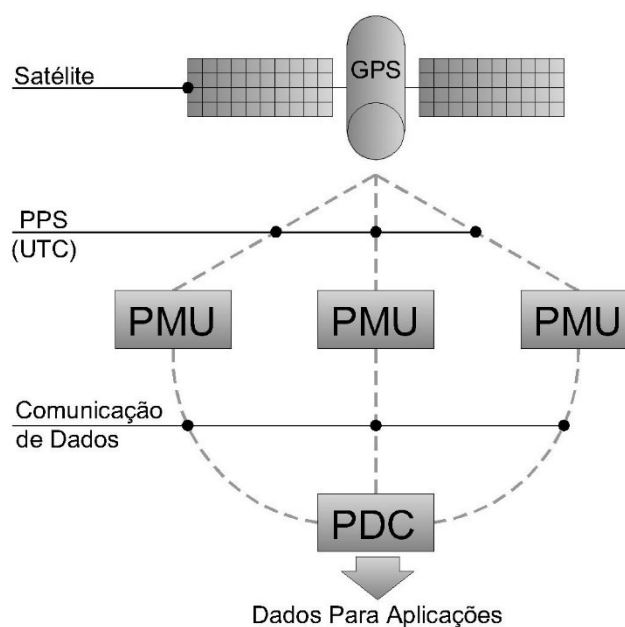


Figura 1 – Sistema de medição fasorial centralizado
Fonte: Adaptado de Ehrensperger (2003, p. 6)

A amostragem sincronizada em cada ponto onde as PMUs se encontram instaladas é iniciada a partir do recebimento do PPS proveniente do GPS. Tipicamente são utilizados algoritmos baseados na DFT, para processar as amostras coletadas do sistema elétrico e obter os sincrofasores de sequência positiva. As estimações são acomodadas em pacotes de dados pré-definidos pelo padrão IEEE C37.118.2-2011 (IEEE POWER & ENERGY SOCIETY, 2011) e transmitidos por uma rede de comunicação até o PDC (PHADKE e THORP, 2008). Em virtude da padronização dos dados é garantida a possibilidade de comunicação entre equipamentos de fabricantes

diferentes. No PDC os sincrofasores ficam disponíveis para as mais diversas aplicações as quais são destinados.

2.1 UNIDADE DE MEDIÇÃO FASORIAL

As PMUs são os principais componentes do SPMS pois são responsáveis pelas medições nos pontos de interesse da rede elétrica onde encontram-se instaladas e pelo envio dos dados ao PDC. Os principais componentes da arquitetura de uma PMU são exibidos de forma simplificada no diagrama de blocos da figura 2, desde a coleta dos sinais analógicos da rede elétrica via instrumentação até a comunicação dos pacotes de dados na saída para o PDC.

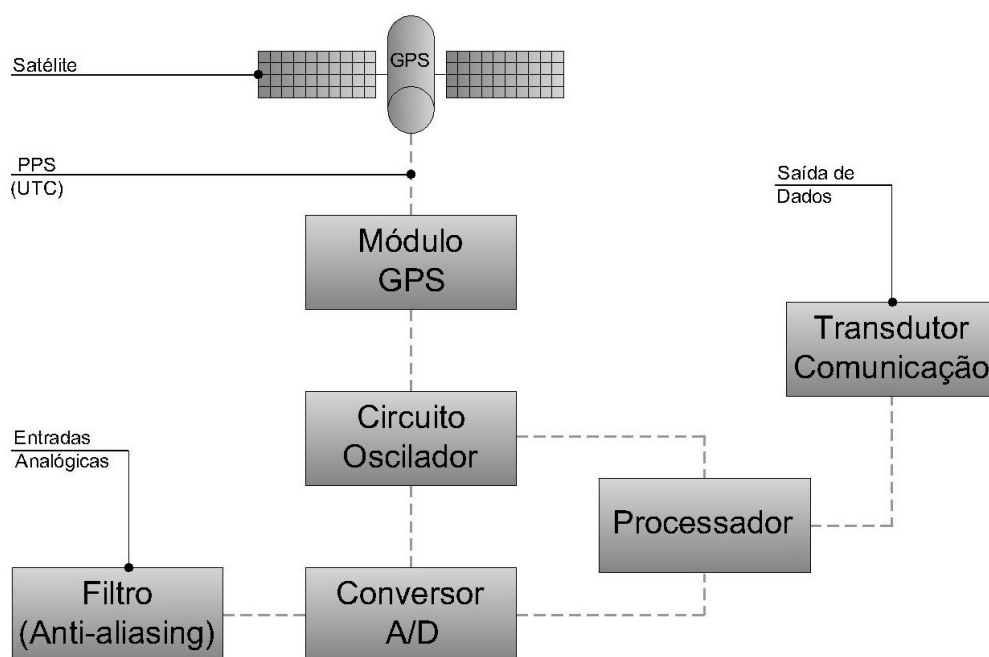


Figura 2 – Blocos básicos de uma PMU
 Fonte: Adaptado de Ehrensperguer (2003, p. 9)

Tipicamente as PMUs podem receber entradas analógicas de tensão e/ou corrente, que passam por um bloco de filtragem *anti-aliasing*, e posteriormente são submetidas a um ADC que realiza a amostragem desses sinais. Esse processo de amostragem só é iniciado a partir do recebimento do PPS, que é o sinal de sincronismo proveniente do módulo GPS. O PPS dispara um circuito oscilador ou temporizador cuja função é controlar o ciclo de conversão A/D e o processamento de

amostras. Os sinais amostrados passam por um algoritmo de estimação executado pelo microprocessador e em seguida os sincrofasores estimados são padronizados em pacotes de dados e enviados ao PDC por meio de um transdutor de comunicação.

Segundo Phadke (2008), para o sistema elétrico na frequência nominal de 60 Hz é considerada suficiente uma taxa de amostragem de doze amostras por ciclo. Ou seja, é necessária uma frequência de amostragem de no mínimo 720 Hz para realizar as estimativas sincrofasoriais.

Considerando que os requisitos de amostragem de uma PMU são baixos frente à outras aplicações, e tendo em vista a crescente evolução dos dispositivos microprocessados, isso proporciona uma margem de tempo significativa para a execução de algoritmos de estimação, cerca de 1,39 ms no caso de 12 amostras por ciclo em 60 Hz, levando ao aprimoramento de algoritmos cada vez mais precisos e inteligentes, capazes até mesmo de realizar diagnósticos. Entretanto, a frequência de amostragem de uma PMU pode variar de acordo com as exigências do projeto e também de acordo com a classe de desempenho pretendida (CASTELLO, LIU, *et al.*, 2014), (JIANG, LIN, *et al.*, 2000), (KAMWA, SAMANTARAY e JOOS, 2014).

O padrão IEEE define duas classes de desempenho de PMUs, chamadas P e M. A classe P é direcionada a aplicações que requerem medições com um tempo de resposta rápido, especialmente para proteção de SEP, enquanto a classe M é adequada quando a precisão possui importância maior. Uma PMU deve satisfazer a todos os requisitos de pelo menos uma das classes para ser considerada em conformidade com o padrão IEEE. As maiores diferenças entre as duas classes de desempenho são as condições de teste para o estado estacionário e os requisitos de desempenho dinâmico, principalmente para as estimações de frequência e ROCOF (CASTELLO, LIU, *et al.*, 2013).

A separação das PMUs em classes de desempenho facilita o seu direcionamento à aplicações específicas, como por exemplo, em redes inteligentes, que devem ser equipadas com dispositivos de medição sincronizada para suprir as informações necessárias para o seu funcionamento.

2.2 APLICAÇÕES EM REDES INTELIGENTES

As redes inteligentes utilizam recursos digitais capazes de coletar, distribuir e modificar informações de maneira dinâmica, com o objetivo de melhorar a confiabilidade e eficiência do sistema elétrico. Os estudos sobre esse assunto são impulsionados pelo aumento significativo do número de unidades de geração distribuída principalmente de dois tipos, fotovoltaica e eólica. Devido a inserção das fontes renováveis elevam-se os requisitos para o controle e monitoramento das redes de distribuição. Um fator importante de incentivo para as pesquisas na área são os recursos tecnológicos disponíveis atualmente. As avançadas ferramentas de processamento e comunicação de dados existentes, sobretudo a maior cobertura via satélite e as fibras ópticas, ajudam os pesquisadores a solucionarem as limitações de monitoramento, proteção e diagnósticos do sistema elétrico.

O propósito das redes inteligentes é de que tenham em longo prazo coordenação, consciência, regeneração e reconfiguração própria para satisfazer os critérios de confiabilidade, estabilidade, mensurabilidade, controlabilidade, flexibilidade, disponibilidade, manutenção, sustentabilidade, interoperabilidade, segurança, otimização, mobilidade, sensibilidade, eficiência, seletividade, resiliência (capacidade de restaurar-se de falhas) e escalabilidade (permitir que uma rede local opere com autonomia) (LO e ANSARI, 2011).

A partir da década de 1990, houve o surgimento do conceito de Sistema de Medição de Grande Área (*Wide Area Measurement System - WAMS*), que utiliza dados de SPMS (XU, 2006). Esse sistema de medição de grande área baseia-se em coletar informações de pontos estratégicos e transmiti-las a um centro de controle para que possam ser tomadas decisões e realizadas intervenções conforme a necessidade. Em redes inteligentes essas informações são úteis em diversas circunstâncias, uma delas é a regeneração de faltas de forma automática, sem que haja intervenção humana. Dessa maneira, a implementação de SPMS permite agregar recursos de funcionalidade importantes para as redes inteligentes.

O sistema de medição baseado em PMUs é capaz de cumprir os requisitos necessários para aplicações em redes inteligentes, sendo a PMU o principal elemento para coleta de dados. As informações levantadas contribuem para a observabilidade

da área de abrangência, o que a torna mais controlável pelo operador, agregando subsídios essenciais para a rede inteligente (SUTAR, VERMA e PANDEY, 2011).

No entanto, há limitações financeiras que impedem que as PMUs sejam instaladas em todos os pontos necessários do sistema para realizar o controle idealizado pelas redes inteligentes. Isso incentiva as pesquisas que buscam soluções que viabilizem a utilização de PMUs de maneira ampla e eficaz. A construção de uma PMU de baixo custo é um exemplo disso. Como alternativa para suprir a ausência de PMUs reais, existem até mesmo estudos que propõe o desenvolvimento de PMUs virtuais que simulam sincrofasores em certos pontos do sistema, e se comunicam com PMUs verdadeiras (AL-HAMMOURI, NORDSTROM, *et al.*, 2012).

Com o intuito de ajudar na disseminação maciça de PMUs no sistema de distribuição, foram propostas arquiteturas de *hardware* de baixo custo para a PMU (GRANDO, 2016), (WANG, XIE, *et al.*, 2017), até mesmo apresentando resultados práticos positivos em conformidade com os padrões IEEE. Em sua maioria, os trabalhos utilizam como algoritmos de estimação fasorial a DFT. As razões disso estão na sua simplicidade e também no fato de que algoritmos mais avançados se encontram em sigilo industrial ou sob proteção de patentes comerciais (ZWEIGLE, GUZMAN-CASILLAS e ANDERSON, 2011). Nesse sentido, justifica-se a busca por algoritmos novos e mais eficientes, que possam ser utilizados e melhorados livremente em trabalhos que visam a concepção de uma PMU de baixo custo.

Os sincrofasores podem ser utilizados pelas redes inteligentes como recurso para a solução de diferentes problemas. Por exemplo, na detecção de ilhamento, identificação da sequência de fases e dos perfis das cargas conectadas a rede. O ilhamento ocorre quando parte de um sistema elétrico contendo cargas e unidades de geração distribuída continua operando após ser isolado do sistema principal devido à manobra de operação ou devido à atuação de proteção.

Segundo o padrão IEEE 1547, os sistemas de geração distribuída devem ser capazes de desconectar-se da rede elétrica em menos de dois segundos caso ocorra a situação de ilhamento. As maneiras mais comuns de detectar ilhamento envolvem medidas de tensão e frequência que dependem de uma quantidade significativa de ciclos de onda da frequência fundamental. Já a PMU pode conferir agilidade nesse processo, pois é capaz de enviar de 1 a 60 pacotes de dados por segundo contendo medidas precisas para essa aplicação.

Ao longo das linhas de transmissão ou distribuição comumente há deslocamento nos ângulos das fases que podem prejudicar a identificação da sequência correta. Isso ocasiona problemas, como por exemplo, no equilíbrio e distribuição de cargas e também na localização de faltas. Uma solução proposta seria a alocação de PMUs ao longo do sistema permitindo o monitoramento das fases em diferentes pontos o que facilita identificar a sequência correta (SHI, TYLAVSKY, *et al.*, 2010), (DIN, GILANY, *et al.*, 2005).

Dependendo das características da carga, a variação de tensão pode desencadear uma respectiva mudança na potência entregue. Com os dados fornecidos pelas PMUs, pode ser alcançada uma precisão satisfatória no cálculo das mudanças de potência em diferentes locais do sistema ao mesmo tempo. Isso ajuda a definir as características das cargas e avaliar o impacto da mudança de cargas para determinar o que é necessário para manter a confiabilidade do fornecimento de energia (HATAWAY, MOXLEY e FLERCHINGER, 2012).

Portanto, os algoritmos de estimação de sincrofasores das PMUs devem atender aos requisitos do padrão IEEE para que possam ser capazes de fornecer medições com a precisão e a velocidade exigida para a aplicação em redes inteligentes, além disso, os algoritmos devem ser de baixo custo de hardware necessário para ampliar a sua viabilidade.

2.3 ESTIMAÇÃO DE FASORES E FREQUÊNCIA

O desenvolvimento de algoritmos para estimação fasorial tem uma forte correlação com a capacidade de processamento de dados ao longo dos anos. Isso se deve às sucessivas amostras e operações matemáticas necessárias para produzir um resultado. Esse processo deve ser repetido diversas vezes para obtenção de dados atualizados originando uma rotina que é realizada em intervalos na ordem de microssegundos.

Os algoritmos de estimação tiveram origem na década de 1960, motivados pela aplicação em relés digitais. Como nessa época os recursos computacionais eram muito escassos, deu-se ênfase em produzir rotinas que demandassem esforço computacional reduzido e ao mesmo tempo cumprissem com os requisitos

relacionados às funções de proteção. Essa abordagem resultou no surgimento do RDCS em 1988, que utilizava a DFT, calculando as componentes simétricas a partir de uma única equação.

Com base no RDCS e aplicando o conceito de sincronismo deu-se origem a PMU. Nesse processo o algoritmo da DFT foi absorvido e continua sendo o mais utilizado em PMUs. Sua principal vantagem é a eficiência computacional, porém seu desempenho é limitado à frequência nominal. Com base nisso, esforços foram feitos para estender o conceito para frequências fora da nominal, resultando em variações do algoritmo original. Mesmo assim essas adaptações também apresentam limitações (MACII, PETRI e ZORAT, 2012), (BELEGA e PETRI, 2013).

Alguns trabalhos apresentam adaptações de PLLs tanto para sistemas monofásicos quanto para sistemas trifásicos, dando origem a esquemas mais complexos que buscam melhorar o desempenho das estimações tanto no cenário de fases equilibradas quanto para fases desequilibradas (KARIMI-GHARTEMANI, OOI e BAKHSHAI, 2010), (RODRIGUEZ, POU, *et al.*, 2007).

Outra estratégia conhecida de estimação baseia-se no filtro de Kalman (WOOD, JOHNSON e SACHDEV, 1985), (GIRGIS e PETERSON, 1990). Nele um processo de duas etapas é realizado. Na primeira etapa é produzida uma estimativa aproximada e na segunda etapa essa estimativa é comparada com o valor medido realizando uma média ponderada que atribui maior peso para as estimativas com menor incerteza. Porém a maioria desses algoritmos demandam um alto custo computacional e sofrem imprecisões na presença ruídos, mesmo com uma elevada relação sinal-ruído (*Signal-to-noise ratio* - SNR) (MAGESWARI, IGNATIOUS e VINODHA, 2012).

Um levantamento do estado da arte de acordo com (MARTINEZ e COLOME, 2016) é mostrado na tabela 1, classificando os algoritmos de estimação de fasores em clássicos e não clássicos, nele foram feitas as seguintes considerações: facilidade de implementação em arquitetura convencional (IM) de PMU, desempenho em tempo real (TR), desempenho com harmônicas, inter-harmônicas e ruído (HR), velocidade de cálculo dos algoritmos (VA), desempenho para sinais com componente CC (CC), desempenho com variações rápidas de frequência (VRF), atendimento ao padrão IEEE (AP), e desempenho com sinais de simulação de sistemas de potência de três ou mais barras sujeitas a distúrbios (SIM).

As considerações são avaliadas pelo desempenho como bom (A), regular (B) ou ruim (C), já os espaços em branco representam que o desempenho é indeterminado.

Tabela 1: Classificação dos algoritmos de estimação de fasores.

Tipo	Algoritmos	IM	TR	HR	VA	CC	VRF	AP	SIM
Clássicos	DFT	A	C	C	A	C	C	C	C
	STFT	A	C	A	B	C	B	A	C
	Interpolação	C	A	C	A	C	B	C	
	TFT	A	A	C	C	B	C	A	
Não Clássicos	Prony	A	A	C	C	B	C	A	
	Kalman	A	C	C	C	B	C		C
	Notch adaptativo	C		C	C	B	C		
	Newton	A	B	A	C	A	B		C
	PLL	C	C	A	A	A	B		
	Heurística	C		A	C	A	B		
	LES	A	A	C	C	B	B	C	C
	DAS	A	A	B	B	B	C	A	
	Wavelet	A	B	C	C	B	B	A	
	Integral de Convolução	C	A	B	C	C	C	A	
Subespaços	C		A	C	A	B		B	

Fonte: Adaptado de MARTINEZ e COLOME (2016)

Os algoritmos clássicos classificados são a DFT (MARTINEZ e COLOME, 2013), transformada de Fourier de curto tempo (*Short-time Fourier transform* – STFT) (IEEE POWER & ENERGY SOCIETY, 2011), Interpolação (ROMANO, PAOLONE, *et al.*, 2013) e transformada de Fourier truncada (*Truncated Fourier Transform* – TFT) (PREMERLANI, KASZTENNY e ADAMIYAK, 2008).

Já os algoritmos não clássicos classificados foram Prony (SERNA, 2013), Kalman (DASH, PANDA, *et al.*, 2000), Notch adaptativo (MOJIRI, KARIMI-GHARTEMANI e BAKHSHAI, 2007), Newton (TERZIJA, DJURIC e KOVACEVIC, 1994), PLL (KARIMI-GHARTEMANI, BOON-TECK e BAKHSHAI, 2011), Heurística (SOUZA, MACEDO, *et al.*, 2006) (SIDHU, XUDONG e BALAMOUGAN, 2005),

mínimos erros quadrados (*Least Error Squares* – LES) , Das e Sidhu (*Das and Sidhu – DAS*) (DAS e SIDHU, 2013), Wavelet (JINFENG e KEZUNOVIC, 2011), Integral de Convolução (ZHIYING, KOROVIN, *et al.*, 2011) e Subespaços (BANERJEE e SRIVASTAVA, 2012).

Quanto ao atendimento ao padrão IEEE seis algoritmos ainda possuem um desempenho indeterminado, incluindo o PLL. Portanto, um dos principais objetivos do presente trabalho é de atender aos requisitos do padrão IEEE com um algoritmo baseado no SRF-PLL. Os requisitos e condições dos testes conforme o padrão IEEE são apresentados na seção 2.4.

2.4 NORMATIVA TÉCNICA

O primeiro padrão para sincrofasores foi o IEEE 1344 criado em 1995, e mais tarde substituído pelo IEEE C37.118-2005. Ambos tratavam da estimação de frequência e ROCOF do sistema, no entanto, sem estabelecer definições e nem requisitos necessários para as medições. O padrão de 2005 especificava requisitos de desempenho para medição de sincrofasores somente em condições de estado estacionário.

Porém a utilização de sincrofasores sob condições de distúrbios severos no sistema exige que as medições atendam também a requisitos dinâmicos. Isso motivou a criação da IEEE C37.118-2011 em substituição do padrão anterior, trazendo uma extensão da definição de sincrofasores e especificando os requisitos e condições de testes que consideram o comportamento dinâmico dos sistemas de potência.

Entre as diversas melhorias feitas pela IEEE C37.118-2011, uma delas é a separação entre os assuntos de medição e comunicação de dados em padrões individuais, IEEE C37.118.1-2011 e IEEE C37.118.2-2011 respectivamente, o que simplificou muito o uso dos padrões. Por simplicidade, a partir desse ponto o padrão IEEE C37.118.1-2011 será mencionado apenas como padrão IEEE ao longo do texto.

2.4.1 Definição de Sincrofasor

Segundo o padrão IEEE, em síntese, um sincrofasor é um valor fasorial obtido de uma forma de onda de tensão ou corrente e precisamente referenciado a uma base de tempo em comum. A representação do fasor de um sinal senoidal é comumente usada em análise de sistemas de corrente alternada. A forma de onda senoidal é definida como na equação (1).

$$x(t) = X_m \cos(\omega t + \phi) \quad (1)$$

Sua representação em forma de fasor é comumente feita como mostra a equação (2).

$$X = (X_m/\sqrt{2})e^{j\phi} = (X_m/\sqrt{2})(\cos \phi + j \sin \phi) = X_r + jX_i \quad (2)$$

Na equação (2) a magnitude é a raiz do valor quadrático médio (RMS), $X_m/\sqrt{2}$, da forma de onda, e os sub índices r e i representam as partes real e imaginária do número complexo em componentes retangulares. O valor de ϕ depende da escala de tempo e a frequência angular é definida por ω . É importante ressaltar que comparações somente podem ser feitas entre fasores na mesma escala de tempo e com a mesma frequência angular (IEEE POWER & ENERGY SOCIETY, 2011).

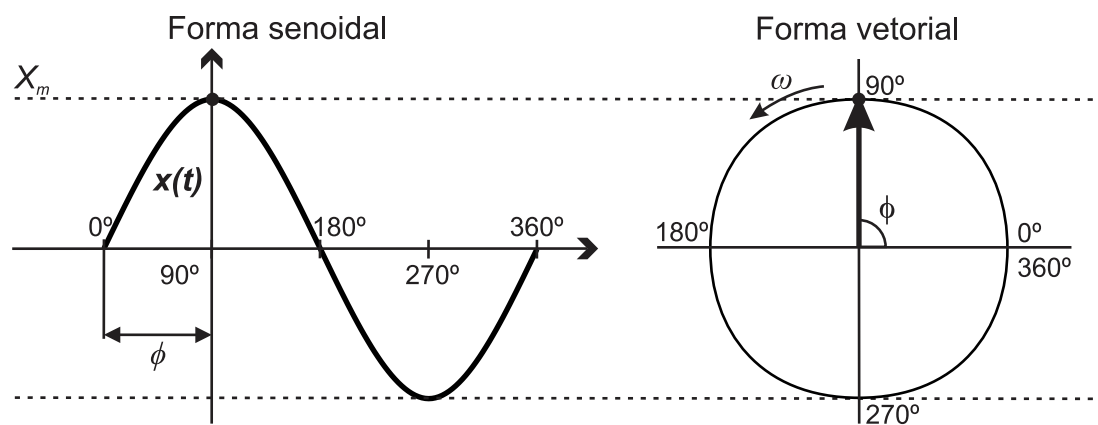


Figura 3 – Representação na forma senoidal e sua correspondente vetorial.
 Fonte: Adaptado de Phadke (2008, p. 6)

A equação (2) representa um sincrofasor sempre que o valor da fase angular instantânea ϕ estiver em relação a uma função cosseno na frequência nominal do sistema sincronizado ao UTC. Na figura 3 pode ser observada a representação de uma onda na forma senoidal e sua correspondente vetorial.

2.4.2 Total Vector Error

Para avaliar a precisão dos sincrofasores gerados pela PMU, o padrão IEEE 37.118.1-2011 estabelece o critério de *Total Vector Error* (TVE). Ele é um valor percentual da diferença entre o fasor real e o estimado. Semelhante a um processo de calibragem, em que é feita a relação entre o mensurado e a observação, caso o erro observado esteja dentro de um limite de aceitação, a medição pode ser considerada confiável.

Se o erro apresentar um comportamento sistemático, com previsibilidade, então ele pode ser compensado por um termo de correção, que é um número pelo qual a estimativa pode ser multiplicada e/ou somada a fim de obter o valor verdadeiro. Esse conceito está presente no padrão IEEE C57.13-2008, que estabelece os erros aceitáveis para transformadores de instrumentação, aplicados a medição e proteção de sistemas de potência. Nesse padrão, os erros de ângulo de fase e magnitude devem ser expressos separadamente, diferentemente do critério de TVE.

O TVE combina em uma única quantidade ambas as margens de erros de magnitude e também de ângulo, englobando os erros de sincronia de tempo, ângulo do fasor, e erros de estimação da magnitude do fasor. Isso pode ser definido matematicamente pela equação (3),

$$TVE = \sqrt{\frac{(a - a_{ref})^2 + (\phi - \phi_{ref})^2}{a_{ref}^2 + \phi_{ref}^2}} \quad (3)$$

em que a e ϕ são a magnitude e o ângulo do sincrofasor medido, e a_{ref} e ϕ_{ref} são a magnitude e o ângulo do sincrofasor de referência.

O sincrofasor de referência pode ser gerado eletronicamente por um dispositivo previamente calibrado. O valor resultante de TVE em (3) não pode ser

superior a 0,01, que equivale a 1%. Isso pode ser visualizado graficamente por meio da figura 4 em que o erro deve estar contido dentro do círculo desenhado na extremidade do fasor.

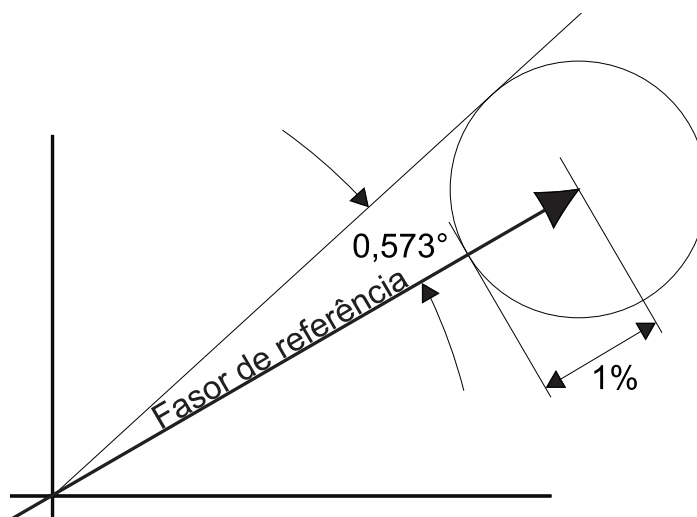


Figura 4 – O critério TVE de 1% mostrado na extremidade de um fasor
Fonte: Adaptado de IEEE Power & Energy Society (2011, p. 45)

Desse conceito observam-se as seguintes características: o maior erro de amplitude (*Amplitude Error* - AE) tolerável é de 1% quando o erro de fase (*Phase Error* - PE) é nulo, e o maior erro de fase tolerado quando o erro de magnitude for nulo é de 0,573°.

2.4.3 Erro de Frequência e ROCOF

O erro de frequência (*Frequency Error* - FE) e o erro de ROCOF (*ROCOF Error* - RFE) devem ser calculados segundo o critério do valor absoluto da diferença entre o valor teórico e o valor estimado, dados em Hz e Hz/s respectivamente. Essa definição é expressa pelas equações (4) e (5) (IEEE POWER & ENERGY SOCIETY, 2011).

$$FE = |f_{\text{verdadeira}} - f_{\text{medida}}| \quad (4)$$

$$RFE = \left| \left(\frac{df}{dt} \right)_{\text{verdadeira}} - \left(\frac{df}{dt} \right)_{\text{medida}} \right| \quad (5)$$

Os valores utilizados para os cálculos dos erros devem obrigatoriamente possuir a mesma etiqueta de tempo, para garantir que sejam os valores, verdadeiro e medido, referentes ao mesmo instante de tempo.

2.4.4 Estado Estacionário

Para verificar se a PMU está em conformidade deve-se realizar a comparação entre as estimações de sincrofasor, frequência e ROCOF feitas na condição de estado estacionário com os valores de referência correspondentes de X_r , X_i , frequência e ROCOF. Na condição de estado estacionário as grandezas de influência do sinal de referência X_m , ω e ϕ devem permanecer fixas. É importante mencionar que para frequências fora da nominal, mesmo que a fase ϕ do sinal de referência seja constante, a medida de fase irá apresentar variação. A tabela 2 apresenta os requisitos de medição de sincrofasores padronizados para o estado estacionário para uma taxa de aquisição de fasores de 25 quadros por segundo (*Frames Per Second - FPS*) (IEEE POWER & ENERGY SOCIETY, 2011).

O teste para verificar a conformidade em relação a rejeição de frequência fora de banda pode ser realizado utilizando uma senoide com 10% da amplitude nominal e frequência variando no intervalo a partir de 0 Hz, abaixo da banda de passagem, até a segunda harmônica ($2 \times f_0$), acima da banda de passagem, conforme ilustrado na figura 5. Na realização do teste esse sinal de interferência é somado ao sinal fundamental, que é considerado um sinal de sequência positiva. Tendo em vista que a norma não estabelece o tamanho e duração dos degraus para os testes de estado estacionário, na prática realizaram-se degraus de 1 Hz com duração de 2 segundos cada.

A largura da banda de passagem f é definida pelo intervalo $|f - f_0| \geq F_s/2$, sendo f_0 a frequência nominal e F_s a quantidade de fasores medidos por segundo. Ainda, é tolerável que a frequência de entrada f_{in} do sinal fundamental varie entre f_0 e $\pm 10\%$ de $F_s/2$. Embora os requisitos de frequência e ROCOF sejam aplicados apenas aos intervalos de frequência especificados, na prática as medidas podem atender a um intervalo muito maior.

Tabela 2: Requisitos de medição de sincrofasores para o estado estacionário ($F_s \geq 25$ FPS).

Grandeza de influência	Condição de referência	Classe P		Classe M	
		Intervalo	TVE Máx. (%)	Intervalo	TVE Máx. (%)
			FE Máx.		FE Máx.
			RFE Máx.		RFE Máx.
Frequência	$F_{nominal} (f_0)$	± 2 Hz	1 %	± 5 Hz	1 %
			0,005 Hz		0,005 Hz
			0,4 Hz/s		0,1 Hz/s
Magnitude	100 %	80 % a 120 %	1 %	10 % a 120 %	1 %
			-		-
			-		-
Ângulo (com $\Delta f < 0,25$ Hz)	Constante ou pequena variação do ângulo	$\pm 180^\circ$	1%	$\pm 180^\circ$	1%
			-		-
			-		-
Distorção harmônica	< 0,2 % (THD)	1% cada harmônica até a 50 ^a	1 %	10% cada harmônica até a 50 ^a	1 %
			0,005 Hz		0,025 Hz
			0,4 Hz/s		-
Interferência fora de banda	< 0,2% da magnitude do sinal	N/A	-	10% na magnitude do sinal	1,3 %
			-		0,01 Hz
			-		-

Fonte: IEEE (2014)

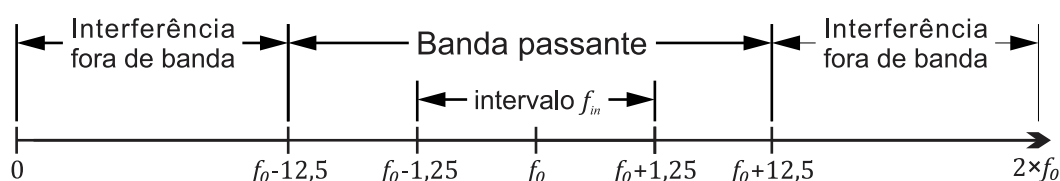


Figura 5 – Espectro de frequência de interferência fora de banda para 25 FPS

2.4.5 Condição Dinâmica

A largura de banda de medição de sincrofasores é determinada realizando a modulação dos sinais de entrada trifásicos equilibrados com sinais senoidais aplicados a amplitude e ângulo de fase do sinal de acordo com a tabela 3. Matematicamente os sinais de entrada podem ser representados conforme o conjunto de equações a seguir (IEEE POWER & ENERGY SOCIETY, 2011):

$$\begin{aligned}
X_a &= X_m[1 + k_x \cos(\omega t)] \times \cos[\omega_0 t + k_a \cos(\omega t - \pi)] \\
X_b &= X_m[1 + k_x \cos(\omega t)] \times \cos[\omega_0 t - 2\pi/3 + k_a \cos(\omega t - \pi)] \\
X_c &= X_m[1 + k_x \cos(\omega t)] \times \cos[\omega_0 t + 2\pi/3 + k_a \cos(\omega t - \pi)]
\end{aligned} \tag{6}$$

Os testes de modulação devem ser feitos com ω , k_x e k_a , dentro do intervalo de frequência apresentado na tabela 3. A frequência de modulação deve variar em passos de no máximo 0,2 Hz dentro do intervalo especificado na mesma tabela. O TVE, FE e RFE devem ser medidos em pelo menos dois ciclos completos de modulação. O máximo é o maior valor observado para a dada taxa de medição durante toda a realização do teste. O máximo deve estar em conformidade dentro dos limites especificados para a classe P e classe M para a dada taxa de medição.

O desempenho dinâmico da medição durante mudanças na frequência do sistema é testado com uma rampa de frequência. Matematicamente o sinal de entrada pode ser representado conforme o conjunto de equações a seguir:

$$\begin{aligned}
X_a &= X_m \cos[\omega_0 t + \pi R_f t^2] \\
X_b &= X_m \cos[\omega_0 t - 2\pi/3 + \pi R_f t^2] \\
X_c &= X_m \cos[\omega_0 t + 2\pi/3 + \pi R_f t^2]
\end{aligned} \tag{7}$$

em que X_m é a amplitude do sinal de entrada, ω_0 é a frequência nominal do sistema elétrico, e $R_f = (df/dt)$ é a taxa de variação da rampa em Hz/s que é considerado um valor fixo nessa equação.

A taxa de variação da rampa, tanto para rampa positiva ou negativa, é fixada em $\pm 1,0$ Hz/s. O intervalo de frequência e os limites dos erros de medição são mostrados na tabela 3. O intervalo de frequência é o mesmo especificado para o teste de frequência de estado estacionário.

Existe um período de exclusão em segundos de $2/F_s$ para classe P e $7/F_s$ para a classe M, aplicado às medições feitas no início e no final da rampa de frequência. Essa exclusão é realizada para prevenir erros de medição causados por sinais com frequência fora da banda de passagem do filtro. Para exemplificar, supõe-se um sistema com frequência de 50 Hz, em que a PMU realiza medições a 25 FPS, para a classe P o período de exclusão seria 0,08 s e para a classe M o período de exclusão seria 0,28 s.

Tabela 3: Requisitos de medição de sincrofasores para a condição dinâmica ($F_s = 25$ FPS).

Grandeza de influência	Condição de referência	Classe P		Classe M	
		Intervalo	TVE Máx. (%)	Intervalo	TVE Máx. (%)
			FE Máx.		FE Máx.
			RFE Máx.		RFE Máx.
$k_x = 0,1$ $k_a = 0$ rad	100 % da magnitude, $f_{nominal}$	f_{mod} 0,1 Hz até 2 Hz	3 %	f_{mod} 0,1 Hz até 5 Hz	3 %
			0,06 Hz		0,3 Hz
			2,3 Hz/s		14 Hz/s
$k_x = 0$ $k_a = 0,1$ rad	100 % da magnitude, $f_{nominal}$	f_{mod} 0,1 Hz até 2 Hz	3 %	f_{mod} 0,1 Hz até 5 Hz	3 %
			0,06 Hz		0,3 Hz
			2,3 Hz/s		14 Hz/s
$R_f = \pm 1,0$ Hz/s	100 % da magnitude, $f_{nominal}$	± 2 Hz	1%	± 5 Hz	1%
			0,01 Hz		0,01 Hz
			0,4 Hz/s		0,2 Hz/s

Fonte: IEEE (2014)

A figura 6 exibe o efeito da modulação de amplitude sobre um sinal senoidal. O sinal em questão possui amplitude nominal de 1 p.u. e 50 Hz de frequência, e a modulação de amplitude é de 10% variando de 0 Hz a 5 Hz durante a simulação. Já a figura 7 exibe o efeito da modulação de fase sobre o mesmo sinal de origem.

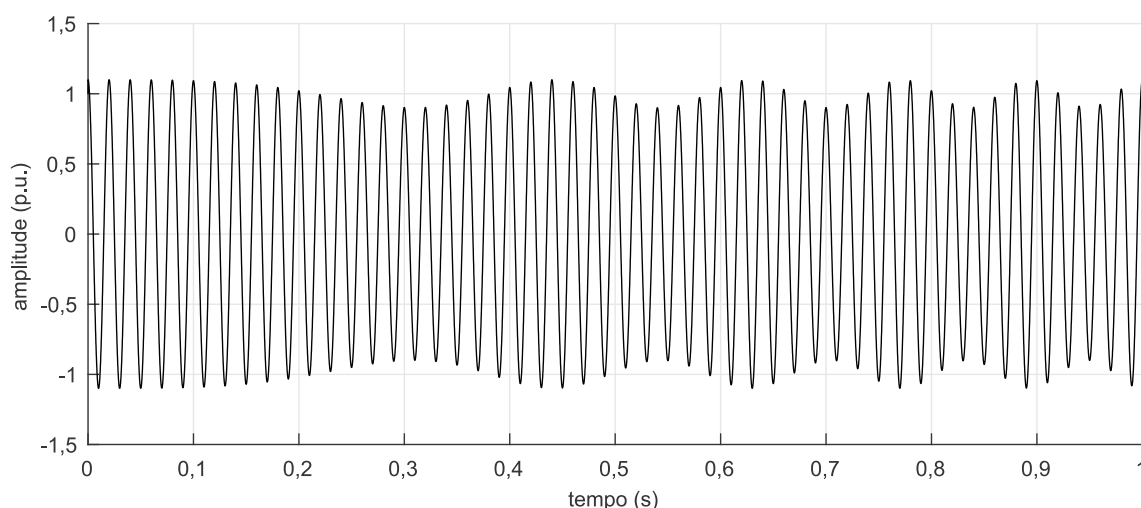


Figura 6 – Exemplo de sinal com modulação de amplitude

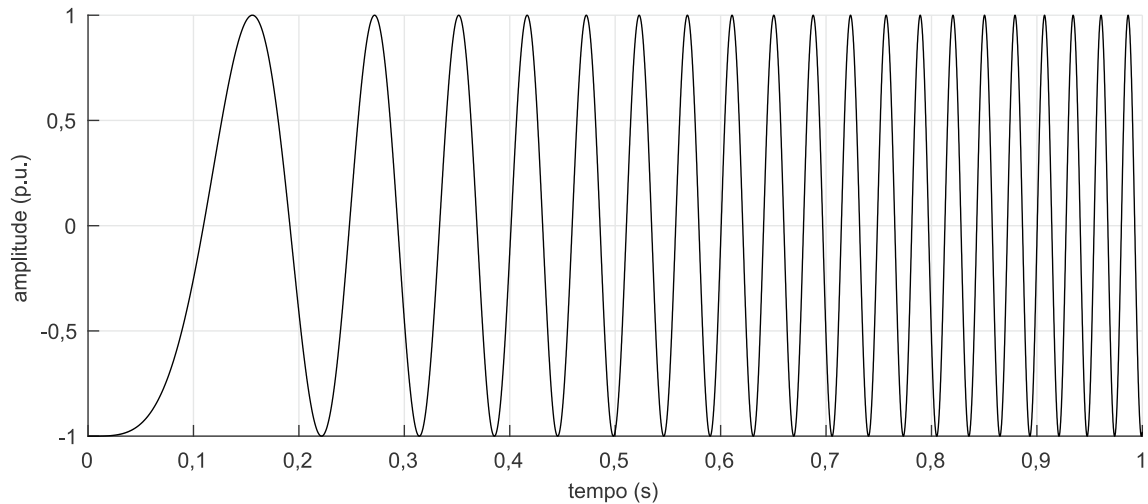


Figura 7 – Exemplo de sinal com modulação de fase

2.4.6 Resposta ao Degrau

O desempenho dinâmico durante um degrau de magnitude e de fase é determinado aplicando um degrau trifásico balanceado no sinal trifásico da entrada. O teste pode ser representado matematicamente pelo conjunto de equações a seguir:

$$\begin{aligned}
 X_a &= X_m[1 + k_x f_1(t)] \times \cos[\omega_0 t + k_a f_1(t)] \\
 X_b &= X_m[1 + k_x f_1(t)] \times \cos[\omega_0 t - 2\pi/3 + k_a f_1(t)] \\
 X_c &= X_m[1 + k_x f_1(t)] \times \cos[\omega_0 t + 2\pi/3 + k_a f_1(t)]
 \end{aligned} \tag{8}$$

em que X_m é a amplitude do sinal de entrada, ω_0 é a frequência nominal do sistema elétrico, $f_1(t)$ é a função do degrau unitário, k_x é o tamanho do degrau de magnitude e k_a é o tamanho do degrau de fase.

Conforme ilustrado na figura 8, este teste é uma transição entre dois estados estacionários usado para determinar o tempo de resposta, tempo de atraso e o *overshoot* na medição. Os limites de erro de estado estacionário da tabela 2 devem ser usados para determinar o tempo de resposta. Esses limites são TVE de 1 %, FE de 0,005 Hz e RFE de 0,4 Hz/s para classe P e de 0,1 Hz/s para classe M. O tempo de atraso é determinado pelo tempo que a resposta ao degrau leva para atingir a metade do seu valor de regime permanente.

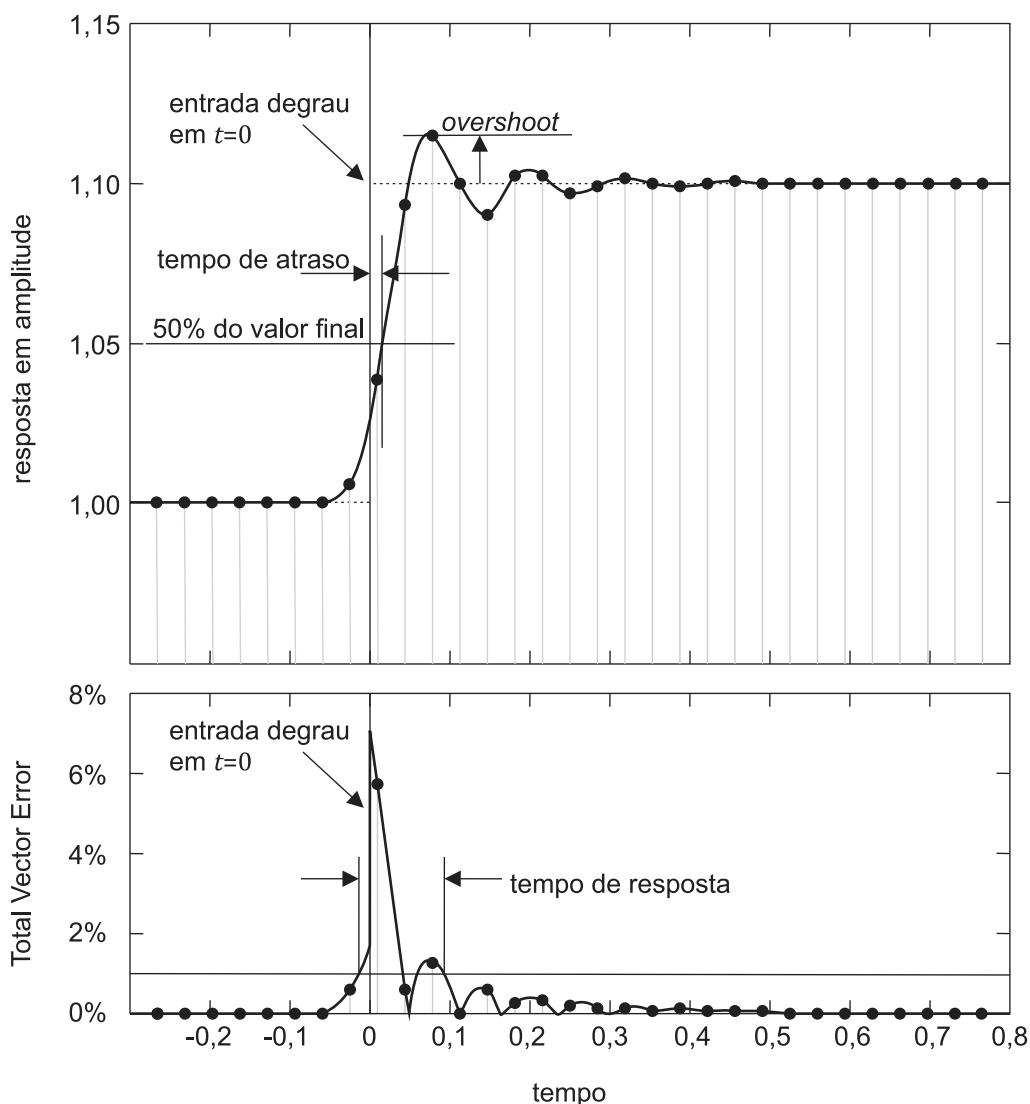


Figura 8 – Exemplo de resposta a uma entrada em degrau de magnitude em $t = 0$ s
 Fonte: Adaptado de IEEE (2014)

Tabela 4: Requisitos de medição para um degrau no sinal de entrada ($F_s = 25$ FPS).

Grandeza de influência	Grandeza observada	Classe P			Classe M		
		Tempo de resposta (s)	Tempo de atraso (s)	Overshoot/undershoot máximo	Tempo de resposta (s)	Tempo de atraso (s)	Overshoot/undershoot máximo
Magnitude = $\pm 10\%$ $k_x = \pm 0,1$ $k_a = 0^\circ$	Fasor	$2/f_0$	$1/(4 \cdot F_s)$	5% do degrau	$7/F_s$	$1/(4 \cdot F_s)$	10% do degrau
	Frequência	$4,5/f_0$	-	-	$14/F_s$	-	-
	ROCOF	$6/f_0$	-	-	$14/F_s$	-	-
Ângulo = $\pm 10^\circ$ $k_x = 0$ $k_a = \pm 10^\circ$	Fasor	$2/f_0$	$1/(4 \cdot F_s)$	5% do degrau	$7/F_s$	$1/(4 \cdot F_s)$	10% do degrau
	Frequência	$4,5/f_0$	-	-	$14/F_s$	-	-
	ROCOF	$6/f_0$	-	-	$14/F_s$	-	-

Fonte: Adaptado de IEEE (2014)

2.5 SUMÁRIO

Este capítulo apresentou detalhes sobre o sistema de medição fasorial sincronizado. Primeiramente, apresentou-se os principais blocos que compõem uma PMU. Em seguida, as aplicações e vantagens do uso das PMUs em redes inteligentes. Também, foi dado ênfase aos algoritmos utilizados para a estimação de fasores e frequência. Finalmente, foram apresentadas as normativas técnicas que são aplicadas ao desempenho das medições realizadas pelas PMUs.

Tendo em vista que a tradicional DFT, o algoritmo de estimação mais utilizado, possui problemas de estimação já conhecidos. Como, por exemplo, quando a frequência fundamental não corresponde a frequência nominal do sistema, o que é bastante comum. Embora existam técnicas de *software* para melhorar o desempenho da estimação da DFT sob condições dinâmicas, a complexidade acaba exigindo um alto poder de processamento que eleva os requisitos de *hardware* encarecendo a unidade de medição.

Outras estratégias baseadas em *hardware*, como o esquema de taxa de amostragem variável sincronizada com a frequência do sistema, resolvem esse problema, mas possuem a desvantagem que uma medida errônea de frequência pode levar a uma taxa de amostragem inadequada, causando erros de medida que se propagam para as medidas seguintes. Isso requer mais ajustes para impedir que ocorra uma medida errônea de frequência, no entanto esses ajustes se mostraram paliativos.

Sendo assim, mesmo que a PLL seja uma técnica bastante disseminada em muitas áreas da engenharia, inclusive em sistemas de potência, ela continua sendo um tema emergente para a estimação de sincrofasores em que a DFT predomina. A maioria dos algoritmos na literatura apresentam apenas resultados de simulação. No entanto, devido a PLL ser não linear, os resultados práticos podem ser significativamente diferentes daqueles simulados, o que justifica sua implementação em *hardware* e teste experimental para um resultado mais confiável. No capítulo 3 será apresentado um algoritmo baseado na PLL mais robusto em comparação às deficiências da DFT.

3. ALGORITMO MODULAR DE ESTIMAÇÃO DE SINCRFASORES

Nesse capítulo será apresentado um método de estimação baseado na integração de diferentes técnicas existentes com o propósito de obter um algoritmo coerente e ao mesmo tempo simples, para estimação de sincrofases de sequência positiva, baseado em um PLL e uma etapa de pré-filtragem. Embora existam na literatura resultados de simulações de algoritmos semelhantes que agregam as mesmas técnicas (MESSINA, MARCHI, *et al.*, 2017), pelo conhecimento do autor atualmente não existem resultados experimentais de um algoritmo similar aplicado a uma PMU e testado de acordo com padrões do IEEE para medição de sincrofases.

3.1 ARQUITETURA DO SISTEMA

O processamento do sinal de entrada na PMU é digital, portanto, as variáveis estão no domínio em tempo discreto. Serão considerados sinais amostrados por um conversor A/D com período de amostragem T . A versão amostrada de um sinal em tempo contínuo $x(t)$ será representada como $x[n] = x(nT)$, com n pertencendo aos números inteiros. O objetivo do algoritmo utilizado é rastrear a amplitude, fase, frequência e ROCOF do fasor de sequência positiva. Esse conceito também poderá ser estendido para estimação de sequência negativa e sequência zero (MESSINA, MARCHI, *et al.*, 2017).

Para ilustrar de maneira mais fácil a arquitetura do algoritmo um esboço do sistema de estimação é mostrado na figura 9, sendo composto por um Demodulador Trifásico (*Three-phase Demodulator* - 3PD), um Pré-filtro digital (*Pre-filter* - PF) para cada componente (dq) e um Laço de Captura de Fase de Referência Síncrona (*Synchronous Reference Frame-PLL* - SRF-PLL). No esboço foram ignorados os detalhes do algoritmo, como por exemplo, a realimentação do sistema, portanto ele não pode ser confundido com um diagrama de blocos. Maiores detalhes serão apresentados na seção 3.5 através do diagrama de bloco da figura 11.

A demodulação trifásica transforma o sinal de sequência positiva em um sinal passa baixa, que é um sinal que possui suas componentes de frequência centradas em 0 Hz, e separa o sinal de sequência negativa no domínio da frequência.

O PF é usado para atender as especificações de projeto do filtro do PLL, sendo que não é possível obter ao mesmo tempo uma resposta dinâmica rápida e rejeição à interferência com a mesma configuração. Apenas filtros mais complexos possuem essa característica. Propõe-se resolver o problema de filtragem separadamente do problema de rastreamento a partir de uma arquitetura modular. Essa abordagem é mais simples, pois permite desacoplar os problemas e elaborar uma análise de cada etapa individualmente.

O último bloco é o SRF-PLL que resulta nas estimativas de amplitude $a_o[n]$, fase $\phi_o[n]$, frequência $\omega_o[n]$ e ROCOF $\alpha_o[n]$. Cada bloco é de importância fundamental para o funcionamento correto da PMU.

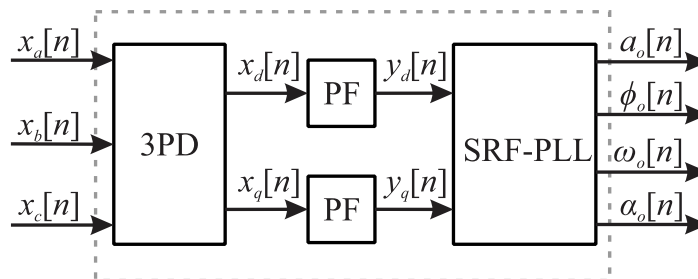


Figura 9 – Esboço da etapa digital da PMU

Fonte: Adaptado de IEEE Transactions On Instrumentation And Measurement (MESSINA, MARCHI, et al., 2017)

O presente algoritmo é diferente do proposto por (MESSINA, MARCHI, et al., 2017) principalmente devido ao controlador PI utilizado pelo SRF-PLL, ao invés do PLL digital em espaço de estados (*Digital State-space PLL - DSS-PLL*), e pela ausência da etapa final de compensação.

3.2 MODELO DO SINAL

Antes de apresentar o modelo de sinal, é interessante fazer uma breve revisão do conceito de componentes simétricas. As componentes simétricas foram introduzidas por (FORTESCUE, 1918) para tratar de sistemas polifásicos

desequilibrados, o que se tornou uma ferramenta essencial principalmente para solucionar faltas assimétricas, entre linhas, fase e terra, de duas fases para terra ou condutores em aberto. Embora o trabalho de Fortescue se aplique a sistemas com inúmeras fases, neste trabalho será considerado apenas o sistema trifásico.

O teorema de Fortescue prova que o sistema trifásico desequilibrado pode ser decomposto em três sistemas de fasores equilibrados, sendo:

1. Componentes de sequência positiva, composta de três fasores iguais em módulo, com 120° de ângulo entre si na mesma sequência de fase do sistema original.
2. Componentes de sequência negativa, composta de três fasores iguais em módulo, com 120° de ângulo entre si na sequência inversa do sistema original.
3. Componentes de sequência zero, composta de três fasores iguais em módulo com ângulo nulo entre si.

De maneira geral, a componente fundamental do sinal de entrada trifásico pode ser escrita como a soma das componentes simétricas instantâneas (9). As componentes simétricas também são chamadas de componentes de sequência dependendo da literatura.

$$\begin{bmatrix} x_a[n] \\ x_b[n] \\ x_c[n] \end{bmatrix} = a_0[n] \begin{bmatrix} \cos(\omega_0 nT + \phi_0[n]) \\ \cos(\omega_0 nT + \phi_0[n]) \\ \cos(\omega_0 nT + \phi_0[n]) \end{bmatrix} + a_1[n] \begin{bmatrix} \cos(\omega_0 nT + \phi_1[n]) \\ \cos\left(\omega_0 nT + \phi_1[n] - \frac{2\pi}{3}\right) \\ \cos\left(\omega_0 nT + \phi_1[n] + \frac{2\pi}{3}\right) \end{bmatrix} + a_2[n] \begin{bmatrix} \cos(\omega_0 nT + \phi_2[n]) \\ \cos\left(\omega_0 nT + \phi_2[n] + \frac{2\pi}{3}\right) \\ \cos\left(\omega_0 nT + \phi_2[n] - \frac{2\pi}{3}\right) \end{bmatrix} \quad (9)$$

No modelo de sinal apresentado $a_i[n] = a_i[nT]$ representa as amplitudes instantâneas e $\phi_i[n] = \phi_i[nT]$ representa os ângulos instantâneos, em que o subíndice i faz referências as fases (a, b, c) ou as componentes de sequência (0,1,2). ω_0 é a frequência angular nominal do sistema de elétrico e $T = 2\pi / (K\omega_0)$ é o período de amostragem, com K sendo um inteiro arbitrário maior do que 2. Será assumido que os sinais da equação (9) estão centrados em uma frequência ω entre o intervalo $[\omega_0 - B/2, \omega_0 + B/2]$, em que B é o intervalo de frequências de interesse, pequeno em relação a ω_0 . Na prática o sinal de entrada será composto de outras componentes, harmônicas, inter-harmônicas e ruído, que não estão expressos na equação para fim de simplificação (MESSINA, MARCHI, *et al.*, 2017).

3.3 DEMODULAÇÃO TRIFÁSICA

A demodulação trifásica pode ser executada com uma transformada abc-dq0, sendo que neste caso em particular a componente zero não é computada, pois não oferece informação de sequência positiva (MESSINA, MARCHI, *et al.*, 2017). A equação (10) mostra a matriz da transformação abc-dq. Nota-se que em algumas literaturas, pode-se encontrar a linhas dos senos e cossenos invertidas na matriz, isso depende de como foi formulada a função do sinal de entrada (KARIMI-GHARTEMANI, 2014). No presente caso o sinal de entrada foi formulado como uma função cosseno, portanto a matriz de transformação se apresenta dessa forma.

$$P[n] = \frac{2}{3} \begin{bmatrix} \cos(\phi_a^0[n]) & \cos(\phi_b^0[n]) & \cos(\phi_c^0[n]) \\ -\sin(\phi_a^0[n]) & -\sin(\phi_b^0[n]) & -\sin(\phi_c^0[n]) \end{bmatrix} \quad (10)$$

em que $\phi_a^0[n] = \omega_0 nT$, $\phi_b^0[n] = \omega_0 nT - 2\pi/3$, $\phi_c^0[n] = \omega_0 nT + 2\pi/3$. Portanto, $x_{dq}[n] = P[n]x_{abc}[n]$ resulta em,

$$x_{dq}[n] = a_1[n] \begin{bmatrix} \cos(\phi_1[n]) \\ \sin(\phi_1[n]) \end{bmatrix} + a_2[n] \begin{bmatrix} \cos(2\omega_0 nT + \phi_2[n]) \\ -\sin(2\omega_0 nT + \phi_2[n]) \end{bmatrix} \quad (11)$$

Essa transformada tem as seguintes vantagens:

1. Diferentemente da demodulação monofásica, ela evita a criação de termos com o dobro da frequência fundamental quando o sinal de entrada é equilibrado.
2. Ela filtra completamente a componente de sequência zero.
3. Enquanto a sequência positiva é transformada para corrente contínua (CC), a sequência negativa é transformada para $2\omega_0$. Esse termo com o dobro da frequência fundamental será filtrado pelo PF, dessa forma fica garantida a operação do PLL livre de *ripple* mesmo em cenários desequilibrados.

Uma análise similar pode ser feita para componentes harmônicas e inter-harmônicas. Sendo assim, sinais de interferência de sequência positiva são transformados na frequência para $-\omega_0$. Sinais de interferência de sequência negativa são transformados por $+2\omega_0$, e sinais de interferência de sequência zero são eliminados.

A detecção de fase livre de *ripple* para sinais equilibrados é alcançada explorando a simetria da transformada dq. No caso de sinais desequilibrados o desempenho é seriamente deteriorado. No entanto, o sistema proposto pode eliminar completamente a componente de sequência zero e mitigar suficientemente a componente de sequência negativa que fica com o dobro da frequência fundamental, isso é possível com a ajuda de um estágio de pré-filtragem conforme descrito na seção 3.4. Mesmo que o sinal de entrada seja distorcido, a entrada para o SRF-PLL conterá apenas uma pequena quantidade de interferência, o que torna a abordagem válida.

3.4 PRÉ-FILTRAGEM

O estágio de filtragem é implementado na forma digital, portanto as suas definições estão em tempo discreto. Os sinais a serem filtrados são as componentes $x_d[n]$ e $x_q[n]$ resultantes da transformada dq. A função do filtro é alterar a forma do sinal de maneira a atenuar principalmente os efeitos do desequilíbrio entre as três fases na entrada da PMU.

O filtro escolhido é o FIR devido a sua característica de fase linear apropriada para a aplicação junto a PLL, em que se deseja estimar a fase do sinal com precisão evitando alterações. Com o FIR é possível manipular precisamente a resposta de fase do sistema, pois funciona como uma rede de atraso parametrizada operando como um deslocador de fase. A fase linear é obtida pela distribuição simétrica dos coeficientes em torno do ponto médio do filtro FIR.

O filtro FIR também é conhecido por possuir um atraso de grupo constante, que é uma definição usada para interpretar a resposta de fase processada de forma digital. O atraso de grupo é medido em amostras e é invariante à frequência de entrada.

De maneira geral, a saída do PF é dada pela equação (12) (MESSINA, MARCHI, *et al.*, 2017).

$$y_{dq}[n] = \begin{bmatrix} y_d[n] \\ y_q[n] \end{bmatrix} = \begin{bmatrix} (h_{PF} * x_d)[n] \\ (h_{PF} * x_q)[n] \end{bmatrix} = a[n] \begin{bmatrix} \cos(\phi[n]) \\ \sin(\phi[n]) \end{bmatrix} \quad (12)$$

em que $a[n] = (y_d^2[n] + y_q^2[n])^{1/2}$ e $\phi[n] = \text{atan2}(y_q[n], y_d[n])$, sendo atan2 a função tangente inversa do quarto quadrante.

As especificações de magnitude do filtro passa-baixas PF, são dadas por quatro parâmetros: A frequência de borda de passagem f_p , a frequência de borda de corte f_s , o *ripple* de banda de passagem δ_p , e a atenuação de banda de corte δ_s . Uma referência para a seleção desses parâmetros pode ser obtida das especificações dos padrões IEEE. A arquitetura mais comum de filtro FIR utilizada é a forma direta conforme mostrada na figura 10, em que $h[n]$ são os enésimos coeficientes ponderados, $n \in [0, N - 1]$ (TAYLOR, 2012).

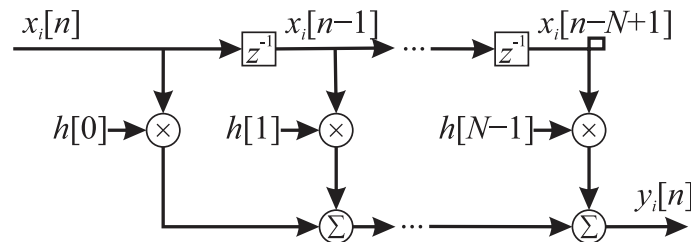


Figura 10 – Arquitetura FIR de enésima ordem de forma direta
Fonte: Adaptado de Taylor (2012, p. 128)

A arquitetura FIR de forma direta é um arranjo de registradores de deslocamento na configuração de vetor *first-in first-out* (FIFO), N multiplicadores e um acumulador. Os coeficientes correspondem a resposta de duração finita do filtro.

O projeto do FIR pode ser realizado com o apoio de ferramentas de *software*, que fornecem uma solução estável de acordo com os requisitos idealizados. O projeto assistido por *software* requer um conjunto de especificações, em que se deve escolher o tipo de resposta, arquitetura, ordem do filtro, frequências de amostragem e de corte, e também as atenuações de banda de passagem e de corte na escala de decibéis (dB).

O uso de *software* para o cálculo dos coeficientes é encorajado por Taylor (2012), pois até alcançar a melhor solução de filtragem podem ser necessários exaustivos ajustes de especificações e simulações para análise do desempenho. Os passos para o projeto e implementação de um filtro FIR inicia com a especificações do filtro, cálculo dos coeficientes, implementação da arquitetura, simulação, revisão e refinamento das especificações. Após o estágio de pré-filtragem é implementado o sistema de rastreamento baseado em um PLL conforme descrito na seção 3.5.

3.5 SISTEMA DE RASTREAMENTO

Um PLL é um sistema de malha fechada no qual um oscilador interno é controlado para manter o tempo e a fase de um sinal periódico externo usando uma malha de realimentação. As características do sistema idealizado influenciam diretamente o desempenho e a precisão dos resultados. Como a rede elétrica é suscetível a variações de frequência, perda de fase, desbalanço de fases, quedas e aumentos de tensão, o PLL precisa ser capaz de rejeitar essas fontes de erros e manter um acompanhamento fiel da fase da rede.

O SRF-PLL é um conceito bastante conhecido e amplamente utilizado na área de SEP. A importância dessa estrutura é o fato de que ela evita o erro de frequência dupla existente no PLL monofásico padrão, graças à simetria do sinal trifásico. Além do mais ela possui uma estrutura relativamente simples que oferece facilidade no ajuste de parâmetros e características robustas para a implementação digital.

O diagrama de blocos estruturais de um SRF-PLL é mostrado na figura 11. Apesar de sua estrutura simples e compacta, o SRF-PLL fornece os seguintes sinais de interesse:

1. Ângulo de fase estimado: ϕ_o
2. Frequência estimada ω_o
3. Amplitude estimada: a_o

A amplitude estimada a_o é o igual a y_d , e o ROCOF α_o pode ser facilmente obtido pela diferença entre as medidas de frequência.

A notação utilizada considera os subíndices i e o para denotar respectivamente as características do sinal de entrada e saída do PLL. Na figura 11 a linha tracejada representa a conexão trifásica de entrada e as linhas sólidas mostram conexões monofásicas no diagrama de blocos. Na análise de PLL apresentada não há a necessidade de se fazer distinção se o sinal trifásico mede tensões fase-fase ou fase-neutro.

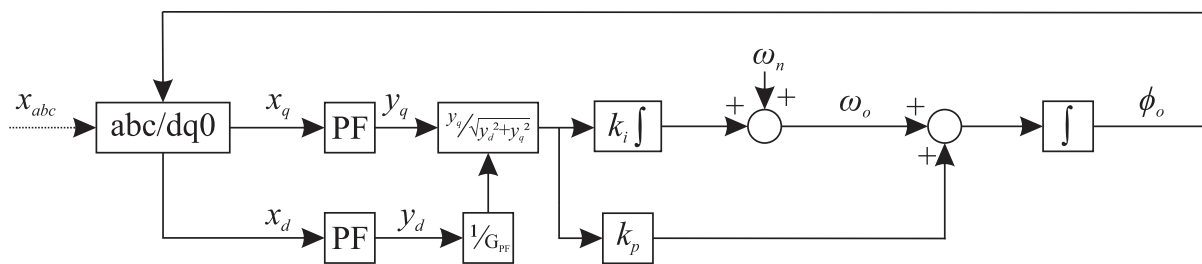


Figura 11 – Diagrama de blocos do SRF-PLL
 Fonte: Adaptado de Karimi-Ghartemani (2014, p. 135)

Considerando que a frequência de saída é igual à frequência de entrada e que x_d e x_q são constantes sem oscilações com o dobro da frequência, a ação de controle proporcional-integral (PI) levará x_q para próximo de zero. Com isso o SRF-PLL rastreia a fase do sinal de entrada ϕ_i produzindo a estimacão de fase ϕ_o e não haverá *ripple* na malha. Ao levar x_q para 0, x_d é levado para U, que corresponde a magnitude do sinal de entrada. Sendo assim, além de remover *ripples*, o SRF-PLL também oferece uma estimacão da magnitude do sinal de entrada e também oferece a fase do sinal de entrada. Em outras palavras o SRF-PLL não opera apenas como um PLL, ela funciona como um filtro e conseqüentemente como um controlador também. Isso possibilita aplicações em medição de fasores e também para uso direto em malhas de controle (KARIMI-GHARTEMANI, 2014).

3.5.1 Modelo Linear e Projeto

Uma análise linear realizada por (KARIMI-GHARTEMANI, 2014) tem como um dos resultados a equação característica linearizada da malha do SRF-PLL, descrita por:

$$1 + U \frac{H(s)}{s} = 0 \rightarrow s^2 + k_p Us + k_i U = 0 \quad (13)$$

em que $H(s) = k_p + \frac{k_i}{s}$ é a função de transferência do controlador PI. A análise linear desse sistema traz as seguintes observações:

- i. O modelo linear do SRF-PLL é um laço de tipo dois que permite o rastreamento de funções rampa (no ângulo de fase) com erro zero em regime permanente. Isso significa que variações em degrau (ou lentas) da frequência são rastreadas pela malha com pouco ou nenhum erro em regime permanente.
- ii. O desempenho da malha depende da magnitude do sinal de entrada. Valores dos parâmetros de controle k_p e k_i podem ser obtidos baseado no valor nominal da magnitude do sinal de entrada. É possível ajustar de forma adaptativa esses parâmetros baseado em um valor estimado da magnitude do sinal de entrada. Uma estimativa da magnitude do sinal de entrada pode ser obtida usando $\hat{U} = \sqrt{y_d^2 + y_q^2}$ ou simplesmente usando $\hat{U} = y_d$. Um filtro passa-baixas (*Low-pass filter* - LPF) pode ser usado para filtrar esse sinal e então uma divisão desse sinal fará o laço independente da magnitude, conforme a arquitetura mostrada anteriormente na figura 11.
- iii. Embora os valores de k_p e k_i possam ser obtidos baseando-se em uma localização desejada dos polos de malha fechada, na prática o sistema real pode não se comportar de maneira idêntica a um sistema padrão de segunda ordem devido a não linearidades, ao zero do controlador PI e também devido a influência do pré-filtro. O projeto dos ganhos do PLL

deve levar em consideração a relação que existe entre a velocidade durante condições dinâmicas e a exatidão da resposta em regime permanente. Dessa forma, para um sinal de entrada ruidoso e distorcido, os ganhos precisam ser reduzidos para tornar as respostas suaves ao custo de uma resposta transitória mais lenta.

- iv. Uma estratégia aplicada para tornar mais fácil o ajuste dos parâmetros k_p e k_i é utilizar o controlador PI em sua configuração paralela, que permite observar e analisar separadamente os efeitos de cada ganho. Diferentemente da configuração em série, em que os ganhos sofrem interferência entre si, pois estão vinculados ao mesmo caminho. A estratégia da configuração em paralelo foi implementada na arquitetura proposta apresentada na figura 11.

3.5.2 Impacto de Desequilíbrio, nível CC e harmônicas no SRF-PLL

Antes de analisar o impacto de desequilíbrios sobre o sistema de medição, é necessário representar o conjunto de sinais senoidais desequilibrados como uma soma de componentes de sequência $x_{abc} = x^0 + x^1 + x^2$, sendo x^0 a componente de sequência zero, x^1 a componente de sequência negativa e x^2 a componente de sequência positiva (BHARDWAJ, 2013). As componentes de sequência podem ser escritas individualmente como:

$$\begin{aligned} x^0 &= (a_0 \text{sen}(\phi_0), a_0 \text{sen}(\phi_0), a_0 \text{sen}(\phi_0))^T \\ x^1 &= \left(a_1 \text{sen}(\phi_1), a_1 \text{sen}\left(\phi_1 + \frac{2\pi}{3}\right), a_1 \text{sen}\left(\phi_1 - \frac{2\pi}{3}\right) \right)^T \\ x^2 &= \left(a_2 \text{sen}(\phi_2), a_2 \text{sen}\left(\phi_2 - \frac{2\pi}{3}\right), a_2 \text{sen}\left(\phi_2 + \frac{2\pi}{3}\right) \right)^T \end{aligned} \quad (14)$$

O sobrescrito T indica a transposição do vetor, pois nesse caso os vetores são considerados como colunas. Observando a equação (14) verifica-se que os elementos da componente de sequência zero do sinal de entrada do SRF-PLL são idênticos, portanto, devido a sua simetria a componente zero não muda y_q . Isso reforça a afirmação de que o SRF-PLL não é sensível a componente de sequência

zero. Por outro lado, a presença da sequência negativa gera uma nova componente em y_q igual a $a_1 \text{sen}(\phi_1 + \phi_0)$. Em outras palavras, uma oscilação com o dobro da frequência existe na malha quando o sinal de entrada é desequilibrado, provocando um *ripple* na frequência e ângulo de fase estimados. A figura 12 exhibe graficamente as alterações na transformação abc-dq em caso de desequilíbrio, componente CC e segunda harmônica.

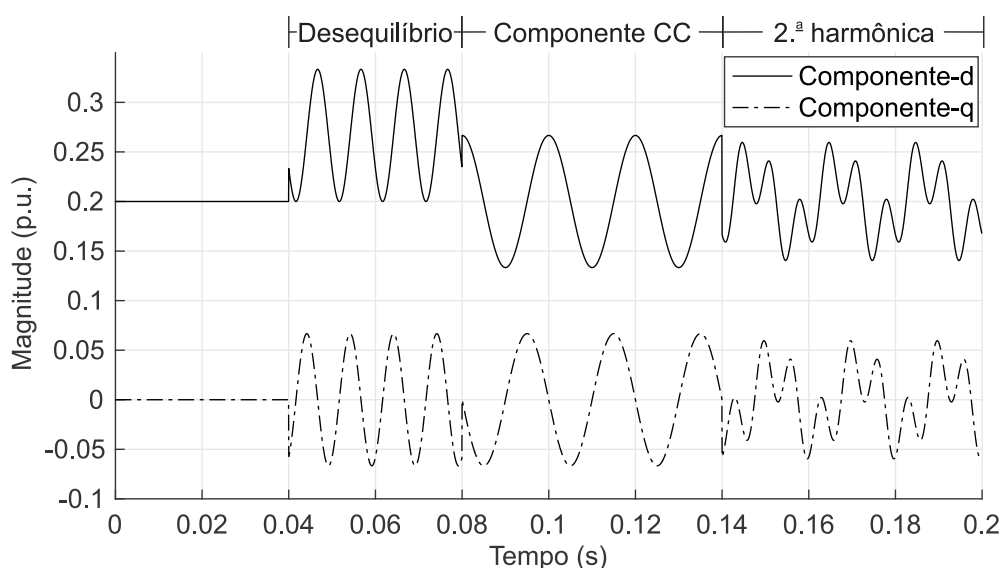


Figura 12 – Efeitos do desequilíbrio, componente CC e 2.ª harmônica nas componentes-dq

Se o sinal de entrada possui uma corrente contínua (CC) igual a (c_a, c_b, c_c) então isso gera a componente em y_q que é igual a $\frac{2}{3}(c_a \cos(\phi_0) + c_b \cos(\phi_0 - 2\pi/3) + c_c \cos(\phi_0 + 2\pi/3))$. Essa componente se anula se a componente CC é simétrica, caso contrário ocorre uma oscilação na malha cuja frequência é igual a frequência do sinal de entrada.

Maneiras similares de cálculo levam a conclusão de que a presença de uma harmônica de ordem n no sinal de entrada gera duas novas componentes em y_q . Essas duas componentes mostram oscilações em harmônicas $n - 1$ e $n + 1$. O nível de distorção diminui para harmônicas de ordem maior devido a característica passa-baixas da malha.

O impacto de harmônicas de alta frequência, aquelas maiores que a décima harmônica, podem ser significativamente mitigadas usando um LPF na malha que pode ser projetado apropriadamente para evitar perda excessiva de largura de banda

ou velocidade. Para baixa frequência harmônica, desequilíbrio e componentes CC, no entanto, o LPF poderá ser aplicado somente se a velocidade de resposta puder ser sacrificada para a aplicação em particular.

3.5.3 Resultados de Simulação

Nessa subseção serão apresentadas simulações do algoritmo de estimação com o intuito de analisar suas características, mencionadas anteriormente, e também a convergência das estimações. Na entrada é utilizado um sinal senoidal equilibrado de frequência fundamental de 50 Hz. Porém o mesmo conceito pode ser aplicado a 60 Hz. A frequência de 50 Hz foi escolhida devido às restrições impostas pelo dispositivo que gera os sinais trifásicos para os testes experimentais detalhado na subseção 4.1.2.

A tabela 5 mostra os parâmetros de projeto do algoritmo considerado na simulação. O sinal de entrada é balanceado, amostrado em 420 amostras por ciclo, pois quanto maior a taxa de amostragem melhor o desempenho do algoritmo, e além disso, permite o relaxamento dos requisitos de filtragem. No entanto a taxa de amostragem é limitada pelo tempo necessário para o processamento do algoritmo. Ainda, segundo Phadke (2008), 12 amostras por ciclo é o mínimo necessário para essa aplicação e não há limite máximo a não ser a capacidade de processamento do *hardware* empregado.

O filtro FIR foi projetado pela ferramenta “FDATool” do SIMULINK®. Os parâmetros utilizados nessa função estão descritos na tabela 5. Os valores utilizados visam atenuar principalmente os *ripples* de 100 Hz provocados por fases desequilibradas. Como na presença de componente CC ocorrem *ripples* de 50 Hz, a frequência de corte do filtro foi estabelecida em 50 Hz. A ferramenta “FDATool” gerou um filtro FIR *equiripple* estável de ordem 34 com 35 coeficientes. Outras abordagens possíveis são os filtros IIR de fase quase linear ou FIR interpolado (*interpolated-FIR - IFIR*) que possui múltiplos estágios.

Tabela 5: Parâmetros projetados do algoritmo.

Parâmetro	Valor
Especificações gerais	
Frequência nominal da rede (Hz)	50
Frequência de amostragem (kHz)	21
Especificações do filtro	
Estrutura do filtro	FIR de forma direta
Frequência de corte (Hz)	50
Especificações do controlador PI do SRF-PLL	
k_p	170
k_i	0,38

Os ganhos PI selecionados são $k_p = 170$ e $k_i = 0,38$. Essa configuração corresponde a alocação dos polos $-169,9978$ e $-0,0022$ do sistema linearizado, pois deve-se assegurar que o sistema de estimação seja estável (STATMAN e HURD, 1990). Neste caso a estabilidade do conjunto é garantida pela estabilidade individual do filtro que é atestada pelo “FDATool” e pela localização dos polos do controlador PI que estão situados no semiplano à esquerda do eixo imaginário. Além disso, o sistema foi simulado, depois implementado no microcontrolador e testado para realizar um ajuste complementar nos ganhos com objetivo de obter uma configuração equilibrada de desempenho para os requisitos do padrão IEEE de estado estacionário e condições dinâmicas chegando nos valores atuais.

Na figura 13 (a) e (b) são mostrados os resultados da simulação referente a resposta transitória do SRF-PLL. Nesse caso foram realizados um salto no ângulo de fase de 5° em $t = 50$ ms e um salto de frequência de $-0,1$ Hz em $t = 200$ ms. As respostas se acomodam após quatro ciclos do sinal e a frequência estimada apresenta um *overshoot* significativo. O comportamento do sistema de estimação corresponde aos valores dos ganhos proporcional e integral em conjunto com a influência do filtro FIR.

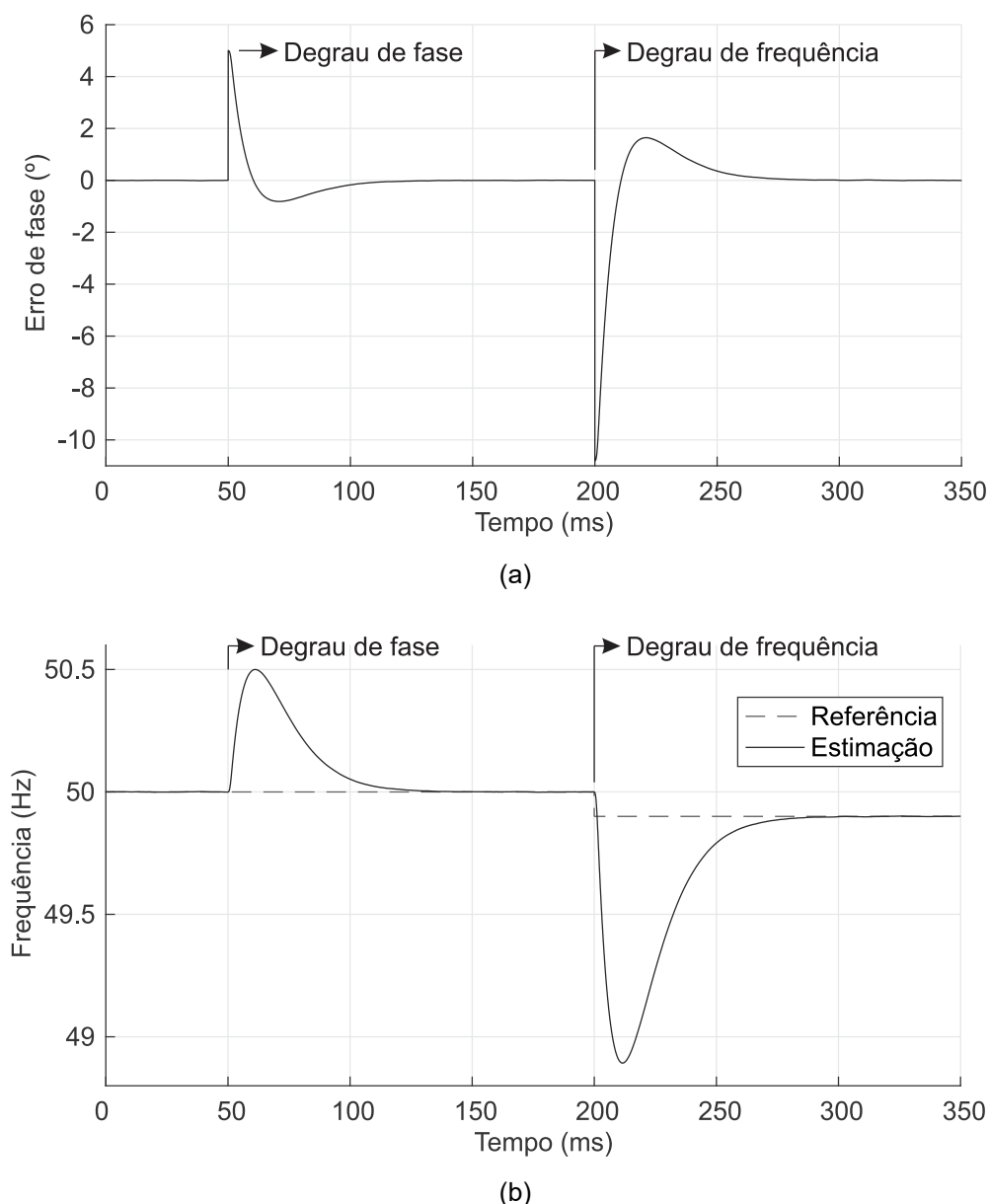


Figura 13 – (a) resposta do SRF-PLL para um degrau de fase de 5° e (b) um degrau de frequência de $-0,1$ Hz.

3.5.3.1 Impacto de desequilíbrio, componente CC e harmônicas

Foram realizadas algumas simulações de desempenho do algoritmo de estimação a fim de analisar o impacto de desequilíbrio, componente CC e harmônicas. O algoritmo simulado segue os mesmos parâmetros de projeto mostrados na tabela 5. Primeiro realizaram-se as simulações sem o estágio de filtragem, conforme mostram os resultados da figura 14, e em seguida, houve a adição do estágio de filtragem como mostram os resultados da figura 15.

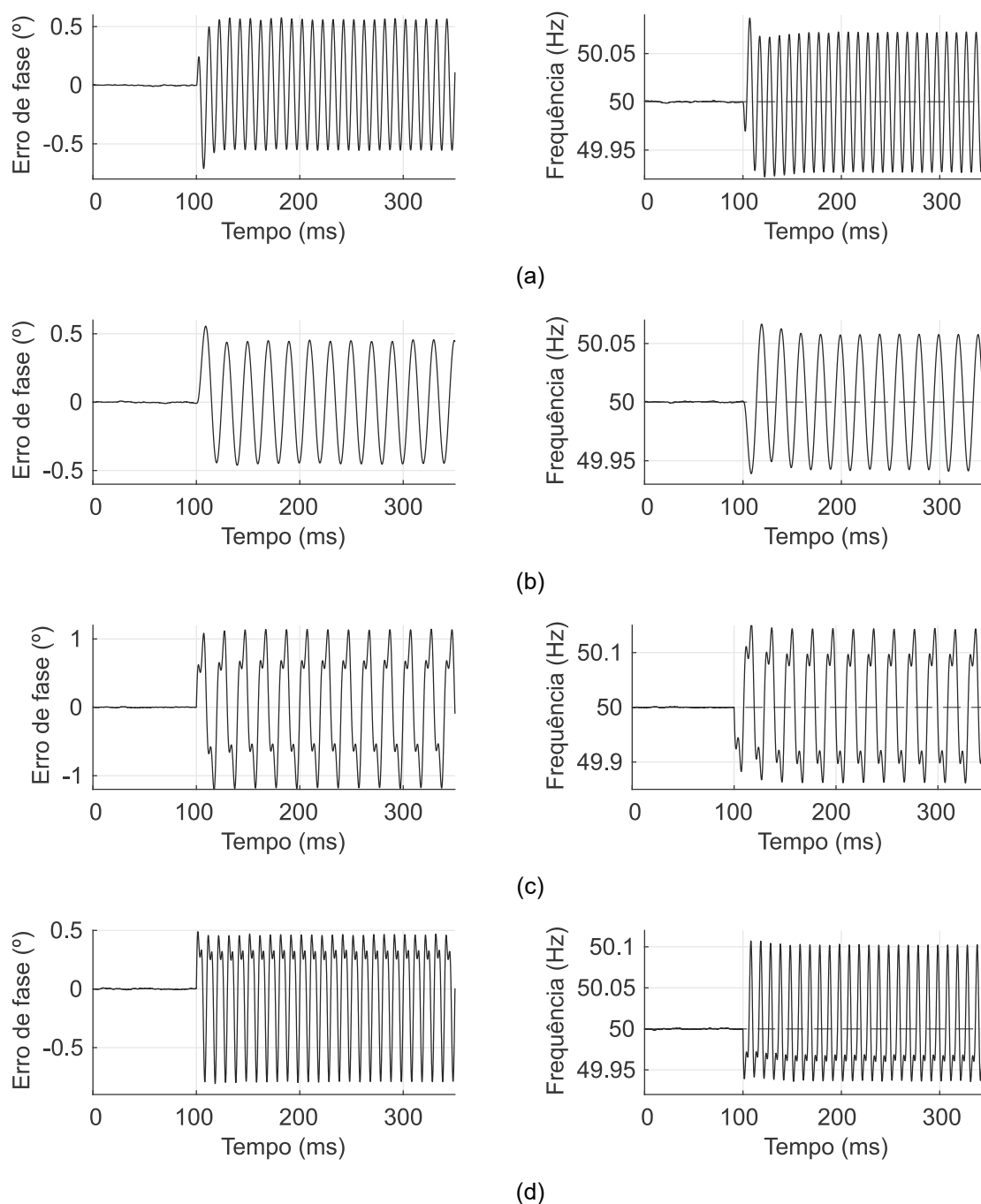


Figura 14 – Impacto de (a) um degrau de 10% de amplitude na fase-b em $t = 100$ ms, (b) uma componente CC de 2% somada a fase-a em $t = 100$ ms, (c) uma segunda harmônica com magnitude de 10% somada a fase-c em $t = 100$ ms, (d) uma terceira harmônica com magnitude de 10% somada a fase-c em $t = 100$ ms, sem filtragem.

A figura 14 (a) mostra a resposta do SRF-PLL quando a amplitude da fase 'B' salta de 1 p.u. para 1.1 p.u. em $t = 100$ ms. Isso faz o sinal de entrada desequilibrado e a resposta do SRF-PLL exibe uma oscilação com o dobro da frequência (100 Hz). A figura 14 (b) mostra a resposta quando uma componente CC com magnitude de 0,02 p.u. é adicionada a fase 'A' em $t = 100$ ms, resultando em

oscilações de 50 Hz. As figuras 14 (c) e 14 (d), respectivamente, mostram as respostas do SRF-PLL quando uma segunda e terceira harmônica de 10% são adicionadas a fase 'C' em $t = 100$ ms.

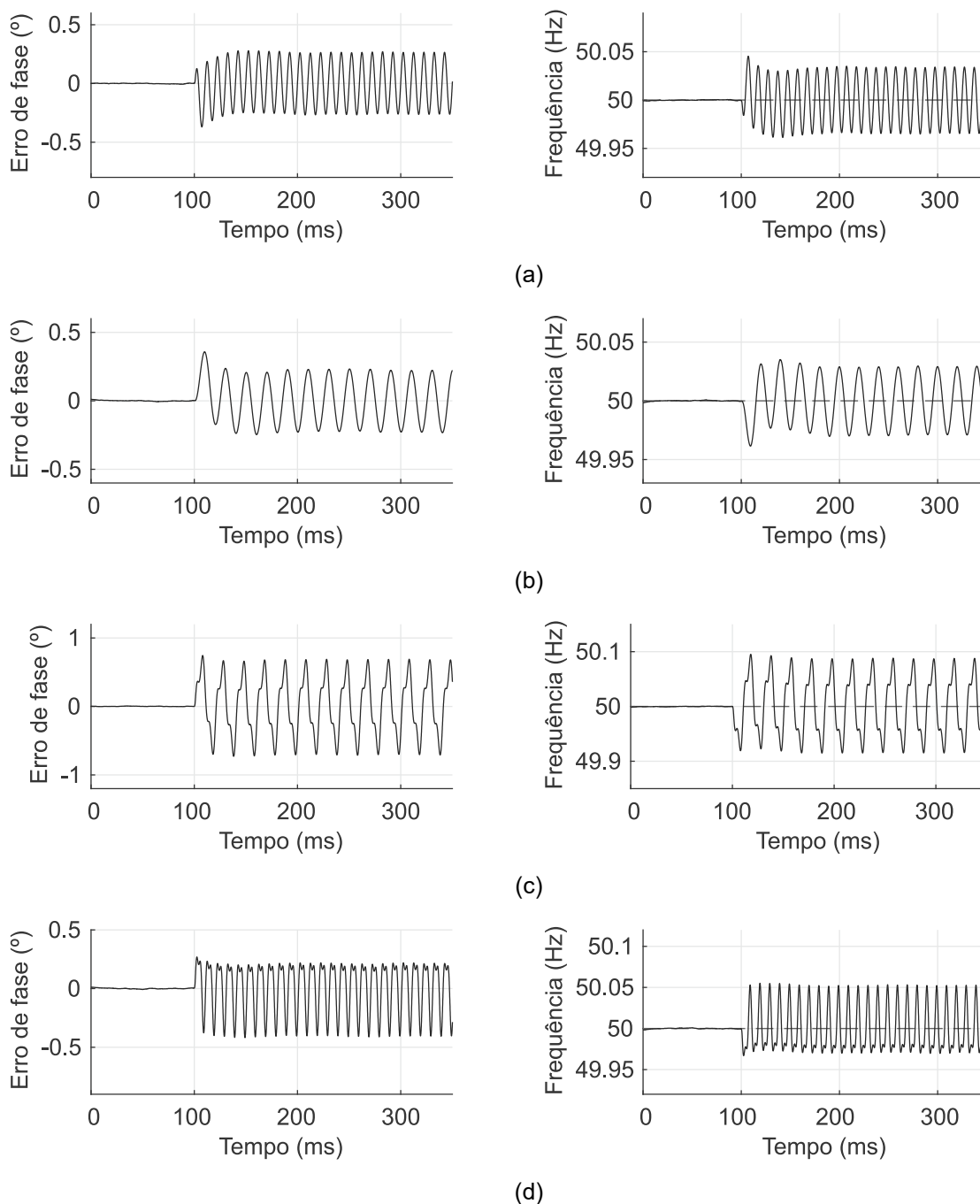


Figura 15 – Impacto de (a) um degrau de 10% de amplitude na fase-b em $t = 100$ ms, (b) uma componente CC de 2% somada a fase-a em $t = 100$ ms, (c) uma segunda harmônica com magnitude de 10% somada a fase-c em $t = 100$ ms, (d) uma terceira harmônica com magnitude de 10% somada a fase-c em $t = 100$ ms, com filtragem.

A figura 15 mostra os resultados das simulações do algoritmo estimador com a inclusão do estágio de filtragem que visa atenuar as oscilações observadas na figura 14. Para facilitar a análise os resultados são exibidos na mesma escala.

Na figura 15 (a) o valor de pico do erro de fase em regime permanente é $0,2734^\circ$, o que representa uma redução de $0,2359^\circ$ com relação ao valor apresentado anteriormente mostrado na figura 14 (a). O valor anterior, $0,5093^\circ$, era muito próximo ao limite de erro do ângulo de fase, que é $0,573^\circ$ quando o erro de amplitude é nulo. Considerando que em qualquer situação real o erro de amplitude é sempre diferente de zero, a filtragem contribui para que os efeitos de desequilíbrio não extrapolem os limites de TVE estipulados pelo padrão IEEE.

No entanto, é importante salientar que os requisitos do padrão IEEE consideram apenas sinais trifásicos equilibrados, portanto a comparação com o resultado de um cenário desequilibrado é apenas uma análise complementar. De maneira geral, pode-se observar por inspeção dos gráficos da figura 15 que o filtro FIR atenua em aproximadamente 50% as oscilações em comparação com a figura 14, mitigando apropriadamente os erros decorrentes das condições impostas nas simulações.

3.6 SUMÁRIO

Esse capítulo apresentou uma visão geral de um SRF-PLL trifásico comumente utilizado. Foram mostrados a estrutura, modelo linear e resultados de simulações. O SRF-PLL apresenta simplicidade em sua estrutura e robustez na performance para implementações digitais. As maiores desvantagens do SRF-PLL se originam do fato que ela assume que o sinal de entrada é equilibrado e senoidal.

Portanto, o SRF-PLL sofre de erros quando o sinal de entrada é desbalanceado ou contém componente CC ou é distorcido. Os erros causados pela componente CC, desequilíbrio e harmônicas de baixa frequência podem deteriorar suas respostas significativamente. Tais erros podem ser mitigados usando um LPF cuidadosamente projetado para não comprometer a velocidade da malha. Já os erros de alta frequência, a partir da décima harmônica, podem ser eliminados mais facilmente pelo LPF sem diminuir excessivamente sua velocidade.

4. MATERIAIS E MÉTODOS

Para que fosse possível a realização dos testes do algoritmo sob as exigências do padrão IEEE fez-se necessária sua implementação prática, com o uso de recursos de *hardware* e *software*, incluindo principalmente um dispositivo para a geração de sinais, um *kit* de desenvolvimento e um computador pessoal conforme mostrado na figura 16.

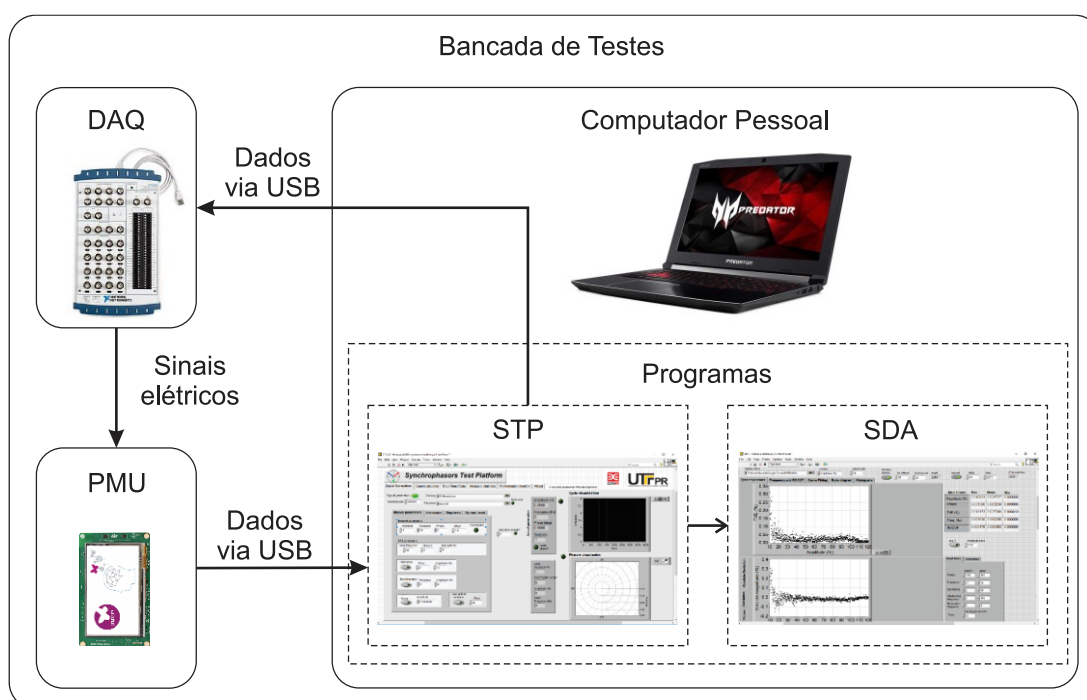


Figura 16 – Fluxo de sinais da bancada de testes.

Em síntese, o *software* de testes (*Synchrophasor Test Platform* – STP) contém as rotinas dos testes a serem realizados e envia os respectivos dados ao dispositivo de aquisição de sinais (*Data Acquisition* - DAQ) por via USB. O DAQ, por sua vez, gera os sinais elétricos baseados nos dados recebidos do STP. Os sinais elétricos gerados pelo DAQ são coletados pelo microcontrolador que funciona como uma PMU executando o algoritmo de estimação de fasores. As medidas realizadas pela PMU são enviadas ao STP por via USB. O STP constrói um arquivo com os dados que geraram os sinais e também com os dados das medições feitas pela PMU.

Finalmente, o arquivo contendo tanto os dados de geração de sinais quanto as medições pode ser analisado por meio do *software* de análise de dados fasoriais (*Synchrophasor Data Analysis – SDA*), permitindo a visualização gráfica dos resultados. Mais detalhes sobre o material e métodos utilizados para a implementação dos testes podem ser encontrados ao longo desse capítulo.

4.1 MATERIAIS

A plataforma de testes adotada foi desenvolvida, testada e descrita em (GRANDO, LAZZARETTI, *et al.*, 2018) e (GRANDO, DENARDIN e MORETO, 2016). Ela foi produzida no Labview 2010 e requer para seu funcionamento: um notebook, no mínimo *dual core*, com Labview, um DAQ e um *kit* de desenvolvimento. Até o presente momento a plataforma de testes não se encontra a disposição pública, sendo que sua utilização depende do consentimento de seus criadores.

4.1.1 Kit de Desenvolvimento

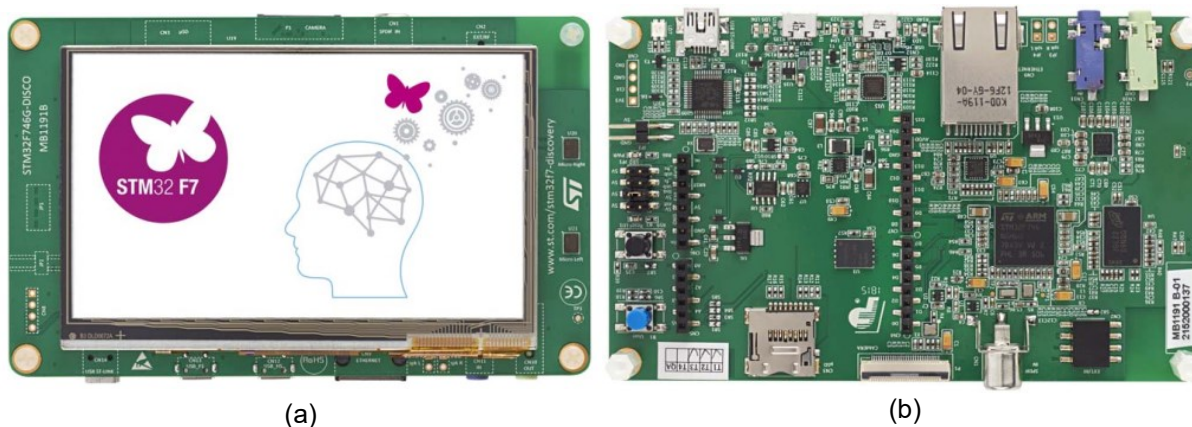


Figura 17 – Kit de desenvolvimento STM32F746G-Discovery (a) vista superior e (b) vista inferior.

Fonte: ST Microelectronics

O *kit* de desenvolvimento usado para implementar a PMU é o STM32F769G-Discovery da STMicroelectronics (STMICROELECTRONICS, 2017), modelo ilustrado na figura 17, contendo um microcontrolador ARM Cortex-M7, com o *clock* do sistema configurado para 210 MHz (até 216 MHz). Um dos maiores motivos

para sua escolha é a capacidade de converter sinais trifásicos simultaneamente com a configuração mestre/escravo do conversor A/D e o conjunto de instruções para processamento de sinais do microcontrolador.

4.1.2 Dispositivo de Aquisição de Sinais

O DAQ empregado é o NI USB-6259 (NATIONAL INSTRUMENTS, 2016), modelo ilustrado na figura 18, contendo 48 portas de entrada e saída (*Input/Output - I/O*) digitais, 16 entradas analógicas, 4 saídas analógicas e 2 contadores (*timers*). Suas entradas e saídas analógicas possuem resolução ADC e (*Digital-to-analog converter – DAC*) de 16 bits. A taxa de amostragem máxima das entradas analógicas em um único canal de 1,25 Mega Amostras Por Segundo (*Mega Samples Per Second - MS/s*), e em múltiplos canais de 1,00 MS/s. Já as saídas analógicas possuem uma taxa de atualização máxima de 2,86 MS/s para 1 canal, 2,00 MS/s para 2 canais, 1,54 MS/s para 3 canais e 1,25 para 4 canais.

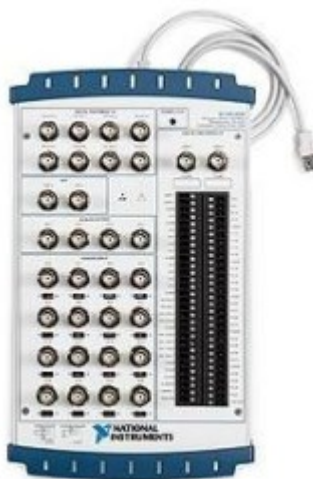


Figura 18 – Dispositivo de Aquisição de Sinais NI USB-6259.
Fonte: National Instruments

A resolução de tempo das saídas analógicas do dispositivo é de 50 ns e a exatidão da tensão é de $\pm 2,08 \mu\text{V}$, quando operando dentro da faixa nominal de ± 10 V. Isso representa um erro máximo de $\pm 2 \cdot 10^{-5} \%$ na amplitude e de $\pm 0,00095^\circ$ na fase do sinal gerado em 50 Hz. Com essas características o DAQ NI USB-6259 pode

ser considerado um equipamento com os requisitos apropriados para a geração dos sinais necessários nos testes previstos pelo padrão IEEE.

No entanto, devido à base de *clock* interno do dispositivo ser de 20 MHz, as frequências dos sinais gerados ficam restritas a valores múltiplos desse para evitar que contagens não inteiras provoquem arredondamentos forçados, resultando em erros significativos no desempenho da PMU. Em razão disso, optou-se por gerar sinais senoidais em 50 Hz ao invés de 60 Hz, garantindo a sincronia entre o sinal trifásico e o PPS gerados pelo DAQ, graças contagem de ciclos inteiros de *clock*, sem arredondamentos envolvidos.

4.1.3 Software de Testes

O *software* de testes STP desenvolvido no Labview permite que o usuário defina os parâmetros dos sinais gerados pelo DAQ. Na tela inicial mostrada na figura 19, é possível parametrizar o valor da amplitude, frequência e fase do sinal, além de visualizar a forma de onda e os fasores em tempo real.

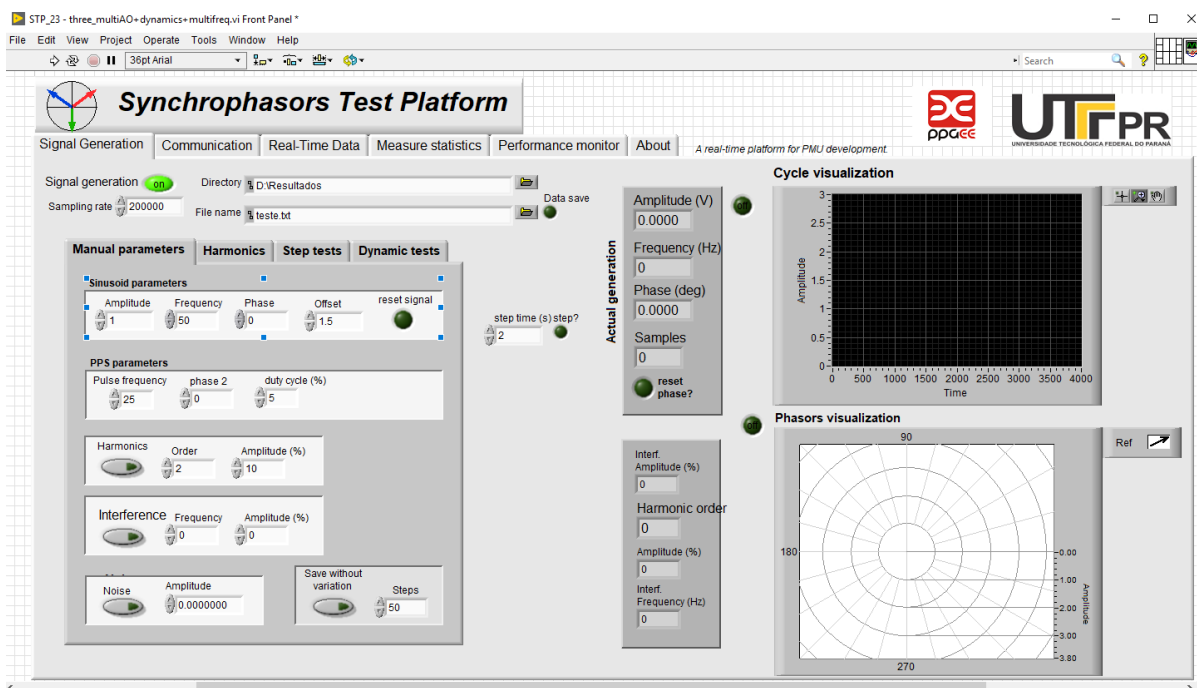


Figura 19 – Tela inicial do Software de testes.

O recurso mais importante do *software* é que ele permite a realização de todos os testes previstos no padrão IEEE por meio de rotinas automatizadas. Na aba “*step tests*” podem ser realizados os testes de condições estacionárias, aplicando degraus de amplitude, fase, frequência, harmônicas e interferência fora de banda. Na aba “*dynamic tests*” podem ser realizados os testes de condições dinâmicas que envolvem modulação de amplitude fase e frequência.

Durante a execução dos testes o programa se comunica com a PMU da qual recebe os sincrofasores estimados, armazenando os resultados no diretório escolhido pelo usuário e salvando-os para que possam ser analisados posteriormente pelo *software* de análise de dados SDA, dedicado a essa tarefa.

4.1.4 Software de Análise de Dados

O *software* de análise de dados SDA é responsável por abrir o arquivo gerado pelo *software* de testes contendo os resultados dos testes realizados e gerar os gráficos de interesse. A figura 20 mostra a aba denominada “*synchrophasors*” que exibe os gráficos de TVE e os gráficos referentes as grandezas associadas ao TVE, que são os valores de magnitude e de fase. Na mesma aba também é possível visualizar os gráficos que apresentam os erros de magnitude e de fase, que são exibidos na forma de desvio e de desvio absoluto. A segunda aba denominada “*frequency and ROCOF*” segue a mesma organização da primeira, desta vez apresentando os gráficos referentes aos valores e desvios de frequência e de ROCOF.

O usuário pode selecionar se deseja que os gráficos sejam exibidos em função do número da amostra, tempo, amplitude (%), entre outros, conforme for conveniente. Também é possível selecionar intervalos de interesse, como é o caso dos testes de estado estacionário em que se faz necessário ignorar as amostras pertencentes ao período transitório dos resultados.

Clicando com o botão direito sobre os gráficos é aberto um *menu* que possibilita alterar a aparência do gráfico ou exportar o mesmo em formato vetorial para publicação dos resultados, entre outras opções.

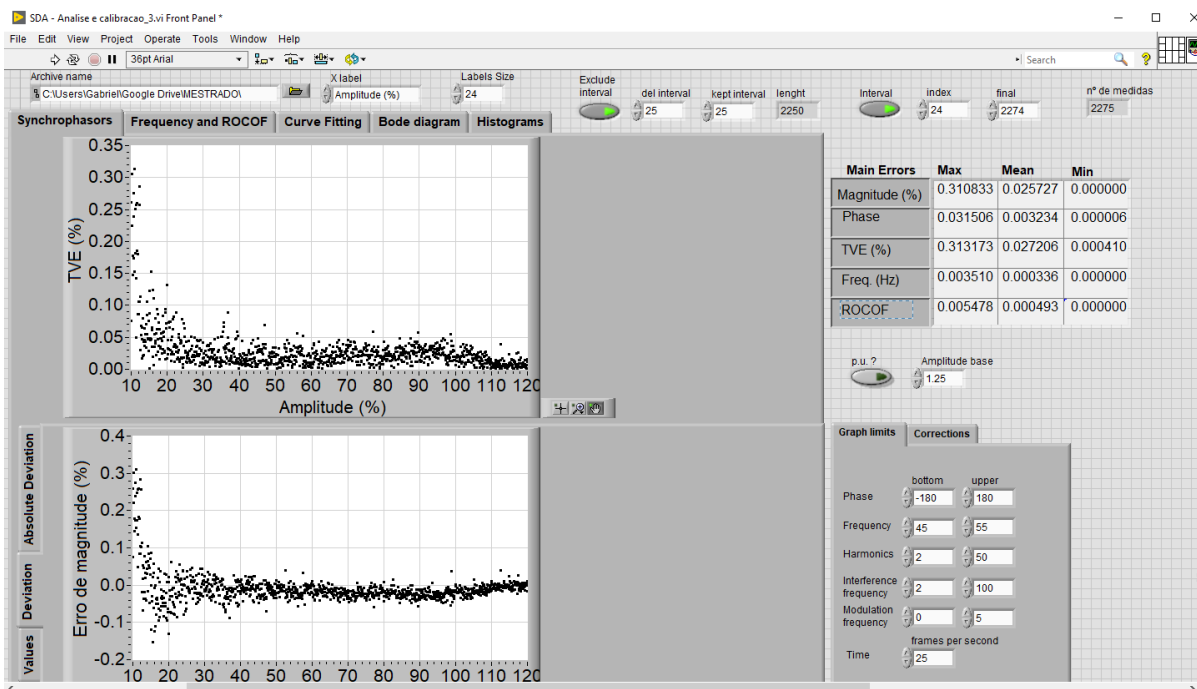


Figura 20 – Aba de sincrofases do Software de análise de dados.

4.1.5 Arquitetura do Sistema de Testes

A plataforma de testes usada neste trabalho foi adotada devido a sua capacidade de executar os testes previstos pelo padrão IEEE. Tal capacidade se deve a arquitetura do sistema de testes ter sido desenvolvida para operar como uma aplicação de tempo real utilizando as ferramentas de processamento disponíveis no Labview.

O Labview desempenha três funções principais: a geração de amostras, a recepção de dados e o cálculo de erros. Para que o funcionamento seja em tempo real, a geração de amostras e a recepção de dados ocorrem continuamente por meio de processamento paralelo. Isso exige que o PC possua um processador com no mínimo dois núcleos, sendo que o núcleo 0 é dedicado a geração de amostras e o núcleo 1 é dedicado a recepção de dados. A função de cálculo de erros é executada por qualquer núcleo assim que um deles encontrar-se disponível e somente se o usuário utilizar a aba “*Real-Time Data*”, onde são exibidos os erros.

Embora o DAQ empregado possua uma capacidade de geração de sinais a uma taxa de 1,25 MS/s, o software está programado para produzir apenas 50 kS/s no intuito de garantir que o PC consiga realizar os cálculos de amostras em tempo

hábil, e também por ser considerada uma quantidade suficiente para geração de amostras sem que haja prejuízo nos resultados em comparação aos obtidos com a utilização de taxas superiores.

O *software* de testes calcula um conjunto finito de amostras conforme os parâmetros definidos pelo usuário. Os conjuntos constituem-se de intervalos com a duração de 1 segundo que são enviados ao DAQ via USB e armazenados em um *buffer*. Enquanto o conversor D/A do dispositivo DAQ utiliza as amostras armazenadas no *buffer* para a geração dos sinais, o *software* calcula outro conjunto de amostras e as envia ao DAQ antes que o *buffer* seja esvaziado e assim sucessivamente.

As medidas enviadas pela PMU via USB são recebidas pelo *software* de testes e armazenadas junto com os dados de referência das amostras geradas. O sincronismo entre a geração de sinais e o envio das medidas é feito utilizando um pulso de sincronismo gerado pelo dispositivo DAQ. Sendo assim a geração de sinais é executada a uma taxa de 1 conjunto de amostras por segundo de maneira sincronizada com a recepção de dados, que corresponde a taxa com a qual a PMU reporta suas medidas, neste caso foi escolhida a taxa de 25 medidas por segundo.

4.2 MÉTODOS

Conforme ilustrado na figura 11, os fasores são estimados por um SRF-PLL que é uma técnica simples e eficaz para a medição da componente de sequência positiva de um sinal trifásico, com o acréscimo de um filtro FIR para reduzir os efeitos do desequilíbrio entre as fases e ruídos indesejados. Ao contrário de outras técnicas amplamente utilizadas como a DFT, o SRF-PLL não tem suas estimativas prejudicadas quando a frequência fundamental não corresponde a frequência nominal do sistema. Para contornar esse problema os algoritmos baseados na DFT devem recorrer a técnicas adicionais que aumentam a complexidade do sistema de estimação.

4.2.1 Sistema de Aquisição

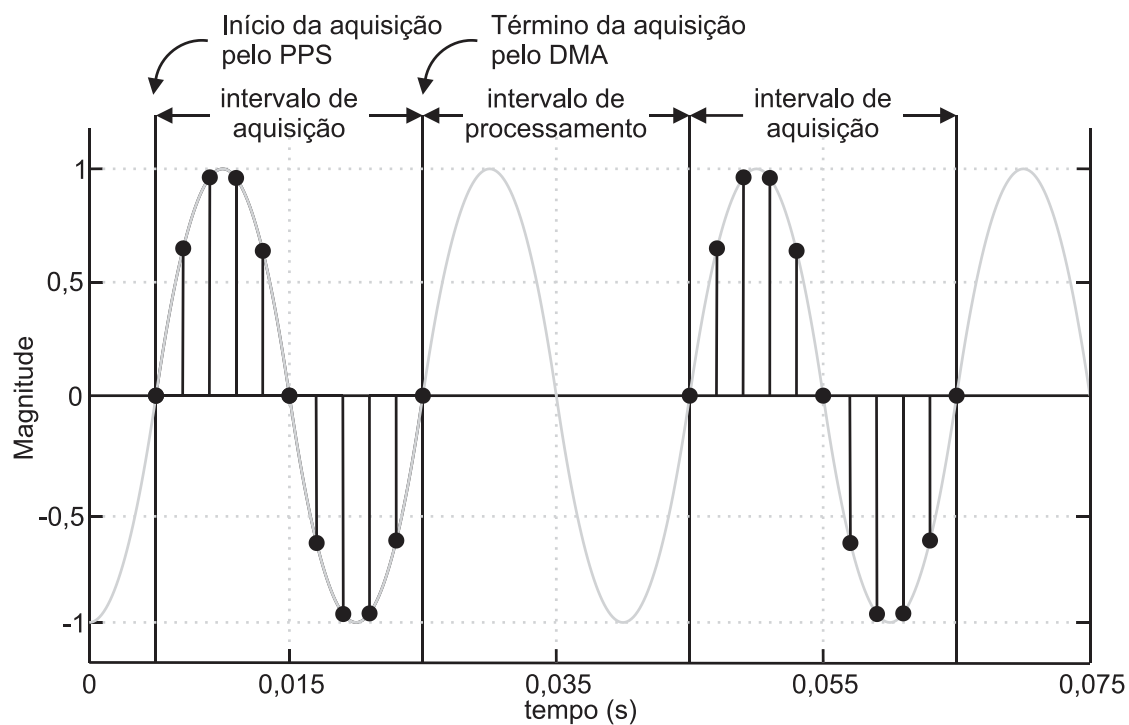
O processo de aquisição implementado na PMU é iniciado pelo PPS recebido do DAQ e segue em amostragem contínua até que a PMU seja desligada ou reiniciada. A plataforma de testes gera 25 PPS que correspondem precisamente aos 25 FPS de medidas que são reportadas pela PMU. Sendo assim a cada PPS a PMU envia o fasor referente aquele determinado instante.

As PMUs comerciais utilizam etiquetas de tempo nos fasores estimados baseadas no UTC conforme o padrão IEEE C37.118.2-2011. Embora esse recurso se encontre implementado na PMU ele não é necessário para a realização dos testes com a plataforma.

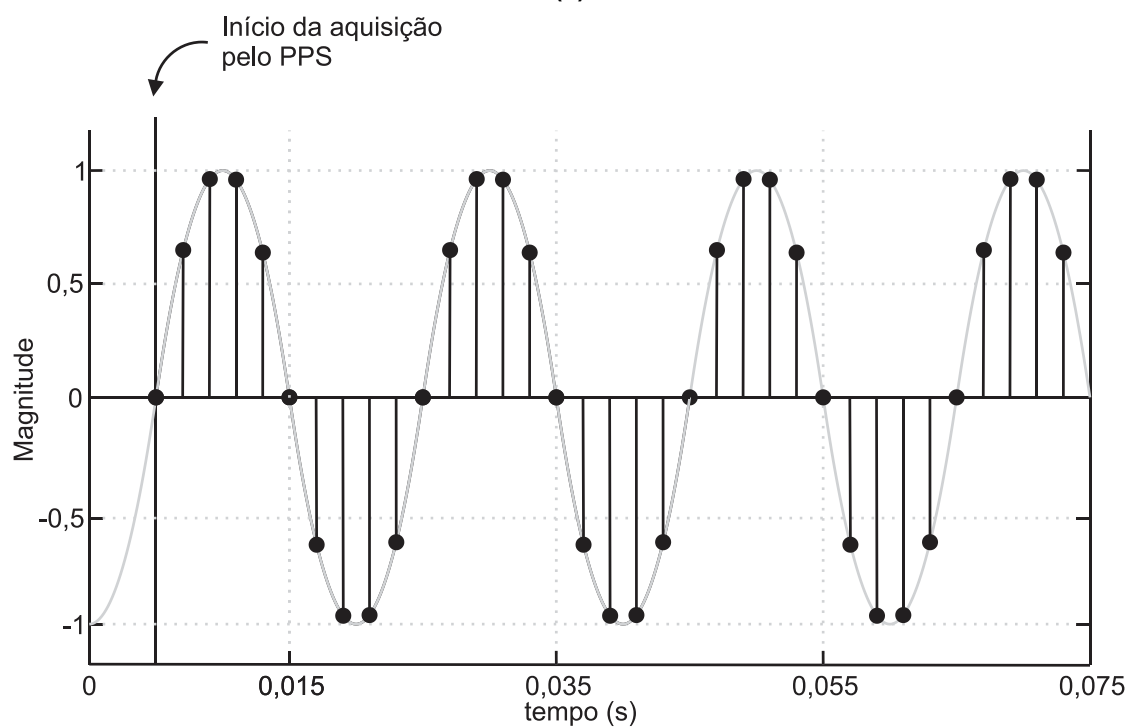
Diferentemente da DFT, que necessita apenas de um ciclo do sinal para a estimação, ou seja, janelas de amostragens como mostrado na figura 21 (a), o SRF-PLL necessita obrigatoriamente de um sistema de amostragem contínuo conforme a figura 21 (b), sendo que qualquer descontinuidade na amostragem pode ser interpretada como um salto de fase, o que resultaria em pelo menos uma estimação errônea associada a essa descontinuidade.

A amostragem contínua também significa que para cada amostra coletada haverá um ciclo de processamento resultando em uma estimação realizada. Apesar de isso representar um custo computacional significativo, no presente caso, o processador ARM Cortex-M7 utilizado conseguiu realizar todos os cálculos em tempo hábil, até mesmo sem o uso das otimizações disponibilizadas pelas funções da biblioteca do DSP e, além disso executando um Sistema Operacional em Tempo Real (*Real-Time Operating System* – RTOS) com uma interface gráfica que apresenta as estimações em tempo real.

Outra vantagem do sistema de amostragem contínuo é que o algoritmo não impõe limitação sobre a taxa de medidas enviadas pela PMU. Em sistemas de 50 Hz os valores mais comuns são 25 FPS ou 50 FPS e no sistema de 60 Hz são 30 FPS ou 60 FPS.



(a)



(b)

Figura 21 – Estratégia de amostragem (a) da DFT e (b) do SRF-PLL.

No presente caso o sistema foi testado em 25 FPS pois a plataforma de testes adotada foi desenvolvida inicialmente para testar o algoritmo de DFT que estava limitado a essa taxa de medidas. Testes em taxas maiores poderiam demandar ajustes na plataforma de testes, estando fora do escopo deste trabalho. Ainda, a taxa

de 25 PPS é a mesma utilizada pelo algoritmo baseado em DFT que será considerada na análise comparativa de desempenho da seção de resultados. Além disso, em 50 FPS os critérios previstos pelo padrão IEEE são diferentes, necessitando mais análises e certamente ajustes no algoritmo para alcançar os requisitos necessários.

A taxa de amostragem do ADC é ajustada para 420 amostras por ciclo, ou seja, somando 1260 amostras no total contanto as três fases do sistema elétrico. A quantidade de amostras influencia a precisão das estimações do algoritmo, sendo que quanto maior o número de amostras, mais preciso o algoritmo se torna. No entanto a taxa de amostragem é limitada pelo tempo necessário para processar as estimações no intervalo entre uma amostra e outra. Além disso, quanto maior a frequência de amostragem, maior o número de coeficientes do filtro FIR, tornando o sistema mais lento ao ponto de se tornar instável.

A conversão A/D simultânea das três fases é feita utilizando a configuração mestre/escravo do microcontrolador. Essa configuração permite que um conversor trabalhe como mestre e comande os demais conversores configurados como escravos, realizando a conversão trifásica simultaneamente.

4.2.2 Processamento

A figura 22 ilustra o funcionamento do algoritmo processado pela PMU. O algoritmo não inicia a aquisição de amostras até que o primeiro PPS seja recebido. A partir do recebimento do PPS, uma amostra de cada fase é adquirida dando início ao laço principal do algoritmo. O laço principal consiste da aquisição, transformação abc-dq, pré-filtragem, compensação de ganho, normalização e estimacão. Essas são as principais etapas que se repetem de forma contínua para cada amostra coletada, sem interrupções.

Ao final da etapa de estimacão o algoritmo verifica se houve o recebimento de um PPS entre a aquisição de dados e o final do cálculo de estimacão. O PPS indica o momento em que deve ser enviado um fasor para o PDC. Para que isso seja possível, o algoritmo possui em sua rotina uma variável, chamada de variável de sincronismo, que armazena o valor do temporizador (*timer*) da amostragem no instante em que o PPS ocorre e, utilizando esse valor, é realizada a correção de sincronismo.

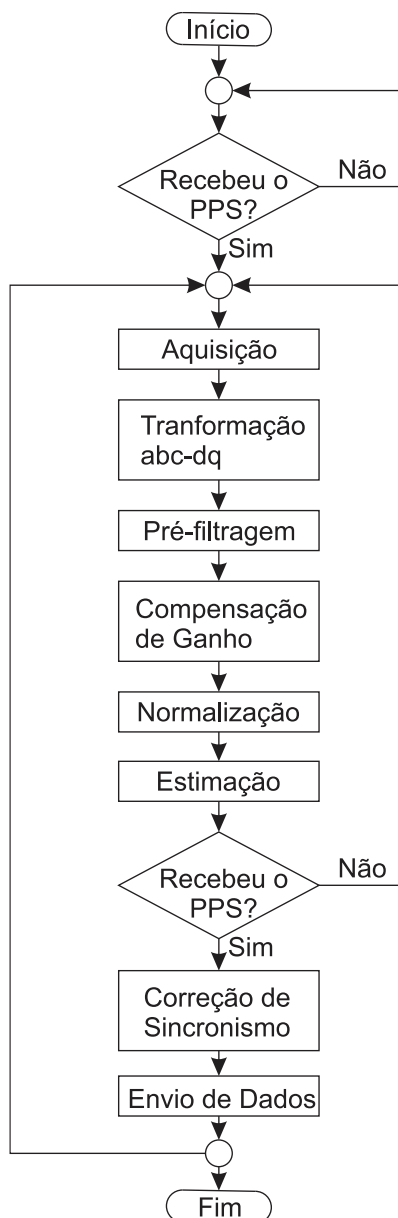


Figura 22 – Fluxograma de funcionamento do algoritmo.

Como as estimações são realizadas de maneira contínua, ponto a ponto, o PPS pode ocorrer a qualquer momento entre as amostras. Porém o envio do sincrofasor atual, ou do sincrofasor anterior ao pulso resultaria em um erro significativo em relação ao fasor de referência daquele dado instante. Portanto a variável de sincronismo é usada para realizar uma média ponderada entre a medida anterior e a medida atual dependendo do instante em que o PPS ocorreu entre as duas amostras. Sendo assim se o pulso ocorreu mais próximo da amostra anterior, o valor final da medida será mais próximo deste e vice-versa, mitigando o erro de sincronismo. A correção em função da variável de sincronismo é detalhada na subetapa 4.3 mostrada na figura 26.

4.2.3 Estimação de Sincrofasores

Antes das amostras coletadas pelo conversor A/D do microcontrolador serem processadas pelo algoritmo deve ser realizada a calibração do ADC recomendada pelo fabricante. A calibração é necessária devido a dinâmica de funcionamento do circuito *sample-and-hold* do ADC, que envolve o carregamento do capacitor que retém o nível de tensão no circuito, suscetível a alterações de funcionamento na prática. Portanto não seria suficiente uma calibração manual, sendo que já é disponibilizada pelo fabricante uma função para calibração.

A função de calibração é chamada sempre quando o microcontrolador é energizado. A calibração utiliza como referência uma fonte interna de 1,21V, que é adquirida 32 vezes consecutivas. A média do valor das conversões é utilizada para o cálculo do fator de correção (FC), conforme a equação (15):

$$FC = \frac{1,21}{DR} \quad (15)$$

em que DR corresponde à variável onde fica armazenada o valor médio das conversões.

Após a calibração do ADC, inicia-se o processo de aquisição de dados e o processamento do algoritmo de estimação. Para melhor entendimento de como é feito o processamento das amostras, a implementação do algoritmo foi separada em quatro partes fundamentais: bufferização e transformação abc-dq; pré-filtragem; compensação, normalização e estimação; e por último, correção de sincronismo e conversão das unidades de medida.

Como o algoritmo é recursivo, ou seja, cada medida é calculada ponto a ponto envolvendo os valores de iterações anteriores, a primeira etapa se inicia com a entrada das amostras atuais x_a , x_b e x_c , vindas do conversor A/D, e com o fechamento do *loop* de estimação. No primeiro bloco, exibido na figura 23, as estimações da iteração anterior a_0 , ϕ_0 e ω_0 , correspondentes a amplitude, fase e frequência, são armazenadas em variáveis de *buffer* $a_{0\ buffer}$, $\phi_{0\ buffer}$ e $\omega_{0\ buffer}$ para que possam ser reutilizadas no processo de estimação em seguida.

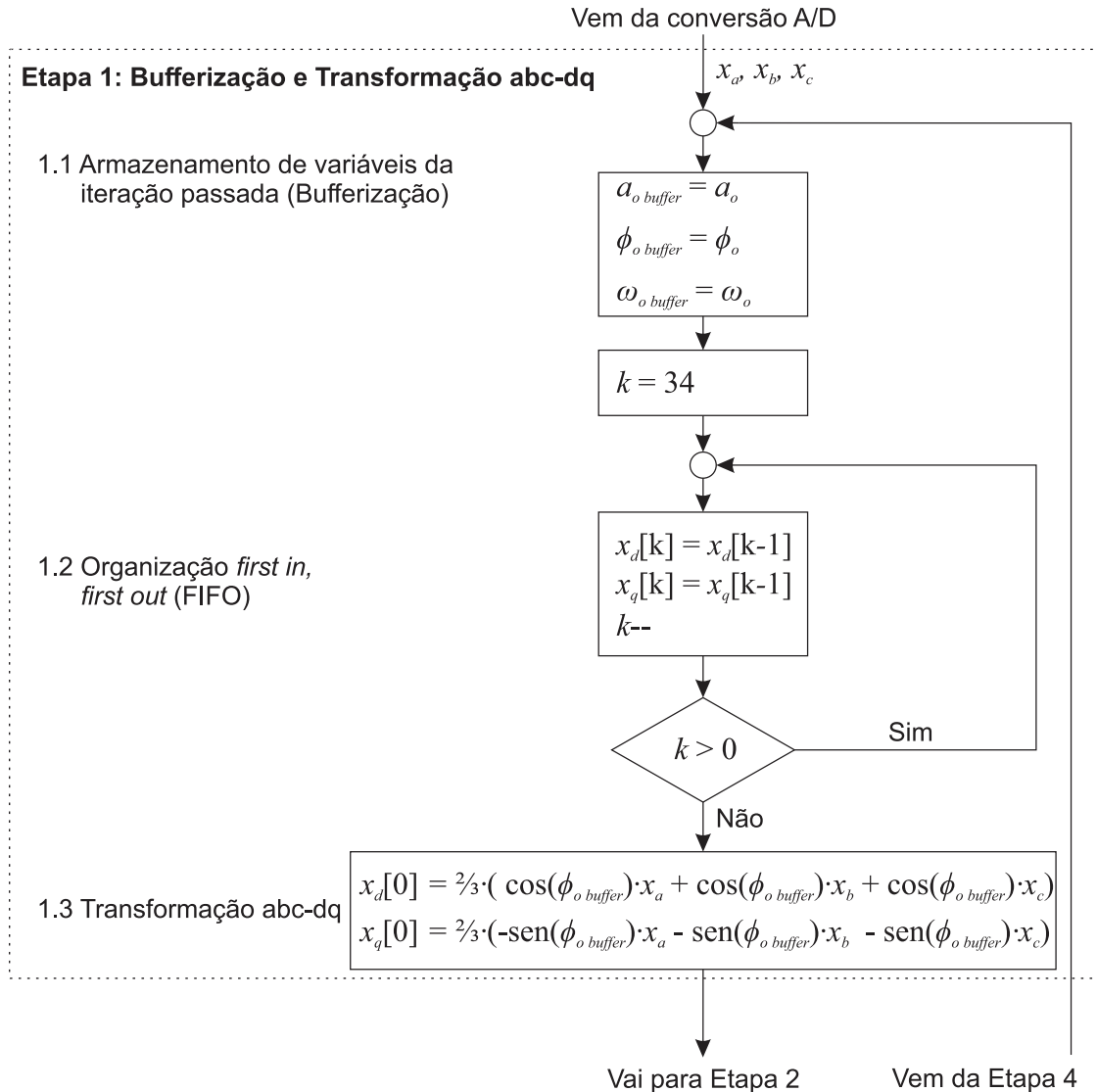


Figura 23 – Implementação do algoritmo – Etapa 1: bufferização e transformação abc-dq.

A subetapa 1.2 consiste em dois vetores de 35 posições $x_d[35]$ e $x_q[35]$, contando da posição 0 até a posição 34, criados especificamente para o funcionamento da pré-filtragem que será realizada na etapa seguinte (Etapa 2). A razão destes vetores fazerem parte da primeira etapa é que, bem como as estimações passadas, os valores da transformação dq (x_d e x_q) anteriores também devem ser guardados, não para uso direto na estimativa, porém para passarem pelo processo de filtragem. Como o filtro FIR neste caso em particular possui 35 coeficientes esse é o número de convoluções que deverão ser realizadas pelo *loop* de filtragem implementado no algoritmo, portanto o número de valores de x_d e x_q armazenados deve ser o mesmo.

Atribui-se a variável de contagem k é atribuído o valor 34, que é o número de coeficientes do filtro FIR menos um, pois a contagem considera o valor inicial como zero. Em seguida o laço é iniciado para organizar os valores passados de x_d e x_q na forma primeiro a entrar, primeiro a sair (*first in, first out* - FIFO), que significa que o primeiro valor, o mais antigo, armazenado nos vetores $x_d[35]$ e $x_q[35]$, será o primeiro a ser descartado. Dessa forma o laço é programado para ir de forma decrescente da posição 34 até a posição 1 movimentando os valores armazenados de maneira que o último valor dê lugar ao penúltimo, o penúltimo dê lugar ao antepenúltimo, e assim sucessivamente até que o primeiro valor ocupe o lugar do segundo. Agora, o primeiro valor será igual ao segundo propositalmente, pois a primeira posição do vetor será sobrescrita com o valor atual de x_d e x_q calculado na subetapa seguinte (subetapa 1.3).

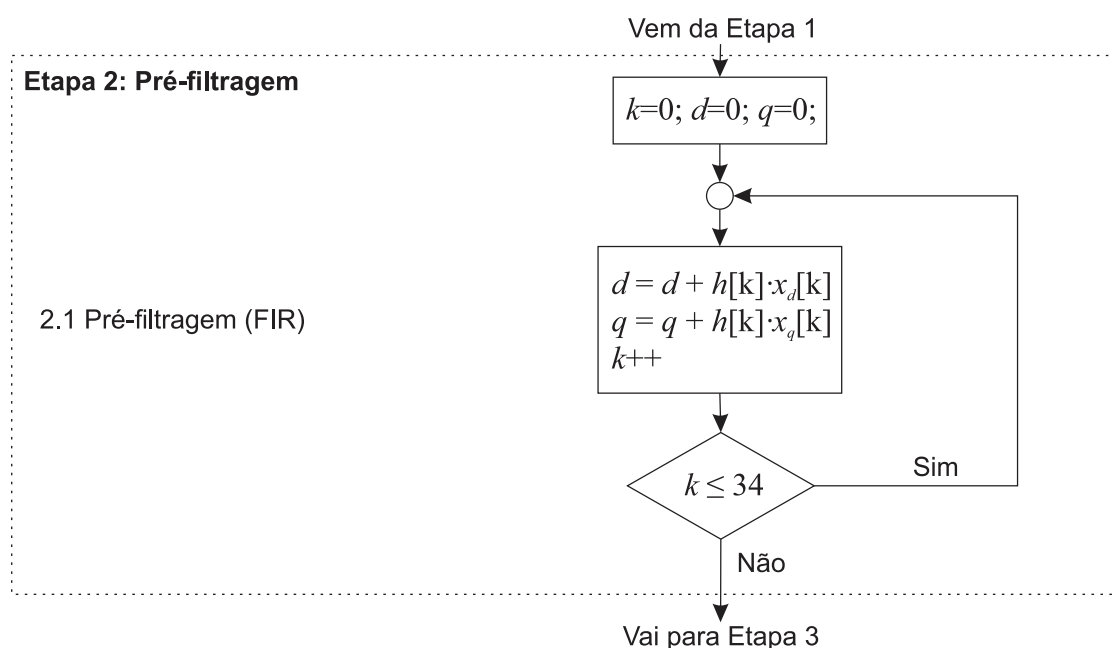


Figura 24 – Implementação do algoritmo – Etapa 2: Pré-filtragem.

A etapa 2 consiste somente da pré-filtragem implementada por meio de um laço *for* que realiza a convolução entre os coeficientes do filtro FIR, que estão armazenados no vetor $h[35]$, e as componentes x_d e x_q obtidas com a transformação dq e armazenadas nos vetores $x_d[35]$ e $x_q[35]$. As variáveis d e q , que armazenam os valores das componentes-dq filtradas, são zeradas sempre antes de entrar no laço. Na primeira iteração de filtragem o primeiro coeficiente do filtro FIR é multiplicado pela primeira componente-dq, na segunda iteração o resultado da primeira é acrescentado

pele resultado da multiplicação do segundo coeficiente com a segunda componente-dq e assim sucessivamente até que o último coeficiente do filtro seja multiplicado com a componente-dq mais antiga. Como mostrado na figura 24, a filtragem é realizada com uma convolução dedicada a componente-d e outra convolução dedicada a componente-q.

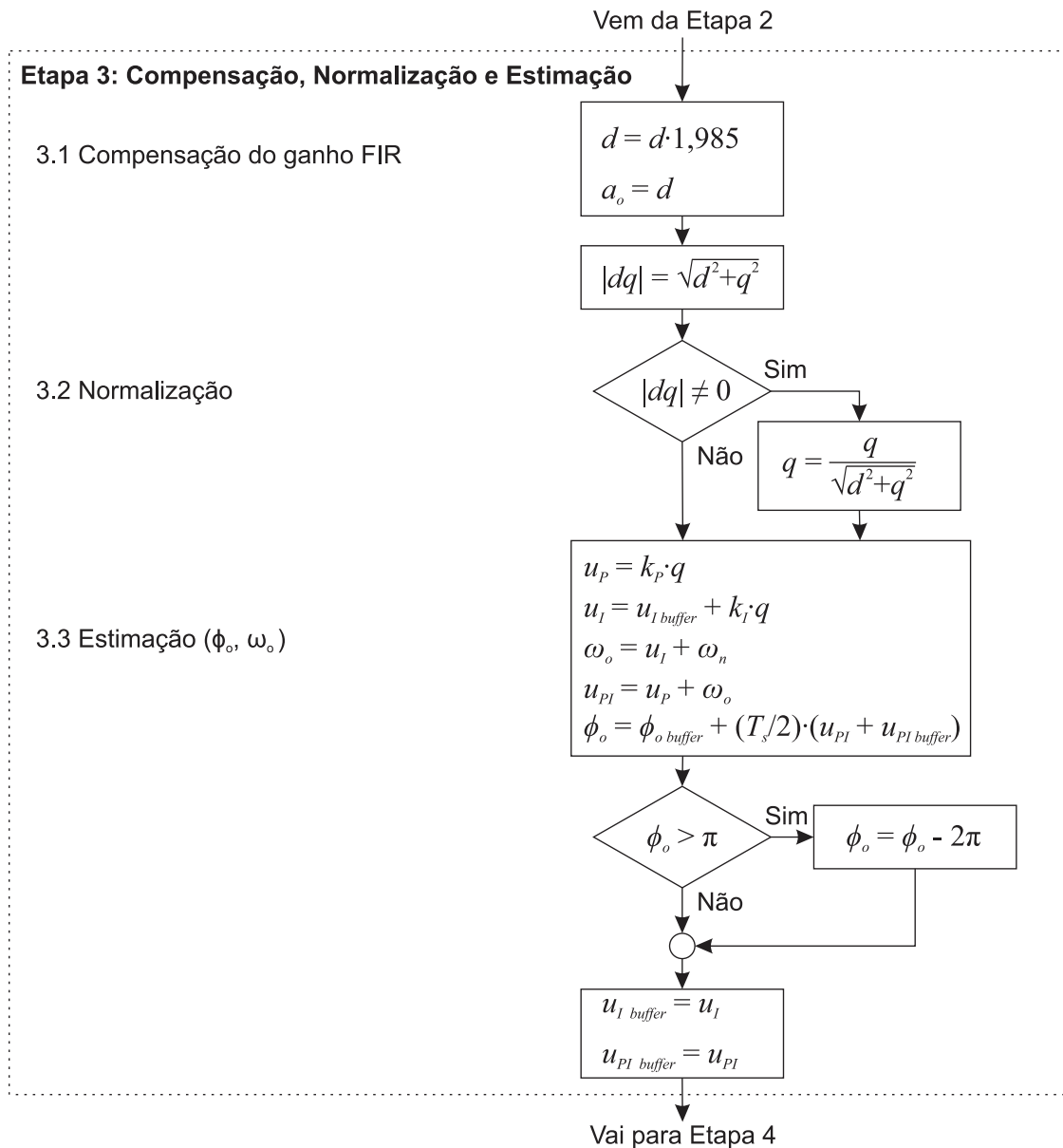


Figura 25 – Implementação do algoritmo – Etapa 3: compensação, normalização e estimação.

Já na etapa 3, mostrada na figura 25, a componente-d, que corresponde a magnitude da componente simétrica de sequência positiva, a_o , é multiplicada por 1,985 pois é necessário realizar a compensação do ganho provocado pelo estágio de

pré-filtragem. Em seguida as componentes d e q são utilizadas para a normalização da componente- q , que é empregada posteriormente para as estimações fasoriais. Antes de realizar a normalização do sinal q , verifica-se o módulo de d e q , pois caso seja nulo ocorre uma divisão por zero.

No subestágio 3.3 é feita a estimacão de fase e frequência com o uso de um controlador PI. O cálculo da ação de controle proporcional u_p é realizado multiplicando o ganho proporcional k_p pela componente q e o cálculo da ação de controle integral u_i é feito utilizando o valor passado da ação integral $u_{i\ buffer}$ somado ao produto do ganho k_i com a componente q . Então a ação integral resultante é somada ao valor constante da frequência nominal ω_n , que em 50 Hz corresponde a 314,15 rad/s, completando a estimacão de frequência. A ação proporcional-integral u_{pi} é calculada pela soma u_p com ω_0 , e em seguida é feita a estimacão de fase por via de integração numérica utilizando o método trapezoidal.

Para limitar o rastreamento de fase ao intervalo de π até $-\pi$, ao final da estimacão é verificado se ϕ_0 é maior do que π e caso afirmativo o valor é ajustado subtraindo -2π . Para concluir essa etapa os valores de u_i e u_{pi} são armazenados em variáveis de *buffer* $u_{i\ buffer}$ e $u_{pi\ buffer}$ para seu uso na próxima iteraçao do algoritmo.

Na etapa 4, mostrada na figura 26, é feita a verificacão se houve o pulso de sincronismo PPS. Essa verificacão é viabilizada por uma funçao de *callback* que realiza a atribuicão do valor 1 (afirmativo) para uma flag denominada de *PPS*, e também guarda o valor em que o temporizador da amostragem se encontrava no momento do recebimento do PPS.

É importante o armazenamento do valor do temporizador no instante do PPS, pois o PPS pode ocorrer entre dois pontos amostrados. Sendo assim, considerar o valor da medida anterior ou posterior ao PPS pode culminar em um erro significativo quando comparado ao valor de referênciac. Portanto é feita a média ponderada entre esses dois valores para diminuir o erro.

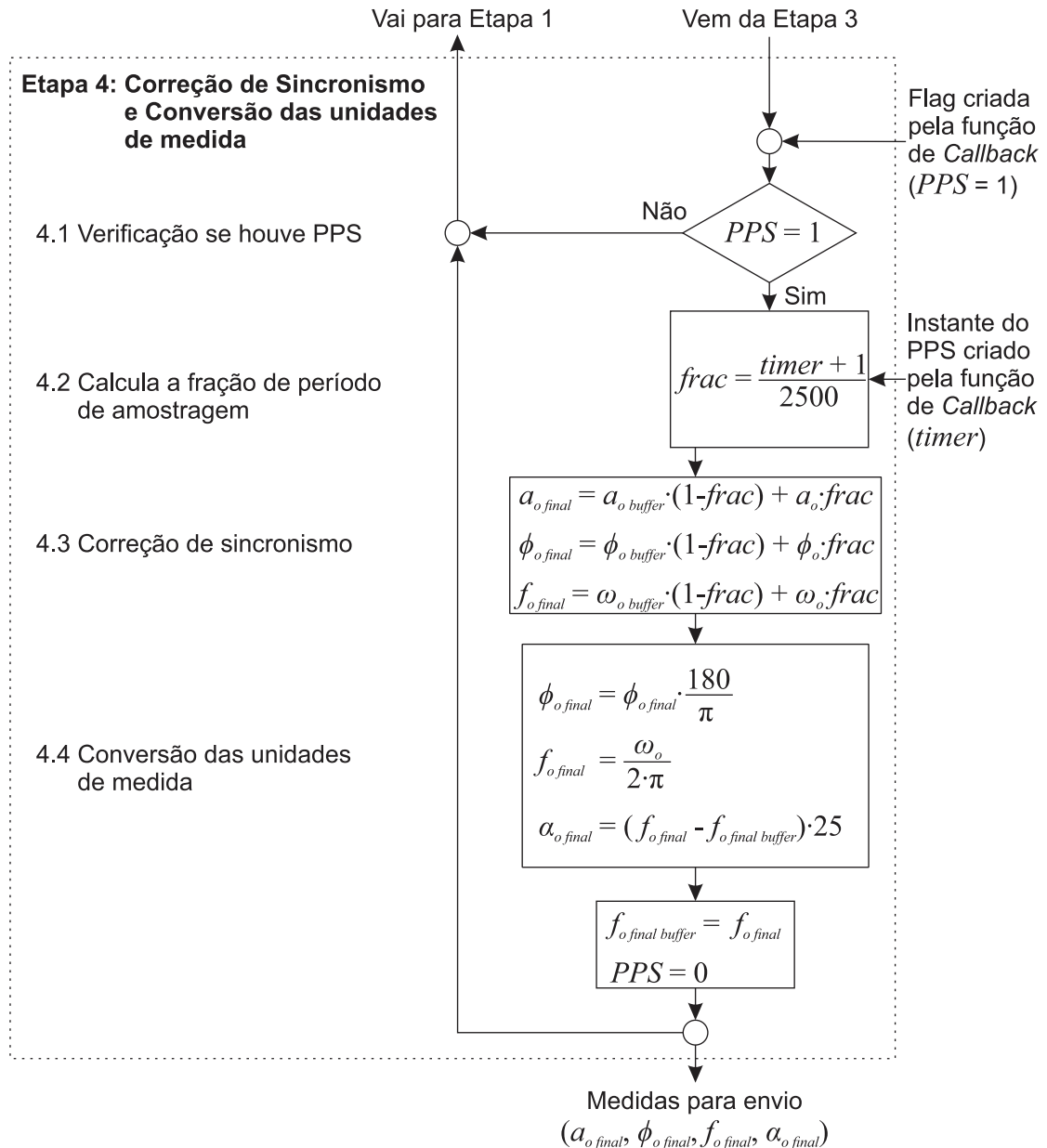


Figura 26 – Implementação do algoritmo – Etapa 4: correção de sincronismo e conversão das unidades de medida.

Se não houver o recebimento do PPS o algoritmo volta ao início da etapa 1, em que espera pelo tempo da nova amostra, realizando uma nova iteração, e assim sucessivamente até que o PPS ocorra. Se o PPS tiver ocorrido é calculada a fração do tempo de amostragem em que ocorreu e armazenada na variável *frac*. O cálculo é feito pela equação (16):

$$frac = \frac{timer + 1}{2500} \quad (16)$$

o valor do *timer* é acrescido de 1 pois a contagem é executada a partir de 0 e não de 1, e o valor é dividido por 2500, que é o valor utilizado como base da taxa de amostragem. A base de tempo do temporizador de amostragem é o *clock* do processador (210 MHz) dividido por quatro, resultando em 52,5 MHz. Portanto, para gerar uma taxa de amostragem de 21 KHz, são necessários 2500 ciclos de *clock* do processador.

Em seguida é feita a correção das medidas para sincronizar com o instante em que o PPS ocorreu, que será um valor proporcional entre a estimação passada e a estimação presente. Então, o valor sincronizado é convertido para sua forma final, a fase é convertida de rad para graus, a frequência de rad/s para Hz e o ROCOF é calculado pela diferença entre a frequência sincronizada passada e a frequência sincronizada atual multiplicado pelo número de FPS, que neste caso em particular é igual a 25. Finalmente, o valor da frequência atual é armazenado para ser utilizado no cálculo do ROCOF e à flag *PPS* é atribuído o valor 0 (negativo).

Após os cálculos, os valores estimados são transmitidos por comunicação serial para a plataforma de estimação. Para resultados experimentais com a rede elétrica os dados são enviados para um PDC por comunicação TCP/IP, conforme previsto no padrão IEEE C37.118.2-2011.

4.3 SUMÁRIO

Esse capítulo apresentou o material e os métodos utilizados na implementação prática do algoritmo, detalhando as características técnicas dos equipamentos utilizados, e fornecendo descrição do código implementado no microcontrolador para a estimação de sincrofasores. Também foi explicada a organização da bancada na qual realizou-se os testes para a aquisição dos resultados que são apresentados no capítulo 5.

5. RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados e discutidos os resultados experimentais obtidos com o algoritmo proposto que passou pelos testes de estado estacionário, condição dinâmica e resposta ao degrau. Ao final será mostrado um resumo dos testes e em seguida a comparação de resultados com um algoritmo que utiliza a abordagem da DFT.

Os resultados foram obtidos a partir da plataforma de testes já apresentada no capítulo anterior, com o emprego do DAQ National Instruments USB-6259. Os testes são iniciados do Labview ativando o DAQ via *link* de comunicação USB. Baseado no fluxo de dados gerado pela plataforma, o DAQ produz o pulso por segundo requisitado pela PMU e os sinais trifásicos usados para implementação dos testes definidos pelos padrões IEEE.

As saídas analógicas (sinais senoidais) e digital (sinal de PPS) são conectadas nas entradas analógico/digital apropriadas da PMU desenvolvida executando o algoritmo de estimação. Após executar o algoritmo proposto no microcontrolador da PMU, os dados estimados são transmitidos de volta para o aplicativo Labview, tornando possível comparar os sinais produzidos com os dados medidos. Os parâmetros do algoritmo sob os quais os testes foram realizados são os mesmos apresentados pela tabela 5, no capítulo 3.

5.1 TESTES DE ESTADO ESTACIONÁRIO

Em todos os testes de estado estacionário é convencionalizado que a duração do degrau é de 2 segundos e a taxa de aquisição de fasores é 25 FPS. As tabelas comparam os resultados obtidos com o erro máximo referente ao padrão IEEE para ambas as PMUs da classe P e M (CARVALHO, DENARDIN, *et al.*, 2019).

O resultado da comparação é apresentado em percentual, sendo que 100% representa que a medida alcançou o valor máximo tolerável do valor de referência, ou seja, qualquer valor menor ou igual a 100% significa que a PMU satisfaz ao critério determinado. A seguir é descrita uma análise realizada a partir da inspeção das figuras

27-32, em que é observado que todos os requisitos de estado estacionário são satisfeitos.

5.1.1 Teste de Magnitude

O teste de magnitude é uma variação de 10 a 120 % (0,1 a 1,2 p.u.) na amplitude do sinal de entrada com degraus de 0,025 p.u. A tabela 6 mostra os resultados. Neste teste o padrão IEEE não prevê requisitos para o erro de frequência e erro de ROCOF, por isso nas tabelas serão mostrados apenas os valores obtidos.

Tabela 6: Resultados do teste de magnitude.

Teste	Magnitude					
Classe	Classe P			Classe M		
Intervalo	80 a 120 %			10 a 120 %		
Erro	Obtido	Norma	Relativo	Obtido	Norma	Relativo
TVE (%)	0,06	1	6 %	0,31	1	31 %
FE (mHz)	0,61	-	-	3,51	-	-
RFE (mHz/s)	25,75	-	-	137	-	-

As figuras 27 (a) e (b) apresentam o TVE e FE em função do percentual de amplitude do sinal de entrada, ficando claro que o erro máximo ocorre para os menores valores de amplitude. Considerando que foi aplicada a estratégia de normalização para eliminar a influência da magnitude do sinal sobre o desempenho do *loop*. Esse fenômeno pode ser atribuído ao erro de quantização devido a limitação de resolução do ADC que é de 12 bits.

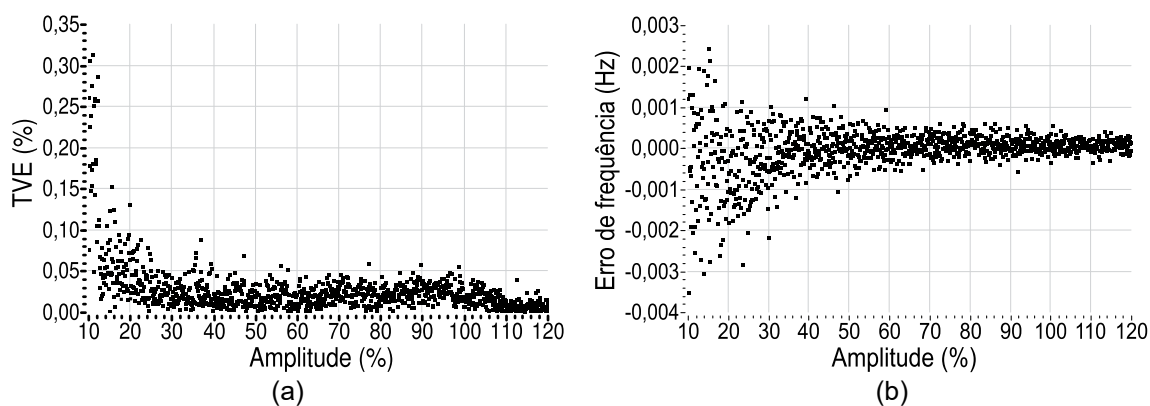


Figura 27 – (a) TVE e (b) FE para o intervalo de amplitude de 10 a 120%.

5.1.2 Teste de Frequência

O teste de frequência consiste em uma variação de 45 a 55 Hz na frequência do sinal de entrada, que é mantido com magnitude fixa de 1 p.u. e fase fixa em 0°. O degrau de frequência é de 0,2 Hz. A tabela 7 exhibe os resultados obtidos.

As figuras 28 (a) e (b) mostram a característica do SRF-PLL de rastrear com exatidão a fase, resultando em um desvio de frequência próximo de zero em regime permanente. Também se observa a mesma dispersão de pontos ao longo do intervalo de variação, indicando que os erros das medidas permanecem iguais para essas frequências.

Tabela 7: Resultados do teste de frequência.

Teste	Frequência					
	Classe P			Classe M		
Classe	± 2 %			± 5 %		
Intervalo	± 2 %			± 5 %		
Erro	Obtido	Norma	Relativo	Obtido	Norma	Relativo
TVE (%)	0,08	1	8 %	0,08	1	8 %
FE (mHz)	0,56	5	11 %	0,62	5	12 %
RFE (mHz/s)	17,25	400	4,31 %	25	100	25 %

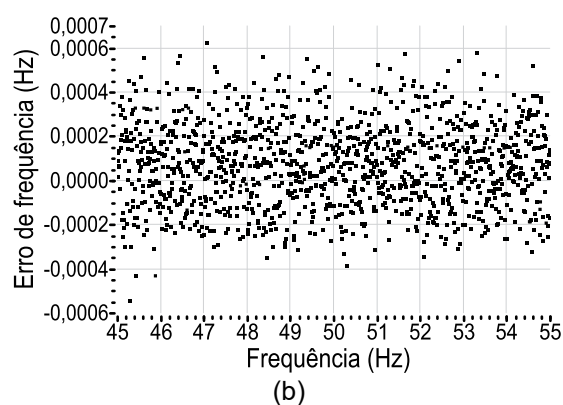
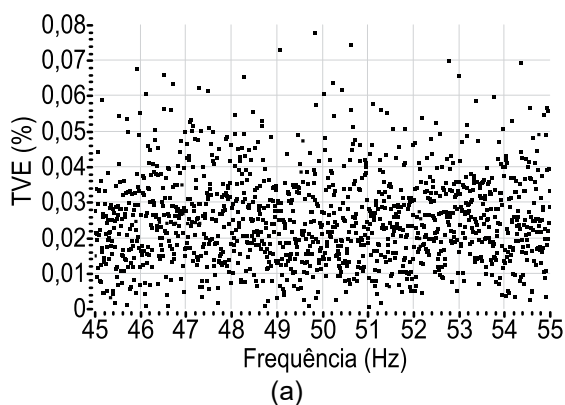


Figura 28 – (a) TVE e (b) FE para o intervalo de frequência de ±5 Hz.

5.1.3 Teste de Fase

O teste de fase varia a fase do sinal de entrada de -180° a +180° com degrau de 10°. Tanto a amplitude quanto a frequência permanecem fixas nos valores nominais. Os resultados são exibidos na tabela 8.

Tabela 8: Resultados do teste de fase.

Teste	Fase		
Classe	Classe P e M		
Intervalo	$\pm 180^\circ$		
Erro	Obtido	Norma	Relativo
TVE (%)	0,07	1	7 %
FE (mHz)	0,74	-	-
RFE (mHz/s)	23,75	-	-

Na figura 29 (a) pode ser verificado que o algoritmo rastreia a fase adequadamente. No entanto, também podem ser observados pontos dispersos longe do grupo principal, sendo que esse comportamento não aparece nos resultados de frequência, como visto na figura 29 (b). Então provavelmente não é um erro no rastreamento de fase, mas um problema na estimação da amplitude. Então, apesar do algoritmo alcançar os requisitos de estado estacionário neste caso, ajustes adaptativos nos ganhos do controlador PI podem melhorar o desempenho do algoritmo em um trabalho futuro.

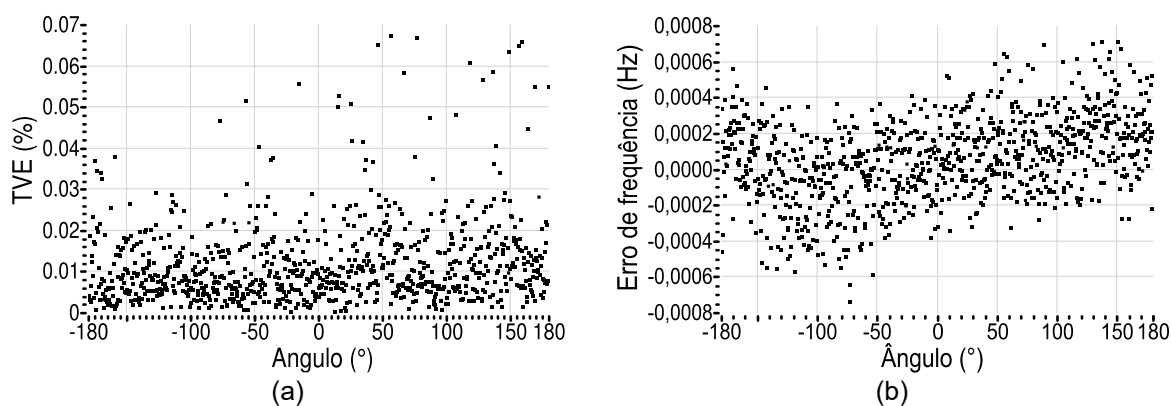


Figura 29 – (a) TVE e (b) FE para o intervalo de ângulo de ± 180 Hz.

5.1.4 Teste de Distorção Harmônica

O teste de distorção harmônica é realizado desde a 2^a até a 50^a componente com 10 % de amplitude aplicada sobre o sinal de entrada fixado em 1 p.u. e 50 Hz. A tabela 9 mostra os resultados.

Tabela 9: Resultados do teste de distorção harmônica.

Teste	Distorção harmônica					
Classe	Classe P			Classe M		
Intervalo	2. ^a a 50. ^a - 1% de amplitude			2. ^a a 50. ^a - 10% de amplitude		
Erro	Obtido	Norma	Relativo	Obtido	Norma	Relativo
TVE (%)	0,07	1	7 %	0,05	1	5 %
FE (mHz)	0,68	5	14 %	0,62	25	2,5 %
RFE (mHz/s)	21	400	5,25 %	23	-	-

As figuras 30 e 31 exibem o TVE e o FE para harmônicas com 1 % e 10 % de amplitude. É possível observar que a dispersão dos pontos não se alterou em função da ordem ou magnitude das harmônicas. Isso ocorre porque a transformação abc-dq elimina as componentes harmônicas equilibradas. Por outro lado, se as componentes harmônicas fossem desequilibradas isso causaria *ripples* nas estimações que seriam atenuados pelo filtro FIR.

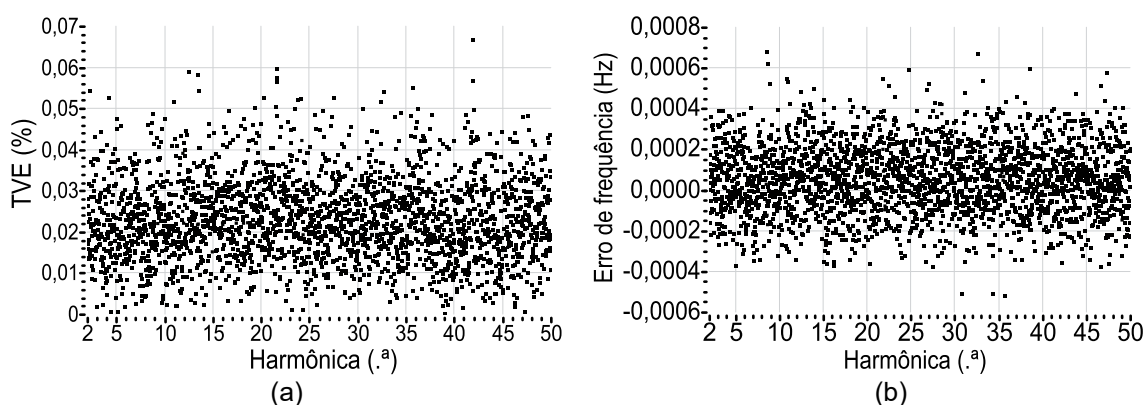


Figura 30 – (a) TVE e (b) FE para interferência de harmônicas da 2^a a 50^a com 1% de amplitude em relação a componente fundamental.

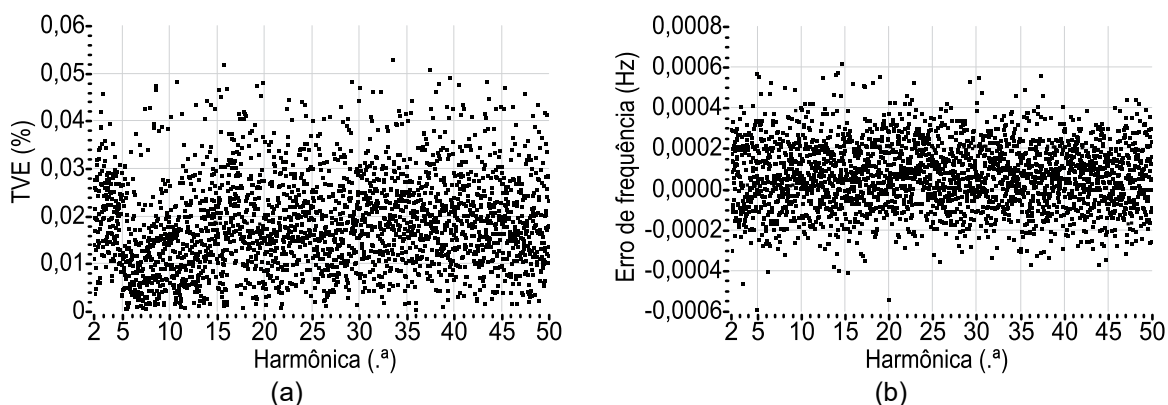


Figura 31 – (a) TVE e (b) FE para interferência de harmônicas da 2^a a 50^a com 10% de amplitude em relação a componente fundamental.

5.1.5 Teste de Interferência Fora de Banda

O teste de interferência fora de banda é realizado adicionando uma componente senoidal ao sinal de entrada, com 10% da amplitude nominal e frequência variado de 2 a 100 Hz (2ª harmônica). A tabela 10 mostra os resultados.

Tabela 10: Resultados do teste de interferência fora de banda.

Teste	Interferência fora de banda					
Classe	Classe P			Classe M		
Intervalo	N/A			até a 2.ª harmônica com 10% de amplitude		
Erro	Obtido	Norma	Relativo	Obtido	Norma	Relativo
TVE (%)				0,07	1,3	5,4 %
FE (mHz)		N/A		0,70	10	7,0 %
RFE (mHz/s)				23,85	-	-

Diferentemente de outras técnicas parecidas em simplicidade que requerem uma customização mais complexa para rejeitar interferência fora de banda, como por exemplo a DFT, o método adotado rejeita essas frequências naturalmente, como revelam as figuras 32 (a) e 32 (b).

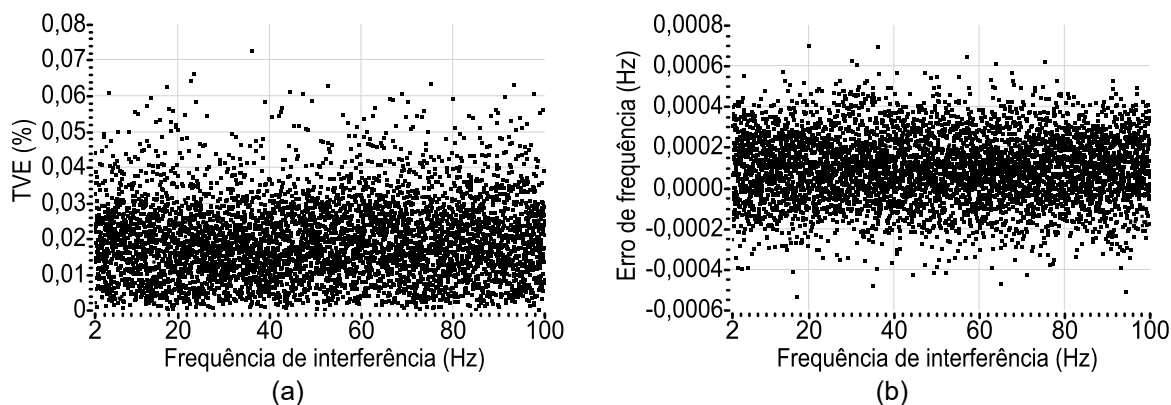


Figura 32 – (a) TVE e (b) FE para interferência fora de banda de 2 a 100 Hz com 10% de amplitude em relação a componente fundamental.

5.2 TESTES DE CONDIÇÃO DINÂMICA

Para avaliar o desempenho do algoritmo de estimação de sincrofasores sob condições dinâmicas de variação de amplitude, fase e frequência são aplicados os testes especificados pelo padrão IEEE, já detalhados na seção 2.4.5, que

estabelecem os parâmetros de teste e os limites máximos aceitáveis para os erros de medição, utilizando os critérios de TVE, FE, e RFE.

5.2.1 Teste de Modulação em Amplitude

O teste de modulação em amplitude é feito variando de maneira senoidal a amplitude do sinal de entrada. A variação introduzida possui 10% da amplitude fundamental e sua frequência de modulação f_{mod} varia com degraus de 0,2 Hz no intervalo de 0 a 2 Hz para a classe P e de 0 a 5 Hz para a classe M. A tabela 11 exibe a síntese dos resultados do teste para ambas as classes, comparando os maiores erros obtidos com os limites previstos pelo padrão IEEE.

Tabela 11: Resultados do teste de modulação em amplitude.

Teste	Modulação em amplitude					
	Classe P			Classe M		
Intervalo	f_{mod} até 2 Hz			f_{mod} até 5 Hz		
Erro	Obtido	Norma	Relativo	Obtido	Norma	Relativo
TVE (%)	0,14	3	4,7 %	0,27	3	9 %
FE (mHz)	0,64	60	1 %	0,69	300	0,23 %
RFE (mHz/s)	20	2300	0,09 %	23	14000	0,002 %

Na figura 33 (a) é possível verificar que o TVE apresenta um crescimento aproximadamente linear à medida que a frequência de modulação aumenta. Isso faz com que o TVE da classe P seja menor que o da classe M, pois o intervalo de modulação para a classe P acaba em 2 Hz, enquanto o intervalo de modulação para a classe M se estende até 5 Hz em que o TVE é proporcionalmente maior.

Por outro lado, aparentemente o erro de frequência não apresenta alteração significativa em função da frequência de modulação, como pode ser observado na figura 33 (b). A distribuição do erro de frequência aparece de maneira mais densa no intervalo de $\pm 0,2$ mHz, onde existe a maior concentração de pontos.

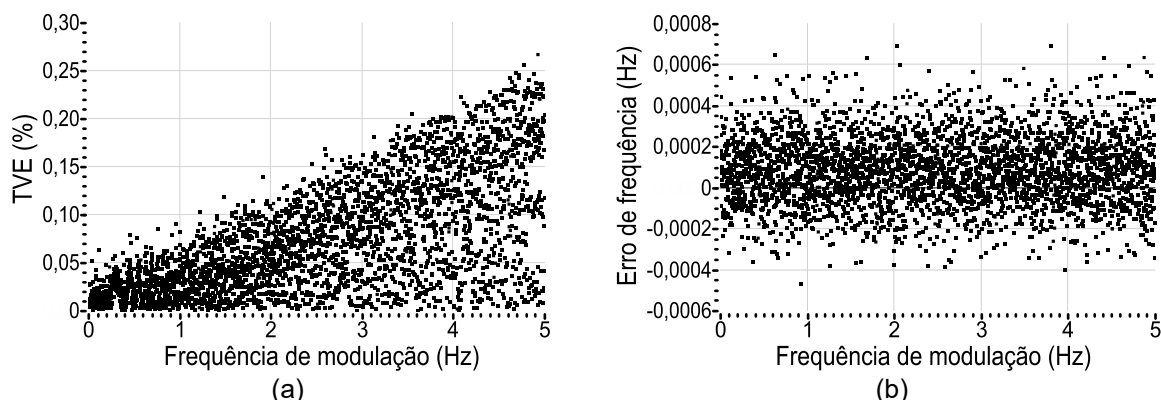


Figura 33 – (a) TVE e (b) FE para modulação em amplitude variado de 0 a 5 Hz.

5.2.2 Teste de Modulação em Fase

O teste de modulação em fase é realizado variando de maneira senoidal o ângulo do sinal de entrada. A variação introduzida possui 10% da amplitude fundamental e sua frequência de modulação f_{mod} varia com degraus de 0,2 Hz no intervalo de 0 a 2 Hz para a classe P e de 0 a 5 Hz para a classe M. A tabela 12 exhibe a síntese dos resultados do teste para ambas as classes, comparando os maiores erros obtidos com os limites previstos pelo padrão IEEE.

Tabela 12: Resultados do teste de modulação em fase.

Teste	Modulação em fase					
	Classe P			Classe M		
Classe						
Intervalo	f_{mod} até 2 Hz			f_{mod} até 5 Hz		
Erro	Obtido	Norma	Relativo	Obtido	Norma	Relativo
TVE (%)	0,4	3	13 %	2,3	3	77 %
FE (mHz)	54	60	90 %	323	300	108 %
RFE (mHz/s)	88	2300	4 %	3337	14000	24%

Neste teste o algoritmo apresentou valores de TVE e RFE satisfatórios em relação ao padrão IEEE para ambas as classes P e M. Já o erro de frequência atingiu o requisito necessário somente para a classe P, sendo que para a classe M o erro de frequência esteve 8% acima do limite máximo previsto pelo padrão IEEE, o que é ligeiramente superior ao tolerado. A figura 34 (a) e (b) mostra os resultados de TVE e de FE, respectivamente.

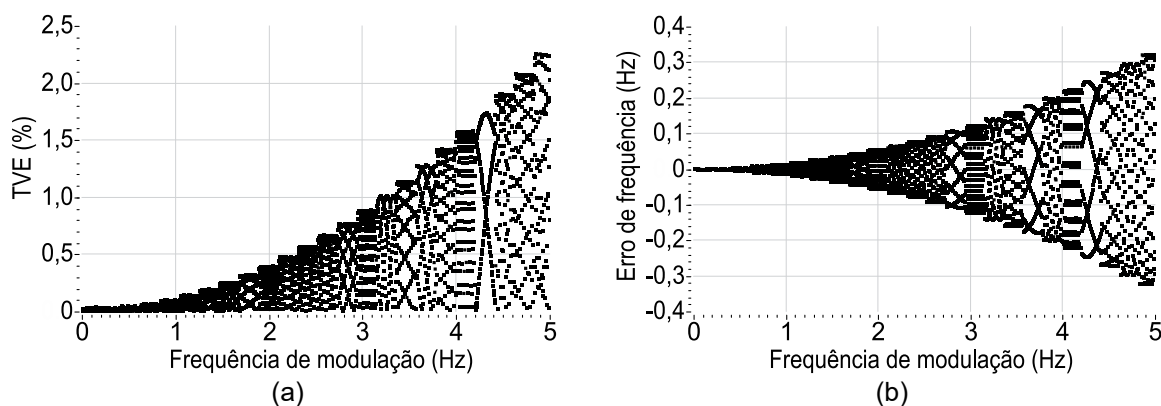


Figura 34 – (a) TVE e (b) FE para modulação em fase variado de 0 a 5 Hz.

5.2.3 Teste de Rampa em Frequência

O teste de rampa em frequência é realizado variando em rampa positiva e negativa a frequência do sinal de entrada. A variação introduzida é de 1 Hz/s no intervalo de ± 2 Hz para a classe P e de ± 5 Hz para a classe M, sendo que os testes de rampa positiva e negativa apresentaram resultados muito parecidos com o algoritmo testado. Na tabela 13 são exibidos apenas os resultados do teste de rampa positiva para ambas as classes, comparando os maiores erros obtidos com os limites previstos pelo padrão IEEE.

Tabela 13: Resultados do teste de rampa em frequência.

Teste	Rampa em frequência					
Classe	Classe P			Classe M		
Intervalo	± 2 Hz			± 5 Hz		
Erro	Obtido	Norma	Relativo	Obtido	Norma	Relativo
TVE (%)	0,4	1	40 %	0,4	1	40 %
FE (mHz)	22	10	220 %	22	10	220 %
RFE (mHz/s)	15	400	3,75 %	17	200	8,5 %

Na figura 35 (b) é possível observar alguns pontos dispersos do agrupamento principal que elevam significativamente o TVE, sendo que na figura 36 (a) percebe-se que esses pontos tem origem no erro de magnitude, já que na figura 36 (b) não é observado o mesmo fenômeno. A figura 35 (a) mostra que os valores da frequência de referência e da frequência estimada estão muito próximos, porém na figura 37 é possível ver com maior precisão que o valor do FE supera o limite admitido.

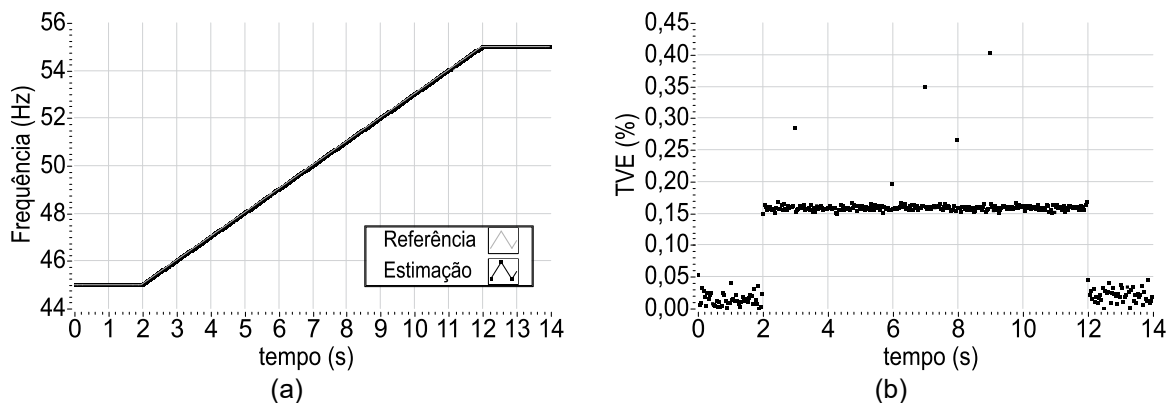


Figura 35 – (a) Variação de frequência e (b) TVE para a rampa em frequência variando de 45 a 55 Hz.

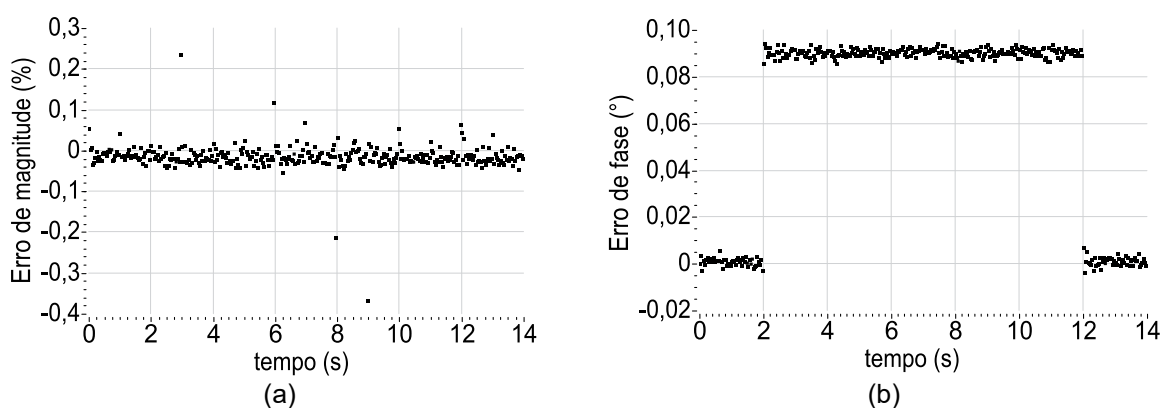


Figura 36 – (a) Erro de amplitude e (b) erro de fase para a rampa em frequência variando de 45 a 55 Hz.

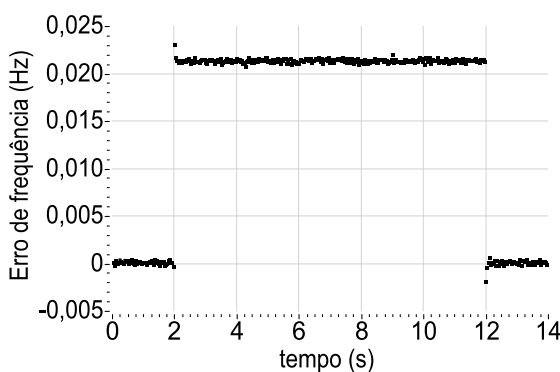


Figura 37 – FE para a rampa em frequência variando de 45 a 55 Hz.

Tanto o TVE quanto o erro de frequência se elevam de maneira evidente no intervalo de ocorrência da rampa em frequência, entre os 2 e 12 segundos do período em que o teste foi realizado. Além disso na figura 37 é visível um *spike* na primeira amostra após o início da rampa e outro *spike* na primeira amostra após o término da rampa. Esses dois *spikes* encontram-se dentro do intervalo de exclusão,

que é de 2/FPS segundos para a classe P e 7/FPS segundos para classe M, como explicado anteriormente, então essas medidas devem ser ignoradas.

5.3. TESTE DE RESPOSTA AO DEGRAU

Com o intuito de avaliar a resposta transitória do algoritmo foram realizados os testes de resposta aos degraus de amplitude e fase, sendo considerado o tempo no qual a resposta transitória extrapola os limites de estado estacionários já conhecidos, que são 1 % de TVE, 0,005 Hz de FE e 0,4 Hz/s de RFE para a classe P e 0,1 Hz/s de RFE para a classe M. O tempo de resposta a ser analisado é o período a partir do qual a resposta transitória ultrapassa os limites até o momento em que ela retorna aos limites. Já o tempo de atraso é o tempo que a resposta leva para atingir 50% do seu valor de estado estacionário. Também é analisado o valor máximo do *overshoot* ou *undershoot* da resposta transitória.

5.3.1 Teste de Degrau em Amplitude

O teste de degrau em amplitude consiste em inserir uma variação de 10% do valor da amplitude nominal do sinal de entrada. A variação pode ser positiva ou negativa, no entanto para o algoritmo em questão os resultados foram semelhantes nos dois cenários então serão mostrados somente os resultados para o degrau positivo. A amplitude do sinal de entrada se inicia no valor nominal de 1,2 p.u. e é elevada a 1,32 p.u. no instante de 2 segundos, como pode ser observado na figura 38 (a).

A partir dos resultados apresentados na tabela 14 pode-se perceber que os tempos de resposta foram nulos. Isso se deve ao fato de que os limites previstos pelo padrão IEEE não foram ultrapassados. Observando os gráficos da figura 38 pode-se confirmar definitivamente que os valores de TVE, AE e FE se mantêm dentro dos limites aceitáveis. Além disso nenhuma diferença significativa é observada nos erros após a ocorrência do degrau.

Tabela 14: Resultados do teste de degrau em amplitude.

Teste		Degrau em amplitude					
Classe		Classe P			Classe M		
Degrau		10% da magnitude			10% da magnitude		
Erro		Obtido	Padrão	Relativo	Obtido	Padrão	Relativo
Tempos de resposta (s)	TVE	0,00	0,04	0 %	0,00	0,28	0 %
	FE	0,00	0,09	0 %	0,00	0,28	0 %
	RFE	0,00	0,12	0 %	0,00	0,28	0 %
Tempo de atraso (s)		0,9 m	0,01	9 %	0,9 m	0,01	9 %
Máximo Overshoot/ undershoot (%)		0,7	5	14 %	0,7	10	7 %

O tempo de atraso naturalmente foi muito inferior ao limite, aproximadamente 9% em relação ao padrão, o que representa uma transição rápida do estado inicial ao estado final para o teste em questão. Tendo em vista que não há um pico aparente na resposta transitória, o *overshoot* máximo observado pertence ao agrupamento de pontos exibido na figura 38 (b).

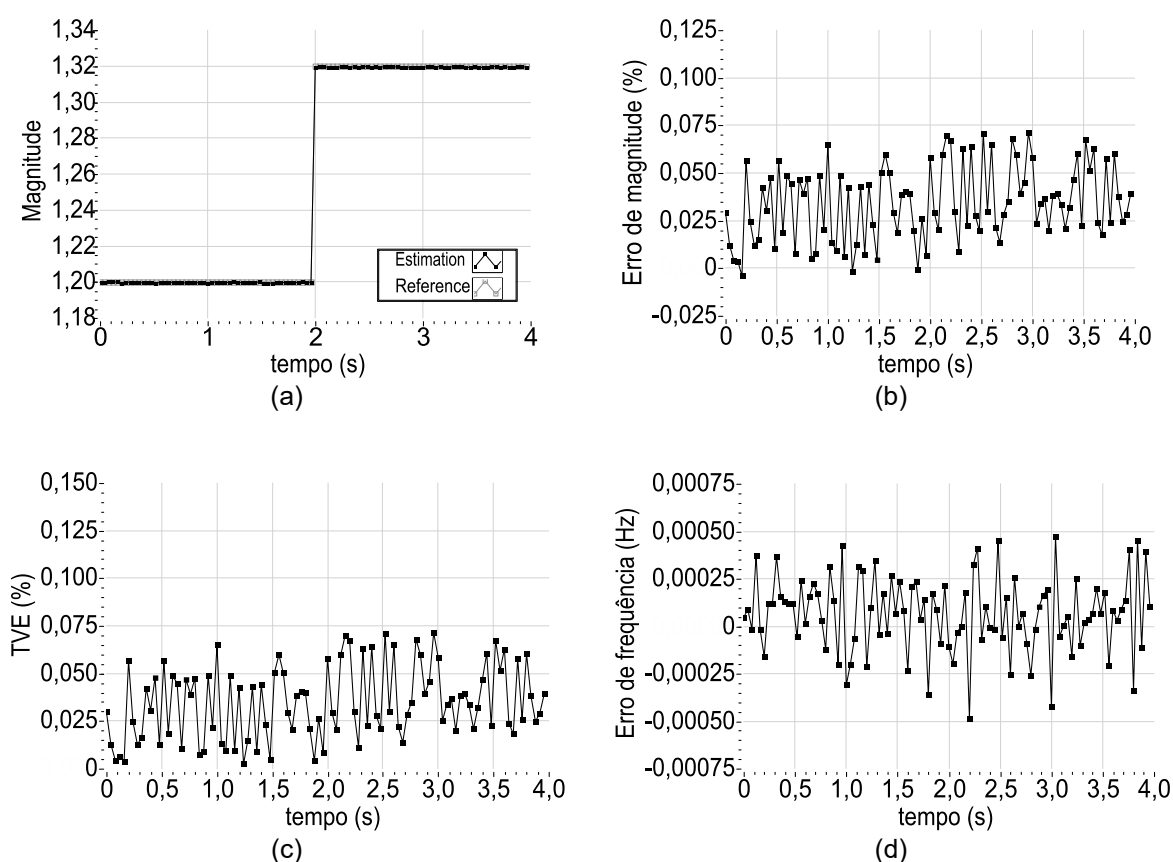


Figura 38 – Resultados do teste para um degrau em amplitude de 10 % ocorrendo em $t = 2$ s (a) magnitude, (b) erro de magnitude, (c) TVE e (d) erro de frequência.

5.3.2 Teste de Degrau de Fase

O teste de degrau em fase insere uma variação negativa ou positiva de 10° no ângulo do sinal de entrada, podendo partir de qualquer estado inicial. Neste teste o resultado para o degrau positivo também foi semelhante ao resultado para o degrau negativo. Conforme mostrado na figura 39 (a) foi escolhido aleatoriamente o estado inicial de 160° com um degrau negativo no instante de 0,6 segundos, diferenciando assim do teste de degrau de amplitude mostrado anteriormente, que foi realizado com um degrau positivo. Os resultados obtidos são apresentados na tabela 15.

Diferentemente do teste de degrau de amplitude, nesse caso pode ser observado em regime transitório um *undershoot* significativo e esse comportamento produz erros expressivos de fase e frequência. Os tempos de resposta obtidos ficaram acima dos limites aceitáveis para a classe P mas foram satisfatórios para a classe M pois os critérios quantitativos são menos rígidos. Tanto o tempo de atraso como o *overshoot/undershoot* máximo observado não passaram no teste para ambas as classes P e M, principalmente o valor de *undershoot* se apresentou muito elevado em relação ao padrão.

Tabela 15: Resultados do teste de degrau em fase.

Teste		Degrau em fase					
Classe		Classe P			Classe M		
Degrau		10°			10°		
Erro		Obtido	Norma	Relativo	Obtido	Norma	Relativo
Tempos de resposta (s)	TVE	0,06	0,04	150 %	0,06	0,28	21 %
	FE	0,12	0,09	133 %	0,12	0,28	43 %
	RFE	0,15	0,12	125 %	0,18	0,28	64 %
Tempo de atraso (s)		16,1 m	0,01	161 %	16,1 m	0,01	161 %
Máximo Overshoot/undershoot (%)		22	5	440 %	22	10	220 %

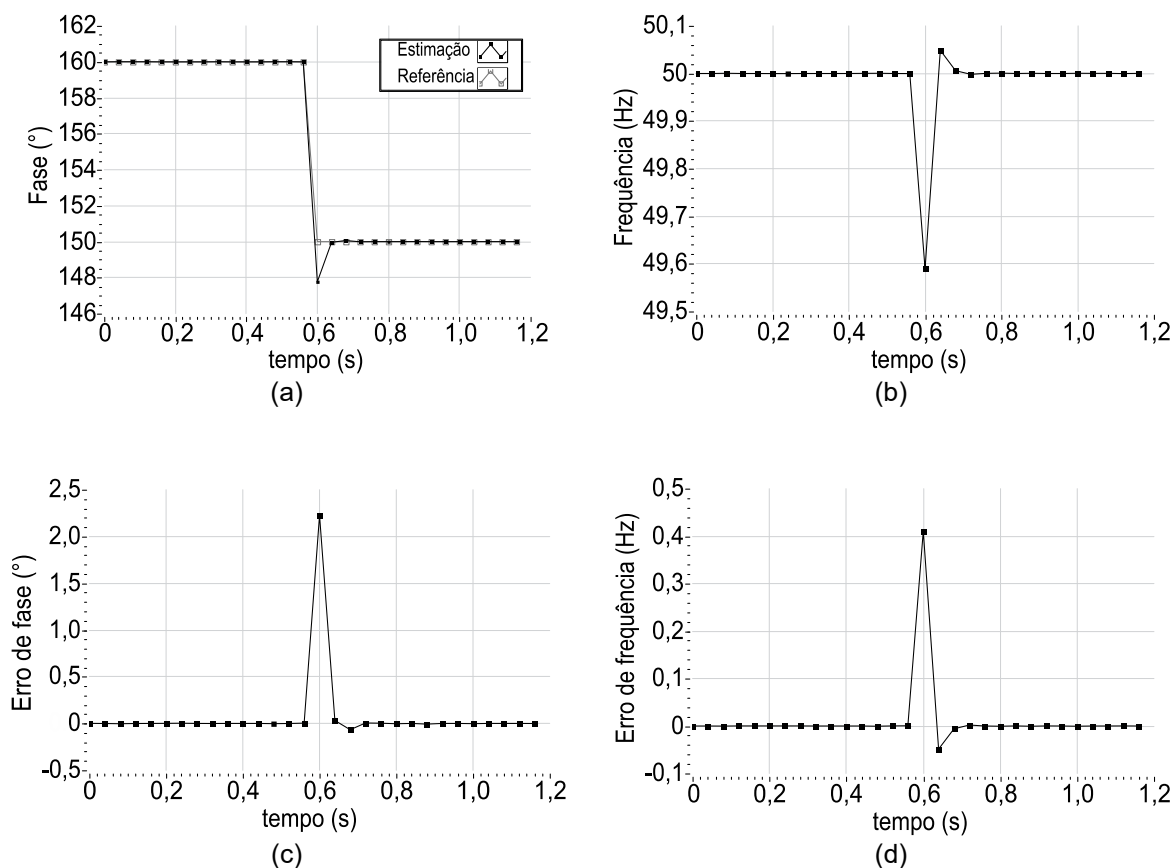


Figura 39 – Resultados do teste para um degrau em ângulo de 10° ocorrendo em $t = 2$ s (a) fase, (b) frequência, (c) erro de fase e (d) erro de frequência.

5.4 RESUMO DOS TESTES

As tabelas 16, 17 e 18 apresentam os resumos dos resultados dos testes realizados indicando se os critérios do padrão IEEE foram atendidos ou não. Estão apresentados os resultados dos testes de estado estacionário, condição dinâmica e de resposta ao degrau, respectivamente.

Todos os testes de estado estacionário foram satisfeitos, o que já era esperado pelas características da arquitetura do algoritmo adotado, que propõe uma filtragem natural a ruídos e harmônicas. Isso refletiu de maneira positiva principalmente no desempenho frente a interferência fora de banda, que costuma ser um empecilho para outros algoritmos, como os baseados na DFT que requerem uma filtragem digital mais complexa para atender aos requisitos.

Tabela 16: Resumo dos testes de estado estacionário.

Teste	Classe P		Classe M	
	Atende?	TVE (%)	Atende?	TVE (%)
		FE (Hz)		FE (Hz)
		RFE (Hz/s)		RFE (Hz/s)
Magnitude	Sim	0,06	Sim	0,31
	Sim	0,00061	Sim	0,00351
	Sim	0,02575	Sim	0,137
Frequência	Sim	0,08	Sim	0,08
	Sim	0,00056	Sim	0,00062
	Sim	0,01725	Sim	0,025
Ângulo	Sim	0,07	Sim	0,07
	Sim	0,00074	Sim	0,00074
	Sim	0,02375	Sim	0,02375
Distorção harmônica	Sim	0,07	Sim	0,05
	Sim	0,00068	Sim	0,00062
	Sim	0,00021	Sim	0,00023
Interferência fora de banda	N/A		Sim	0,07
			Sim	0,00070
			Sim	0,02385

A grande maioria dos testes de condição dinâmica também tiveram seus critérios atendidos. Somente em 3 critérios de condição dinâmica o algoritmo se mostrou insuficiente. No teste de modulação de fase o algoritmo não satisfaz o critério de erro de frequência para a classe M por pouco, tendo erro relativo de 108%, somente 8% acima do valor padrão. Já no teste de rampa de frequência o critério de erro de frequência não foi atendido para ambas as classes P e M, por uma grande diferença de 220% em relação ao padrão.

Tabela 17: Resumo dos testes de condição dinâmica.

Teste	Classe P		Classe M	
	Atende?	TVE (%)	Atende?	TVE (%)
		FE (Hz)		FE (Hz)
		RFE (Hz/s)		RFE (Hz/s)
Modulação de amplitude	Sim	0,14	Sim	0,27
	Sim	0,00064	Sim	0,00069
	Sim	0,020	Sim	0,023
Modulação de fase	Sim	0,4	Sim	2,3
	Sim	0,054	Não	0,323
	Sim	0,088	Sim	3,337
Rampa em frequência	Sim	0,4	Sim	0,4
	Não	0,022	Não	0,022
	Sim	0,015	Sim	0,017

Nos testes de resposta ao degrau o algoritmo cumpriu todos os requisitos para o degrau de amplitude, mas apenas alguns requisitos para o degrau de ângulo. No teste de degrau em amplitude não foi observada nenhuma alteração perceptível nos erros após o degrau, sendo assim o tempo de resposta foi considerado nulo e o *overshoot*, praticamente inexistente, ficou compreendido dentro do agrupamento dos pontos podendo ser associado ao desvio padrão das medidas coletadas. O tempo de atraso também foi muito pequeno, de apenas 6% em relação ao padrão.

No teste de degrau de ângulo o algoritmo passou somente nos requisitos de tempo de resposta para a classe M pois o limite de tempo é superior ao determinado para a classe P.

Tabela 18: Resumo dos testes de resposta ao degrau.

Teste		Degrau de amplitude				Degrau de ângulo			
Classe		Classe P		Classe M		Classe P		Classe M	
Parâmetro		erro	atende?	erro	atende?	erro	atende?	erro	atende?
Tempo de resposta (s)	TVE	0,00	Sim	0,00	Sim	0,06	Não	0,06	Sim
	FE	0,00	Sim	0,00	Sim	0,12	Não	0,12	Sim
	RFE	0,00	Sim	0,00	Sim	0,15	Não	0,18	Sim
Tempo de atraso (s)		0,9 m	Sim	0,9 m	Sim	16,1 m	Não	16,1 m	Não
Overshoot/undershoot (%)		0,7	Sim	0,7	Sim	22	Não	22	Não

5.5 COMPARAÇÃO COM OS RESULTADOS DA DFT

A comparação dos resultados obtidos nesse trabalho será feita com os resultados apresentados por (GRANDO, 2016), que foi escolhido por basear-se na técnica da DFT, que é a mais tradicional aplicada em PMUs, e também porque seus resultados foram extraídos a partir da mesma plataforma de testes utilizada no presente trabalho.

Sabe-se que a DFT não é capaz de estimar os sincrofasores corretamente para frequências fora da nominal, como solução para isso o algoritmo proposto por (GRANDO, 2016) utiliza a estratégia de taxa de amostragem variável, controlada pela medida de frequência gerada pela PMU.

Por simplicidade nas tabelas a seguir os algoritmos serão identificados apenas como SRF-PLL e DFT. Os valores que não atenderam ao padrão IEEE estão apresentados em negrito.

A tabela 19 apresenta a comparação entre os testes de estado estacionário, em que o SRF-PLL atende a todos os requisitos do padrão IEEE e a DFT atende a todos exceto os requisitos do teste de interferência fora de banda. Pode-se observar que as estimações de frequência e ROCOF do SRF-PLL são mais sensíveis ao teste de magnitude pois mostra erros maiores do que a DFT.

No teste de frequência os resultados foram parecidos para ambos os algoritmos, apenas o erro de ROCOF da DFT foi significativamente menor. No teste de ângulo o TVE foi um pouco menor para o SRF-PLL, porém o FE e o FRE foram significativamente menores em favor da DFT. No teste de distorção harmônica o TVE e o RFE foram menores para o SRF-PLL e o FE menor com a DFT. Por último, no teste de interferência fora de banda apenas o SRF-PLL atendeu aos requisitos do padrão IEEE, sendo que a DFT sofreu pela ausência de um filtro digital.

Tabela 19: Comparação dos testes de estado estacionário.

Algoritmo	SRF-PLL				DFT			
	Classe P		Classe M		Classe P		Classe M	
Teste	Atende?	TVE	Atende?	TVE	Atende?	TVE	Atende?	TVE
		FE		FE		FE		FE
		RFE		RFE		RFE		RFE
Magnitude	Sim	6 %	Sim	31 %	Sim	8,3 %	Sim	58 %
	-	-	-	-	-	-	-	-
	-	-	-	-	-	-	-	-
Frequência	Sim	8 %	Sim	8 %	Sim	5,7 %	Sim	7 %
	Sim	11 %	Sim	12 %	Sim	12 %	Sim	12 %
	Sim	4,31 %	Sim	25 %	Sim	1 %	Sim	13 %
Ângulo	Sim	7 %	Sim	7 %	Sim	8 %	Sim	8 %
	Sim	-	Sim	-	Sim	-	Sim	-
	Sim	-	Sim	-	Sim	-	Sim	-
Distorção harmônica	Sim	7 %	Sim	5 %	Sim	8 %	Sim	7 %
	Sim	14 %	Sim	2,5 %	Sim	6 %	Sim	1 %
	Sim	5,25 %	Sim	-	Sim	1 %	Sim	-
Interferência fora de banda	N/A		Sim	5,4 %	N/A		Não	804 %
			Sim	7,0 %			Não	1115 %
			Sim	-			Não	-

A tabela 20 mostra a comparação dos testes de condição dinâmica. No teste de modulação de amplitude ambos os algoritmos atenderam aos requisitos do padrão IEEE. No teste de modulação de fase a DFT não atendeu aos requisitos de TVE e FE para a classe M, enquanto o SRF-PLL não atendeu somente ao requisito de FE para a classe M. No teste de rampa em frequência a DFT atendeu a todos os requisitos, porém o SRF-PLL não atendeu aos requisitos de FE para as Classes P e M.

Tabela 20: Comparação dos testes de condição dinâmica.

Algoritmo	SRF-PLL				DFT			
	Classe P		Classe M		Classe P		Classe M	
Teste	Atende?	TVE	Atende?	TVE	Atende?	TVE	Atende?	TVE
		FE		FE		FE		FE
		RFE		RFE		RFE		RFE
Modulação de amplitude	Sim	4,7 %	Sim	9 %	Sim	10 %	Sim	21 %
	Sim	1 %	Sim	0,23 %	Sim	0,5 %	Sim	0,1 %
	Sim	0,09 %	Sim	0,002 %	Sim	0,2 %	Sim	0,04 %
Modulação de fase	Sim	13 %	Sim	77 %	Sim	41,1 %	Não	151 %
	Sim	90 %	Não	108 %	Sim	57 %	Não	103 %
	Sim	4 %	Sim	24 %	Sim	69 %	Sim	98 %
Rampa em frequência	Sim	40 %	Sim	40 %	Sim	66 %	Sim	73 %
	Não	220 %	Não	220 %	Sim	27 %	Sim	9 %
	Sim	3,75 %	Sim	8,5 %	Sim	42 %	Sim	6 %

A tabela 21 mostra o resumo dos testes de resposta ao degrau em amplitude, na qual pode-se observar o atendimento de ambos os algoritmos a todos os requisitos do padrão IEEE.

Tabela 21: Comparação dos testes de resposta ao degrau em amplitude.

Algoritmo		SRF-PLL				DFT			
Classe		Classe P		Classe M		Classe P		Classe M	
Parâmetro		erro	atende?	erro	atende?	erro	atende?	erro	atende?
Tempo de resposta	TVE	0 %	Sim	0 %	Sim	0 %	Sim	0 %	Sim
	FE	0 %	Sim	0 %	Sim	0 %	Sim	0 %	Sim
	RFE	0 %	Sim	0 %	Sim	0 %	Sim	0 %	Sim
Tempo de atraso		9 %	Sim	9 %	Sim	0,8 %	Sim	0,8 %	Sim
Overshoot/ undershoot		14 %	Sim	7 %	Sim	7 %	Sim	7 %	Sim

A tabela 22 exibe o resumo dos testes de resposta ao degrau em ângulo, na qual apenas a DFT cumpre a todos os requisitos. O SRF-PLL atende apenas aos requisitos de tempo de resposta para a classe M. O mau desempenho do SRF-PLL nesse caso é atribuído ao *overshoot* excessivo, tanto em amplitude quanto em duração.

A redução do *overshoot* depende da diminuição dos ganhos do controlador PI, porém a redução dos ganhos torna mais lento o tempo de resposta ao ponto de comprometer o desempenho do algoritmo nos outros testes, portanto a configuração atual dos ganhos se mostra mais equilibrada para tais situações.

Tabela 22: Comparação dos testes de resposta ao degrau em ângulo.

Algoritmo		SRF-PLL				DFT			
Classe		Classe P		Classe M		Classe P		Classe M	
Parâmetro		erro	atende?	erro	atende?	erro	atende?	erro	atende?
Tempo de resposta	TVE	150 %	Não	21 %	Sim	0 %	Sim	0 %	Sim
	FE	133 %	Não	43 %	Sim	0 %	Sim	0 %	Sim
	RFE	125 %	Não	64 %	Sim	0 %	Sim	0 %	Sim
Tempo de atraso		161 %	Não	161 %	Não	0,08 %	Sim	0,08 %	Sim
Overshoot/ undershoot		440 %	Não	220 %	Não	7 %	Sim	7 %	Sim

6. CONCLUSÕES

Neste trabalho foi apresentado um algoritmo baseado no SRF-PLL capaz de atender todos os requisitos de estado estacionário do padrão IEEE C37.118.1-2011 e sua emenda C37.118.1a-2014. Ainda, foi possível atender a maioria dos requisitos de condição dinâmica, todos os requisitos de degrau de amplitude e parte dos requisitos de degrau de fase. Além disso, os resultados experimentais foram comparados aos da DFT testada com a mesma plataforma.

Os resultados dos testes de estado estacionário apresentaram erros muito inferiores aos limites máximos estipulados pelo padrão IEEE, enfatizando a excelente rejeição para distorção harmônica, e principalmente o atendimento ao critério de interferência fora de banda, que é uma vantagem em relação a DFT.

A solução completa de estimação fasorial é bastante extensa e envolve conhecimentos de diversas subáreas da engenharia elétrica, mesmo tratando-se de um algoritmo modular existem interações complexas ocorrendo entre os blocos do sistema que não foram abordadas. No entanto, o trabalho concentrou-se na implementação, teste e análise dos resultados obtidos.

O algoritmo proposto foi capaz de estimar a amplitude, fase, frequência e ROCOF, que juntos fornecem o sincrofasor de sequência positiva de sinais trifásicos. A abordagem modular adotada permitiu que as etapas de filtragem e de rastreamento fossem projetadas separadamente, exigindo apenas pequenos ajustes após a implementação prática para otimizar as estimações. Ajustes esses concentrados principalmente na compensação do sinal após o filtro FIR e nos ganhos do controlador.

O estágio de filtragem tem um papel importante em conjunto com a demodulação trifásica. A transformação dq é responsável por levar a componente de sequência negativa para o dobro da frequência fundamental, o que minimiza os requisitos para o projeto do filtro. Além disso, deve ser enfatizada a importância da característica de fase linear do filtro, que justificou a necessidade de um FIR, caso contrário o resultado poderia ter exibido erros inaceitáveis.

O rastreamento de fase com erro em regime permanente próximo de zero foi comprovado para o SRF-PLL, sendo o mesmo válido para as medições feitas de frequência e ROCOF. A estimação de amplitude também atendeu aos requisitos, mas

contribuiu com a maior parte do TVE significando que o algoritmo ainda pode ser melhorado.

Os resultados obtidos atenderam a quase todos os requisitos do padrão IEEE para uma taxa de medição de 25 FPS. Contudo, a estratégia de amostragem contínua (ponto a ponto) permite que a taxa de aquisição de fasores seja alterada com facilidade, diferentemente da estratégia de janelas de amostragem que necessita de um ajuste mais complexo. Na prática as PMUs comerciais podem reportar as estimações a taxas de 10 FPS para a classe M, voltada a aplicações de medição ou também a 50 FPS para a classe P, voltada a aplicações de proteção, ou seja, um sincrofasor por ciclo de onda na frequência fundamental de 50 Hz. Cada taxa de medição possui seus respectivos requisitos no padrão IEEE.

A taxa de amostragem utilizada, de 420 amostras por ciclo, a uma frequência fundamental de 50 Hz, resulta em 21 kHz (amostras/segundo). Isso é um valor considerado baixo em comparação com dispositivos comerciais que, na sua grande maioria, utilizam métodos clássicos como a DFT ou o PLL convencional para as estimações, confiando nos dispositivos de conversão A/D mais avançados para obter a precisão necessária, pois quanto maior a taxa de amostragem melhor a precisão das medidas.

O algoritmo ficará à disposição da comunidade acadêmica para ser testado e aprimorado, inclusive para aplicações e a realização de outras funções, como de diagnósticos da rede elétrica local. É esperado que a pesquisa, a análise e os resultados alcançados possam servir de base para o desenvolvimento de trabalhos futuros. Dessa forma contribuindo para a concepção de algoritmos de estimação voltados a PMUs de baixo custo e facilitando a disseminação de sistemas de medição em redes de distribuição com a pretensão de conceber redes inteligentes.

6.1 TRABALHOS FUTUROS

As sugestões a seguir são apresentadas como possibilidades para trabalhos futuros:

- Buscar na literatura metodologias para o cálculo dos ganhos do controlador PI que possibilitem melhorias no desempenho do algoritmo, sobretudo para condições dinâmicas e na resposta ao degrau de fase;
- Implementar outros filtros, tais como, IFIR e IIR de fase quase linear para investigar suas vantagens e desvantagem nessa aplicação comparando-os. Inclusive, analisar o custo computacional e o impacto sobre a exatidão das estimações na presença de ruídos;
- Testar o algoritmo com diferentes taxas de aquisição de fasores, desde taxas inferiores a 10 FPS até taxas superiores a 120 FPS, verificando o desempenho com relação aos requisitos do padrão IEEE para cada caso. Investigar se o SRF-PLL se destaca em comparação com outros algoritmos operando nas mesmas taxas de aquisição;
- Propor uma estratégia de estimação híbrida com o SRF-PLL e a DFT aproveitando suas vantagens individuais. Para que isso seja possível os dois algoritmos devem ser implementados na mesma PMU, sendo executados simultaneamente. Isso exige que ambos os códigos sejam otimizados, utilizando os recursos da biblioteca ARM do microcontrolador, para que o tempo de estimação dos fasores seja realizado no menor tempo possível.

REFERÊNCIAS

- AL-HAMMOURI, A. T. et al. Virtualization of Synchronized Phasor Measurement Units within Real-Time Simulators for Smart Grid Applications. **IEEE PES General Meeting 2012**, Stockholm, 2012. 7.
- ANGIONI, A. et al. A Low Cost PMU to Monitor Distribution Grids. **2017 IEEE International Workshop on Applied Measurements for Power Systems (AMPS)**, Liverpool, Inglaterra, Outubro 2017. ISSN 2475-2304.
- BANERJEE, P.; SRIVASTAVA, S. C. A Subspace-Based Dynamic Phasor Estimator for Synchrophasor Application. **IEEE Transactions on Instrumentation and Measurement**, v. 61, p. 2436-2445, 2012.
- BELEGA, D.; PETRI, D. Accuracy analysis of the multicycle synchrophasor estimator provided by the interpolated DFT algorithm. **IEEE Transactions on Instrumentation and Measurement**, v. 62, n. 5, p. 942-953, May 2013.
- BHARDWAJ, M. **Software Phase Locked Loop Design Using C2000™ Microcontrollers for Three Phase Grid Connected Applications**. Texas Instruments. Dallas, Texas, p. 27. 2013.
- BRAHMA, S. M.; GIRGIS, A. A. Development of adaptive protection scheme for distribution systems with high penetration of distributed generation. **IEEE Transactions on Power Delivery**, v. 19, n. 1, p. 56-63, Janeiro 2004.
- CARVALHO, G. U. et al. Design and Test of a SRF-PLL Based Algorithm for Positive-Sequence Synchrophasor Measurements. **15th Brazilian and 5th Southern Power Electronics Conferences**, Santos, Brasil, Dezembro 2019.
- CASTELLO, P. et al. Toward a class “P + M” Phasor Measurement Unit. **2013 IEEE International Workshop on Applied Measurements for Power Systems (AMPS)**, Aachen, Alemanha, p. 6, Novembro 2013.
- CASTELLO, P. et al. A Fast and Accurate PMU Algorithm for P+M Class Measurement of Synchrophasor and Frequency. **IEEE Transactions on Instrumentation and Measurement**, v. 63, n. 12, p. 2837-2845, December 2014.

DAS, S.; SIDHU, T. A Simple Synchrophasor Estimation Algorithm Considering IEEE Standard C37.118.1-2011 and Protection Requirements. **IEEE Transactions on Instrumentation and Measurement**, v. 62, p. 2704-2715, 2013.

DASH, P. K. et al. An extended complex Kalman filter for frequency measurement of distorted signals. **Power Engineering Society Winter Meeting**, v. 3, p. 1569-1574, 2000.

DIN, E. S. T. E. et al. An PMU double ended fault location scheme for aged power cables. **IEEE Power Engineering Society General Meeting**, San Francisco, CA, USA, June 2005.

EHRENSPERGER, J. G. **Sistemas de Medição Fasorial: Estudo e Análise do Estado da Arte**. UFSC. Florianópolis, p. 50. 2003.

FORTESCUE, C. L. Method of Symmetrical Co-Ordinates Applied to the Solution of Polyphase Networks. **Transactions of the American Institute of Electrical Engineers**, v. XXXVII, n. 2, p. 1027-1140, Julho 1918. ISSN 0096-3860.

GIOVANINI, R. et al. **Utilização de Fasores no Sistema Interligado Nacional**. VII SIMPASE. Salvador: [s.n.]. 2007. p. 6.

GIRGIS, A. A.; PETERSON, W. L. Adaptive estimation of power system frequency deviation and its rate of change for calculating sudden power system overloads. **IEEE Transactions on Power Delivery**, v. 5, n. 2, p. 585–594, Abril 1990.

GRANDO, F. L. Arquitetura Para o Desenvolvimento de Unidades de Medição Fasorial Sincronizada no Monitoramento a Nível de Distribuição. **Dissertação (Mestrado) - Universidade Tecnológica Federal do Paraná**, 2016.

GRANDO, F. L. et al. A PMU prototype for Synchronized Phasor and frequency measurements for smart grid applications. **2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)**, Fortaleza, Brasil, Novembro 2015. ISSN 978-1-4799-8778-8.

GRANDO, F. L. et al. A Synchrophasor Test Platform for Development and Assessment of Phasor Measurement Units. **IEEE Transactions on Industry Applications**, v. 54, n. 4, p. 3122-3131, 2018.

GRANDO, F. L.; DENARDIN, G. W.; MORETO, M. Test Platform for Analysis and Development of Phasor Measurement Units (PMU). **12th IEEE International Conference on Industry Applications (INDUSCON)**, p. 1-6, 2016.

HATAWAY, G.; MOXLEY, R.; FLERCHINGER, B. PowerSouth Energy Cooperative. **Synchrophasors for Distribution Applications**, 30 out. 2012. 6.

IEEE POWER & ENERGY SOCIETY. Standard for Synchrophasor Data Transfer for Power Systems. **IEEE std C37.118.2**, New York, 28 Dezembro 2011. 53.

IEEE POWER & ENERGY SOCIETY. Standard for Synchrophasor Measurements for Power Systems. **IEEE std C37.118.1**, New York, 28 Dezembro 2011. 61.

JIANG, J.-A. et al. An adaptive PMU based fault detection/location technique for transmission lines. II. PMU implementation and performance evaluation. **IEEE Transactions on Power Delivery**, v. 15, n. 4, p. 1136-1146, October 2000.

JINFENG, R.; KEZUNOVIC, M. Real-Time Power System Frequency and Phasors Estimation Using Recursive Wavelet Transform. **IEEE Transactions on Power Delivery**, v. 26, p. 1392-1402, 2011.

KAMWA, I.; SAMANTARAY, S. R.; JOOS, G. Wide Frequency Range Adaptive Phasor and Frequency PMU Algorithms. **IEEE Transactions on Smart Grid**, v. 5, n. 2, p. 569-579, March 2014.

KARIMI-GHARTEMANI, M. **Enhanced Phase-Locked Loop Structures For Power and Energy Applications**. Hoboken, New Jersey: IEEE Press Series on Microelectronic Systems, 2014.

KARIMI-GHARTEMANI, M.; BOON-TECK, O.; BAKHSHAI, A. Application of Enhanced Phase-Locked Loop System to the Computation of Synchrophasors. **IEEE Transactions on Power Delivery**, v. 26, p. 22-32, 2011.

KARIMI-GHARTEMANI, M.; OOI, B.-T.; BAKHSHAI, A. Application of Enhanced Phase-Locked Loop System to the Computation of Synchrophasors. **IEEE Transactions on Power Delivery**, v. 26, n. 1, p. 22-32, September 2010.

LO, C.-H.; ANSARI, N. The Progressive Smart Grid System from Both Power and Communications Aspects. **IEEE Communications Surveys & Tutorials**, Newark, Maio 2011. 23.

MACII, D.; PETRI, D.; ZORAT, A. Accuracy analysis and enhancement of DFT-based synchrophasor estimators in off-nominal conditions. **IEEE Transactions on Instrumentation and Measurement**, v. 61, n. 10, p. 2653-2664, October 2012.

MAGESWARI, A. U.; IGNATIOUS, J. J.; VINODHA, R. A Comparative Study Of Kalman Filter, Extended Kalman Filter And Unscented Kalman Filter For Harmonic Analysis Of The Non-Stationary Signals. **International Journal of Scientific & Engineering Research**, Julho 2012. 1-9.

MARTINEZ, M. R.; COLOME, D. G. Comportamiento de Algoritmos de Estimación Fasorial en Condiciones de Prueba Definidas por el Estándar IEEE Std. C37.118.1-2011. **10th Latinamerican Congress on Electricity Generation and Transmission - CLAGTEE 2013**, Viña del Mar, Chile, 2013.

MARTINEZ, M. R.; COLOME, D. G. A Phasor Estimation Algorithm Based on Conics Analysis with Vector Analytic Geometry. **2016 IEEE PES Transmission & Distribution Conference and Exposition - Latin America (PES T&D-LA)**, Morelia, Mexico, 2016.

MARTINS, R. D. S. **Apresentação do Sistema de Medição Fasorial Sincronizada e Abordagem de Sua Implantação no Estimador de Estado**. UFRJ. Rio de Janeiro, p. 82. 2019.

MESSINA, F. et al. A Novel Modular Positive-Sequence Synchrophasor Estimation Algorithm for PMUs. **IEEE Transactions On Instrumentation And Measurement**, Buenos Aires, v. 66, n. 6, p. 1164-1175, Jun 2017.

MOJIRI, M.; KARIMI-GHARTEMANI, M.; BAKHSHAI, A. Estimation of Power System Frequency Using an Adaptive Notch Filter. **IEEE Transactions on Instrumentation and Measurement**, v. 56, p. 2470-2477, 2007.

NATIONAL INSTRUMENTS. NI 6259 Device Specifications, p. 1-26, 2016.

NICOLOSI, R. A Grid-Connected Inverter controller with PMU capability. **Dissertação (Mestrado) - Scuola Di Ingegneria Industriale e Dell'Informazione**, 2015.

PEPERMANS, G. et al. Distributed generation: definition, benefits and issues. **Energy Policy**, v. 33, n. 6, p. 787-798, April 2005.

PHADKE, A. G.; THORP, J. S. **Synchronized Phasor Measurements and Their Applications**. 4ª. ed. Blacksburg: Springer, v. Único, 2008.

PREMERLANI, W.; KASZTENNY, B.; ADAMIAK, M. Development and Implementation of a Synchrophasor Estimator Capable of Measurements Under Dynamic Conditions. **IEEE Transactions on Power Delivery**, Nova Iorque, v. 23, p. 109-123, Janeiro 2008.

PREMERLANI, W.; KASZTENNY, B.; ADAMIAK, M. Development and Implementation of a Synchrophasor Estimator Capable of Measurements Under Dynamic Conditions. **IEEE Transactions on Power Delivery**, v. 23, p. 109-123, 2008.

RAJEEV, A.; S, A. T.; KHAN, F. Z. Fault location in distribution feeders with optimally placed PMU's. **2015 International Conference on Technological Advancements in Power and Energy (TAP Energy)**, Kollam, India, Agosto 2015. ISSN 978-1-4799-8279-0.

REN, J.; VENKATA, S. S.; SORTOMME, E. An accurate synchrophasor based fault location method for emerging distribution systems. **IEEE Transactions on Power Delivery**, v. 29, n. 1, p. 297-298, Fevereiro 2004.

RODRIGUEZ, P. et al. Decoupled Double Synchronous Reference Frame PLL for Power Converters Control. **IEEE Transactions on Power Electronics**, v. 22, n. 2, p. 584-592, March 2007.

ROMANO, P. et al. An interpolated DFT synchrophasor estimation algorithm and its implementation in an FPGA-based PMU prototype. **Power and Energy Society General Meeting (PES)**, p. 1-6, 2013.

SEGER, P. V. H. **Confecção e Avaliação de uma Plataforma de Testes de PMUs de Baixo Custo para Monitoramento de Sistemas Elétricos em Nível de Distribuição**. UFSC. Florianópolis, p. 96. 2019.

SERNA, J. A. D. L. O. Dynamic Phasor Estimates for Power System Oscillations. **IEEE Transactions on Instrumentation and Measurement**, v. 56, p. 1648-1657, Outubro 2007.

SERNA, J. A. D. L. O. Synchrophasor Estimation Using Prony's Method. **IEEE Transactions on Instrumentation and Measurement**, v. 62, p. 2119-2128, 2013.

SERNA, J. A. D. L. O.; MARTIN, K. E. Improving phasor measurements. **IEEE Transactions on Power Systems**, v. 18, n. 1, p. 160-166, Fevereiro 2003.

SHI, D. et al. Transmission line parameter identification using PMU measurements. **European Transactions on Electrical Power**, v. 21, n. 4, November 2010.

- SIDHU, T. S.; XUDONG, Z.; BALAMOUROUGAN, V. A new half-cycle phasor estimation algorithm. **IEEE Transactions on Power Delivery**, v. 20, p. 1299-1305, 2005.
- SOUZA, S. A. et al. Parameter Estimation for an Electric Power System Using Genetic Algorithms. **IEEE Latin America Transactions**, v. 4, p. 47-54, 2006.
- STATMAN, J. I. Simplified Solution for a Class of Fading Memory Filters. **IEEE Transactions On Aerospace And Electronic Systems**, Pasadena, v. AES-23, n. 3, p. 355-360, 20 Jan 1987.
- STATMAN, J. I.; HURD, W. J. An Estimator-Predictor Approach to PLL Loop Filter Design. **IEEE Transactions On Communications**, Pasadena, v. 38, n. 10, p. 1667-1669, Oct 1990.
- STMICROELECTRONICS. STM32F769xx Datasheet, p. 1-255, Setembro 2017.
- SUTAR, C.; VERMA, K. S.; PANDEY, A. S. Wide Area Measurement and Control Using Phasor Measurement Unit in Smart Grid. **International Journal of Computer Applications**, 2011. 5.
- TAHABILDER, A. et al. Distribution system monitoring by using micro-PMU in graph-theoretic way. **2017 4th International Conference on Advances in Electrical Engineering (ICAEE)**, Dhaka, Bangladesh, Janeiro 2018. ISSN 2378-2692.
- TAYLOR, F. **DIGITAL FILTERS Principles and Applications with MATLAB**. 1. ed. Hoboken, NJ: John Wiley & Sons, Inc., 2012.
- TERZIJA, V. V.; DJURIC, N. B.; KOVACEVIC, B. D. Voltage phasor and local system frequency estimation using Newton type algorithm. **IEEE Transactions on Power Delivery**, v. 9, p. 1368-1374, 1994.
- WANG, X. et al. Micro-PMU for distribution power lines. **CIREN - Open Access Proceedings Journal**, v. 2017, p. 333-337, Outubro 2017.
- WOOD, H. C.; JOHNSON, N. G.; SACHDEV, M. S. Kalman filtering applied to power system measurements relaying. **IEEE Transactions on Power Apparatus and Systems**, v. PAS-104, n. 12, p. 3565–3573, Dezembro 1985.

XU, C. **High Accuracy Real-time GPS Synchronized Frequency Measurement Device for Wide-area Power Grid Monitoring**. Virginia Polytechnic Institute University. Blacksburg, p. 149. 2006.

ZHIYING, Z. et al. An innovative timestamp-based convolution integral method in synchrophasor estimation within digital relays. **2011 International Conference on Advanced Power System Automation and Protection (APAP)**, p. 203-209, 2011.

ZWEIGLE, G. C.; GUZMAN-CASILLAS, A.; ANDERSON, L. S. **Apparatus And Method For Estimating Synchronized Phasors at Predetermined Times Referenced to a Common Time Standard in an Electrical System**. 8494795, 31 Março 2011.