

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DEPARTAMENTO ACADÊMICO DE ELETROTÉCNICA
ENGENHARIA DE CONTROLE E AUTOMAÇÃO**

**CAMILA SCOTTI PINTO
JOSUÉ ROSA DE ÁVILA
KAIQUE TONETTI PINTO**

**IMPLEMENTAÇÃO DE UM INVERSOR DE 9 NÍVEIS MONOFÁSICO
CONTROLADO POR DISPOSITIVO FPGA**

TRABALHO DE CONCLUSÃO DE CURSO

CURITIBA

2018

CAMILA SCOTTI PINTO
JOSUÉ ROSA DE AVILA
KAIQUE TONETTI PINTO

IMPLEMENTAÇÃO DE UM INVERSOR DE 9 NÍVEIS MONOFÁSICO
CONTROLADO POR DISPOSITIVO FPGA

Trabalho de Conclusão de Curso apresentado como requisito parcial à obtenção do título de Bacharel em Engenharia de Controle e Automação, do Departamento Acadêmico de Eletrotécnica, da Universidade Tecnológica Federal do Paraná.

Orientador: Prof. Dr. Amauri Amorin Assef

CURITIBA

2018

Camila Scotti Pinto
Josué Rosa de Ávila
Kaique Tonetti Pinto

Implementação de um inversor de 9 níveis monofásico controlado por dispositivo FPGA

Este Trabalho de Conclusão de Curso de Graduação foi julgado e aprovado como requisito parcial para a obtenção do Título de Engenheiro de Controle e Automação, do curso de Engenharia de Controle e Automação do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR).

Curitiba, 13 de março de 2018.

Prof. Paulo Sérgio Walenia, Esp.
Coordenador de Curso
Engenharia Elétrica

Prof. Amauri Amorim Assef, Dr.
Responsável pelos Trabalhos de Conclusão de Curso
de Engenharia de Controle e Automação do DAELT

ORIENTAÇÃO

Amauri Amorim Assef, Dr.
Universidade Tecnológica Federal do Paraná
Orientador

BANCA EXAMINADORA

Amauri Amorim Assef, Dr.
Universidade Tecnológica Federal do Paraná

Adriano Ruseler, Dr.
Universidade Tecnológica Federal do Paraná

Eduardo Felix Ribeiro Romanelli, Dr.
Universidade Tecnológica Federal do Paraná

A folha de aprovação assinada encontra-se na Coordenação do Curso de Engenharia Elétrica

AGRADECIMENTOS

Gostaríamos de agradecer principalmente ao Prof. Dr. Amauri Amorin Assef, nosso orientador, por nos oferecer auxílio essencial na execução deste projeto, sempre estando disponível para esclarecer as nossas dúvidas com relação ao tema. Também gostaríamos de agradecer aos membros da banca: Prof. Dr. Eduardo Félix Romaneli e Prof. Dr. Adriano Ruseler pelo conhecimento e pelas melhorias propostas, as quais nos ajudaram na realização do trabalho.

Agradecemos ao Leonardo Göbel e à Carolina Coelho pelo fornecimento do material e pelas dicas na sua execução. Ao LPEE pelo fornecimento do espaço, de equipamento e de auxílio durante a etapa final do processo. Ao Setor de Manutenção e Patrimônio da UTFPR por fornecer um espaço para fazer os testes iniciais e de parte do equipamento utilizado.

Por fim, mas não menos importante, gostaríamos de agradecer a todos os professores e servidores da universidade por serem parte essencial da nossa formação como engenheiros.

À nossa família, amigos e todas as pessoas que impactaram positivamente nas nossas vidas nos últimos anos, nos fornecendo amor, incentivo e apoio em todos os momentos.

RESUMO

PINTO, Camila S., PINTO, Kaique T., ÁVILA, Josué R. Implementação de um Inversor Monofásico de Nove Níveis Controlado por um Dispositivo FPGA. 2018. 84 f. Trabalho de conclusão de curso (Engenharia de Controle e Automação) – Universidade Tecnológica Federal do Paraná. Curitiba, 2018.

Este trabalho apresenta o estudo sobre as principais topologias de conversores multiníveis de tensão e estratégias de modulações PWM (*Pulse-Width Modulation*) para o desenvolvimento de um inversor multinível ponte H em cascata com nove níveis de tensão, controlado por dispositivo FPGA (*Field Programmable Gate Array*) para uso acadêmico e didático. Para poder observar o comportamento do inversor para as quatro diferentes estratégias de modulação escolhidas foram implementados diferentes modelos (um para cada modulação) utilizando a ferramenta Simulink do Matlab. Cada uma das estratégias de modulação foi simulada com os índices 0.25, 0.5, 0.75 e 1. Através do *software* Quartus II, foi realizada a programação na linguagem VHDL para implementação no dispositivo FPGA Altera Cyclone IV contido na placa DE0-nano. Para que fosse possível realizar a validação dos sinais PWM, foi utilizado o *software* ModelSim e em seguida aplicados às placas protótipos desenvolvida em um Trabalho de Conclusão de Curso (TCC) anterior na Universidade Tecnológica Federal do Paraná (UTFPR). Os resultados simulados e experimentais dos sinais PWM para os diferentes índices de modulação e cargas confirmam que este trabalho de fato explora uma alternativa viável e didática para o estudo de inversores com 9 com potência de até 250 W.

Palavras-chaves: Eletrônica de Potência. Inversor Multinível. Ponte H em Cascata. FPGA. Modulação PWM.

ABSTRACT

PINTO, Camila S., PINTO, Kaique T., ÁVILA, Josué R. Implementation of a Single-Phase Nine Levels Inverter Controlled by a FPGA. 2018. 84 f. Trabalho de conclusão de curso (Engenharia de Controle e Automação) – Universidade Tecnológica Federal do Paraná. Curitiba, 2018.

This work shows a study about the main topologies of multilevel voltage inverters and of different PWM (Pulse Width Modulation) modulation strategies for developing a cascaded H-bridge multilevel inverter with nine voltage levels, controlled by (Field Programmable Gate Array) for academic and educational use. To observe the inverter's behavior for the four chosen modulation strategies were implemented different models (one for each modulation strategy) using Matlab Simulink. Each of the modulation strategies were simulated with the indices 0.25, 0.5, 0.75 and 1. Using the Quartus II software, the code written in VHDL language was implemented in the FPGA Altera Cyclone IV device contained in the DE0-nano board. In order to validate the PWM signals, the software ModelSim was used and then applied to the prototype boards developed in a previous Trabalho de Conclusão de Curso (TCC) on Universidade Tecnológica Federal do Paraná (UTFPR). The simulated and experimental results of the PWM signals for the different modulation and load indexes confirm that this work actually explores a viable and didactic alternative for the study of inverters with 9 with power up to 250 W.

Keywords: Power Electronics. Multilevel Inverter. Cascaded H-Bridge. FPGA. Pulse Width Modulation.

LISTA DE SIGLAS, ABREVIações E ACRÔNIMOS

A_p	Amplitude Sinal de Portadora
ABEL	<i>Advanced Boolean Expression Language</i>
APOD	<i>Alternative Phase Opposition Disposition</i>
A_r	Amplitude Sinal de Referência
CA	Corrente Alternada
CC	Corrente Contínua
CI	Circuito Integrado
DSP	<i>Digital Signal Processing</i>
EEPROM	<i>Electrically Erasable Programmable Read-Only Memory</i>
EPROM	<i>Erasable Programmable Read-Only Memory</i>
FC	<i>Flying Capacitor</i>
f_p	Frequência Sinal de Portadora
FPGA	<i>Field Programmable Gate Array</i>
f_r	Frequência Sinal de Referência
GCT	<i>Gate-Commutated Thyristor</i>
GTO	<i>Gate Turn-Off Thyristor</i>
HDL	<i>Hardware Description Language</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IGCT	<i>integrated Gate-Commutated Thyristor</i>
JTAG	<i>Joint Test Action Group</i>
LCD	<i>Liquid Crystal Display</i>
m_a	Índice de Modulação de Amplitude
m_f	Índice de Modulação de Frequência
MH	Mega Hertz
MOSFET	<i>Metal–Oxide–Semiconductor Field-Effect Transistor</i>
NPC	<i>Neutral Point Clamped</i>
NTC	<i>Negative Temperature Coefficient</i>
PD	<i>Phase Disposition</i>
PLL	<i>Phase-Locked Loop</i>

POD	<i>Phase Opposition Disposition</i>
OS	<i>Phase Shifted</i>
PWM	<i>Pulse Width Modulation</i>
SCR	<i>Silicon Controlled Rectifier</i>
SDCD	Sistema de Controle Distribuído
SDRAM	<i>Synchronous Dynamic Random-Access Memory</i>
SEMAP	Setor de Manutenção e Patrimônio
SHE	<i>Selective Harmonic Interference</i>
TCC	Trabalho de Conclusão de Curso
USB	Universal Serial Bus
UTFPR	Universidade Tecnológica Federal do Paraná
VHDL	<i>Very High Speed Integrated Circuits Hardware Description Language</i>

LISTA DE ILUSTRAÇÕES

Figura 1 - Estrutura de um inversor multinível ponte H em cascata monofásico.	15
Figura 2 - Inversor Ponte H em Cascata (a) Célula Básica (b) conexão de N células.	22
Figura 3 - Exemplo de modulação PWM.	25
Figura 4 - Modulação com portadoras dispostas em oposição alternada de fase (APOD). ...	26
Figura 5 - Modulação com portadoras dispostas em oposição de fase (POD).	27
Figura 6 - Modulação com portadoras dispostas em fase (PD).	28
Figura 7 - Modulação com portadoras dispostas em deslocamento de fase (PS).	29
Figura 8 - Esquema geral da arquitetura interna de um dispositivo FPGA.	33
Figura 9 - Ambiente de desenvolvimento de um dispositivo FPGA.	34
Figura 10 - Layout e componentes da placa DE0-Nano.	37
Figura 11 - Diagrama de blocos DE0-Nano.	38
Figura 12 - Inversor multinível (5 níveis) monofásico, com topologia clássica em ponte H em cascata.	39
Figura 13 - Circuito do driver responsável pelo comando da chave S1.	40
Figura 14 - Circuito Inversor Multinível ponte H em Cascata com 8 chaves semicondutoras.	41
Figura 15 - Circuito de potência implementado no Simulink.	42
Figura 16 - Circuito lógico para uma portadora implementado no Simulink.	43
Figura 17 - Circuito lógico para 8 portadoras em APOD implementado no Simulink.	44
Figura 18 - Códigos VHDL em blocos que foram utilizados para realização do projeto onde (a) representa o PLL e gerador de portadoras, (b) o bloco de comparação e tempo morto e (c) o gerador da senoide e bloco gerado pelo Qsys com a lógica para o ADC.	46
Figura 19 - Circuito final montado com duas placas inversoras e kit DE0-Nano.	47
Figura 20 - Comparação entre sinal modulante e portadoras por disposição em oposição de fase (POD).	49
Figura 21 - Tensões de saída sintetizadas e correntes na carga por disposição em oposição de fase (POD).	49
Figura 22 - Comparação entre sinal modulante e portadoras por disposição em oposição de fase alternadas (APOD).	50
Figura 23 - Tensões de saída sintetizadas e correntes na carga por disposição em oposição de fase alternadas (APOD).	50
Figura 24 - Comparação entre sinal modulante e portadoras por disposição em fase (PD).	51
Figura 25 - Tensões de saída sintetizadas e correntes na carga por disposição em fase (PD).	51
Figura 26 - Comparação entre sinal modulante e portadoras por deslocamento em fase (PS).	52
Figura 27 - Tensões de saída sintetizadas e correntes na carga por deslocamento em fase (PS).	52
Figura 28 - Análise harmônica na modulação POD com $m_a = 1$ e $m_f = 40$	54
Figura 29 - Análise harmônica na modulação APOD com $m_a = 1$ e $m_f = 40$	54
Figura 30 - Análise harmônica na modulação PD com $m_a = 1$ e $m_f = 40$	55
Figura 31 - Análise harmônica na modulação PS com $m_a = 1$ e $m_f = 10$	55
Figura 32 - Zona Morta no PWM.	56

Figura 33 - Resultado do Circuito para Disposição em Oposição de Fase (POD) (a) observando a forma completa da onda com escala de tempo de 4 ms e (b) com escala de tempo de 1 ms para detalhamento dos chaveamentos.	57
Figura 34 - Resultado do Circuito para a Modulação em Disposição em Oposição de Fase Alternada (APOD) (a) observando a forma completa com escala de tempo de 4 ms e (b) com escala de tempo de 1 ms para detalhamento dos chaveamentos.	58
Figura 35 - Resultado do Circuito para Disposição em Fase (PD) (a) observando a forma completa da onda com escala de tempo de 4 ms e (b) com escala de tempo de 1 ms para detalhamento dos chaveamentos.	59
Figura 36 - Resultado do Circuito para Deslocamento de Fase (PS) (a) observando a forma completa da onda com escala de tempo de 4 ms e (b) com escala de tempo de 1 ms para detalhamento dos chaveamentos.	60
Figura 37 - Resultado da modulação POD sem a presença de carga (a) somente com filtragem de ruídos e (b) com média de 32 valores.	62
Figura 38 - Resultado da modulação APOD sem a presença de carga (a) somente com filtragem de ruídos e (b) com média de 32 valores.	63
Figura 39 - Resultado da modulação PD sem a presença de carga (a) somente com filtragem de ruídos e (b) com média de 32 valores.	64
Figura 40 - Resultado da modulação PS sem a presença de carga (a) somente com filtragem de ruídos e (b) com média de 32 valores.	65
Figura 41 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga do circuito de potência com modulação POD (a) somente com filtragem de ruídos e (b) com média de 32 valores.	66
Figura 42 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga do circuito de potência com modulação APOD (a) somente com filtragem de ruídos e (b) com média de 32 valores.	67
Figura 43 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga do circuito de potência com modulação PD (a) somente com filtragem de ruídos e (b) com média de 32 valores.	68
Figura 44 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga do circuito de potência com modulação PS (a) somente com filtragem de ruídos e (b) com média de 32 valores.	69
Figura 45 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga resistiva-indutiva do circuito de potência com modulação POD (a) somente com filtragem de ruídos e (b) com média de 32 valores.	70
Figura 46 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga resistiva-indutiva do circuito de potência com modulação APOD (a) somente com filtragem de ruídos e (b) com média de 32 valores.	71
Figura 47 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga resistiva-indutiva do circuito de potência com modulação PD (a) somente com filtragem de ruídos e (b) com média de 32 valores.	72
Figura 48 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga resistiva-indutiva do circuito de potência com modulação PS (a) somente com filtragem de ruídos e (b) com média de 32 valores.	73

LISTA DE TABELAS

Tabela 1 - Estado de condução dos interruptores e tensão de saída em um inversor Ponte H Cascata de 5 níveis.	23
Tabela 2 - Comparação entre as famílias de dispositivos FPGA da Xilinx.	31
Tabela 3 - Comparação entre as famílias de dispositivos FPGA da Intel.	31
Tabela 4 - THD para as diferentes estratégias de modulação em diferentes m_a	53

SUMÁRIO

1 INTRODUÇÃO	13
1.1 TEMA	13
1.1.1 Delimitação do Tema	16
1.2 PROBLEMAS E PREMISSAS	16
1.3 OBJETIVOS	17
1.3.1 Objetivo Geral	17
1.3.2 Objetivos Específicos	17
1.4 JUSTIFICATIVA	17
1.5 PROCEDIMENTOS METODOLÓGICOS	18
1.6 ESTRUTURA DO TRABALHO	18
2 FUNDAMENTAÇÃO TEORICA	20
2.1 INTRODUÇÃO A CONVERSORES MULTINÍVEL	20
2.2 TOPOLOGIAS DE CONVERSORES MULTINÍVEL DE TENSÃO	20
2.2.1 Inversor com Ponto Neutro Grampeado a Diodo (NPC)	20
2.2.2 Inversor com Capacitor Flutuante (FC)	21
2.2.3 Inversor Ponte H em Cascata	21
2.3 ESTRATÉGIAS DE MODULAÇÃO	23
2.3.1 Modulação por eliminação seletiva de harmônicas – SHE	24
2.3.2 Modulação por largura de pulso	24
2.3.2.1 Disposição em oposição de fases alternadas (APOD)	26
2.3.2.2 Disposição em oposição de fase (POD)	27
2.3.2.3 Disposição em fase (PD)	27
2.3.2.4 Deslocamento em fase (PS)	28
2.4 DISPOSITIVO DE LÓGICA RECONFIGURÁVEL FPGA	29
2.4.1 Aspectos Gerais do FPGA	32
2.4.2 Famílias FPGAs da Altera	33
2.4.3 Metodologia de Implementação	33
2.4.4 Etapas de um Projeto Utilizando FPGA	34
2.4.4.1 Síntese Lógica	35
2.4.4.2 Arquitetura de Roteamento	35
2.4.4.3 Verificações e Testes	36

2.4.4.4 Programação do FPGA	36
3. MATERIAIS E MÉTODOS	37
3.1 KIT DE DESENVIMENTO DE0-NANO TERCAS-ALTERA	37
3.2 CIRCUITO ESQUEMÁTICO E LAYOUT PLACA PROTÓTIPO	38
3.3 SIMULAÇÃO DO INVERSOR MULTINÍVEL NO SIMULINK.....	41
3.4 CÓDIGO IMPLEMENTADO NA DE0-NANO	44
3.5 TESTES REALIZADOS COM O USO DA PLACA	46
4. RESULTADOS.....	48
4.1 RESULTADO DA SIMULAÇÃO DO INVERSOR MULTINÍVEL NO SIMULINK	48
4.2 RESULTADO DA SIMULAÇÃO DO CIRCUITO NO MODELSIM	56
4.3 RESULTADO DO CIRCUITO PROGRAMADO NA PLACA DE0-NANO	56
4.4 RESULTADOS OBTIDOS COM O CIRCUITO DE POTÊNCIA.....	61
5 CONCLUSÕES	74
REFERÊNCIAS.....	75
APÊNDICE A – SISTEMA GERADO COM O AUXILIO DO QSYS	78
APÊNDICE B – CÓDIGO PARA LEITURA DO ADC	79
APÊNDICE C – SINAIS OBTIDOS NO MODELSIM	80
APÊNDICE D – CÓDIGO PARA LEITURA DO ADC.....	83

1. INTRODUÇÃO

1.1 TEMA

A Eletrônica de Potência trata da aplicação de dispositivos semicondutores de potência na conversão e controle de energia elétrica em níveis de alta potência. O termo surgiu com a criação do retificador controlado de silício (SCR), na década de 60 e, desde então, cresceu com muita rapidez, com o desenvolvimento de dispositivos de alta confiabilidade e de pequeno porte que podem chavear altas correntes em altas tensões e expandiu a sua abrangência para diversas áreas (AHMED, 2000).

Um dos mais importantes enfoques de pesquisa em Eletrônica de Potência consiste na busca dispositivos semicondutores de potência que sejam capazes de conduzir correntes elevadas e suportar elevados níveis de tensão quando bloqueados (BARBI, BRAGA, 2000).

A função de um inversor é transformar uma fonte contínua (de corrente ou de tensão) em uma fonte alternada, cujo valor médio seja nulo e a frequência constante, sendo que os níveis de corrente e tensão da saída podem ser fixos ou variáveis. Normalmente a forma de onda na saída é retangular e apresenta um alto conteúdo harmônico, o que normalmente não é desejado (BARBI, MARTINS, 2008). Estes dispositivos são utilizados, em controle de velocidade em motores síncronos e de indução, aquecimento por indução, fontes de alimentação para aeronaves e de funcionamento contínuo e transmissões de corrente contínua em alta tensão (AHMED,2000). Além das áreas de atuação já citadas, inversores com diferentes topologias, como os multiníveis podem ser empregados para o uso de energias renováveis (como solar e eólica).

O inversor multinível tem atraído muita atenção nos últimos anos. Sua principal vantagem é reduzir o conteúdo harmônico e, assim, melhorar o desempenho e aumentar a eficiência do sistema de potência. Existem várias topologias multiníveis que passaram a ser estudadas e desenvolvidas recentemente. Para que esta seja adequada, a estrutura de um inversor multinível deve ter o mínimo de comutadores possível, ser capaz de suportar uma alta tensão de entrada

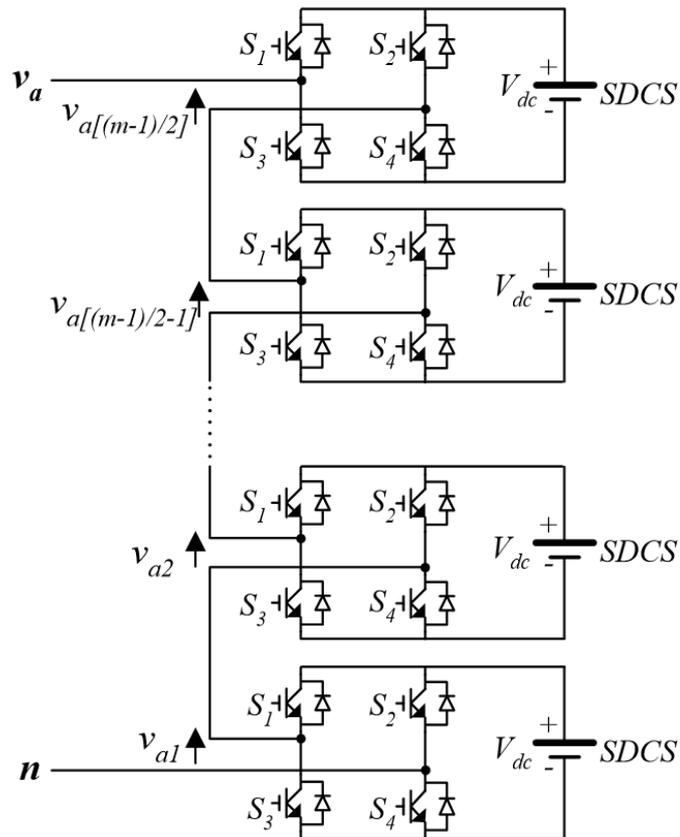
e cada comutador deve ter uma baixa frequência de comutação (KHOMFOI, TOLBERT, 2007).

Existem três topologias principais de inversores: o inversor com capacitores flutuantes, o inversor de grampeamento e inversor de ponte H em cascata. Entre essas topologias, o inversor com capacitor flutuante é difícil de ser concebido em inversores com mais de 3 níveis devido à dificuldade no balanceamento das tensões. O inversor de grampeamento é difícil de ser utilizado como multinível por causa do problema natural do desbalanceamento da tensão do circuito CC. A desvantagem da configuração em cascata é que são necessárias fontes de corrente contínua separadas. Porém, esta topologia é fácil de ser utilizada como multinível. Por este motivo, a topologia em ponte H tem sido muito utilizada como inversor (GONÇALVES, 2011; TAHRI, DRAOU, 2012).

Outras topologias têm aumentado em notoriedade recentemente, como por exemplo a *Modular Multilevel Converter* (MMC). Sua principal vantagem é o seu projeto modular e a fácil adaptação em aplicações que requerem diferentes níveis de tensão e potência (FALAH, 2015). Também existe a topologia *Envelope Type* (*E-Type*), que é capaz de gerar um inversor de 13 níveis utilizando menos componentes (SAMADEI et al., 2016) Porém, por motivos já citados anteriormente e por ser uma tecnologia já consolidada, foi selecionada a topologia ponte H em cascata para este trabalho.

Na Figura 1, está presente um inversor em ponte H de m níveis. Cada fonte de corrente contínua separada, denominada como SDCS, está conectada em um inversor em ponte H. Cada um desses inversores é capaz de gerar três níveis de tensão: $+V_{dc}$, 0 e $-V_{dc}$, através de diferentes combinações das chaves S_1 , S_2 , S_3 e S_4 . (KHOMFOI, TOLBERT, 2007).

Figura 1 - Estrutura de um inversor multinível ponte H em cascata monofásico.



Fonte: Khomfoi e Tolbert (2007).

Em inversores multiníveis, por haver um número maior de dispositivos, há também um aumento da complexidade do sistema. Para implantar os conversores multiníveis, tem sido desenvolvidos semicondutores de potência mais rápidos e geralmente empregados controladores de elevada capacidade e velocidade de processamento, como é o caso do dispositivo *Field Programmable Gate Array* (FPGA) e do *Digital Signal Processor* (DSP), sendo que o FPGA é o que apresenta a maior velocidade de processamento e flexibilidade do modulador (MEIRELES, 2010; ESPINDOLA, 2011).

FPGAs são circuitos integrados (CIs) comuns com lógica reconfigurável que podem ser programados por um usuário a fim de executar uma variedade de funções lógicas complexas. Pela grande flexibilidade de programação e campos de uso, os FPGAs costumam ser uma boa escolha com relação aos seus concorrentes. O alto nível de integração disponível nesses dispositivos significa que eles podem ser utilizados para implementar sistemas eletrônicos complexos. Tipicamente, são compostos por três tipos de componentes: blocos de entrada e saída, blocos lógicos

configuráveis e chaves de interconexão. Os blocos lógicos são dispostos de forma bidimensional e as chaves de interconexão em formas de trilhas verticais e horizontais entre as linhas e as colunas dos blocos lógicos (MEKHILEF, MASOUD, 2006; DA COSTA, 2009; ESPINDOLA, 2011).

1.1.1 Delimitação do Tema

O trabalho apresenta um estudo sobre inversores de potência para sintetização de forma de onda de até 9 níveis. Foi feita a implementação de um inversor multinível monofásico em ponte H controlado por FPGA de caráter didático a partir de duas estruturas com capacidade de geração de ondas com 5 níveis desenvolvidas em um Trabalho de Conclusão de Curso (TCC) anterior na Universidade Tecnológica Federal do Paraná (UTFPR) (FERNANDES, COELHO, 2016). O inversor multinível implementado é de pequeno porte e tem a finalidade de apresentar uma solução simples de baixa potência para aplicações de ensino e pesquisa.

1.2 PROBLEMAS E PREMISSAS

Entre as dificuldades deste trabalho estava a necessidade do aprendizado da linguagem de descrição de *hardware* VHDL (*Very High Speed Integrated Circuits Hardware Description Language*) para a implementação do controle em FPGA, assim como o aprendizado do *software* Quartus II para o mesmo fim.

A montagem da topologia se deu pela adequação e junção de dois inversores de 5 níveis em ponte H em cascata já elaborados anteriormente na UTFPR (FERNANDES, COELHO, 2016). O trabalho foi focado na avaliação de diferentes técnicas de modulação, leitura de tensão de saída sintetizada e controle do índice de modulação de amplitude através da leitura de um potenciômetro.

A topologia em ponte H tem a desvantagem de exigir a utilização de duas fontes de tensão isoladas. Tal problema é possível de ser evitado com a utilização de transformadores isoladores, porém aumentando o custo do projeto (BRAGA, BARBI, 2000).

Uma desvantagem da utilização de inversores multinível é a grande quantidade de transistores de potência utilizados. Isto, conseqüentemente, aumenta a complexidade do controle empregado nos interruptores, o que pode acarretar em desbalanceamento, diminuição de robustez, falhas e aumento do número de circuitos de *drivers* para acionar os interruptores de potência (DA SILVA, 2009).

1.3 OBJETIVOS

1.3.1 Objetivo Geral

Desenvolver um sistema inversor de até 9 níveis monofásico com potência máxima de 250 W em ponte H em cascata, controlado por FPGA, com possibilidade de leitura digital da tensão de saída sintetizada.

1.3.2 Objetivos Específicos

- Estudar os diferentes tipos de modulação e operação;
- Elaborar um algoritmo de controle para o dispositivo FPGA;
- Simular o funcionamento do inversor com diferentes índices de modulação;
- Implementar os códigos em linguagem VHDL e em blocos para realizar o controle do inversor;
- Implementar controle do módulo de operação através de um potenciômetro;
- Testar o inversor utilizando cargas disponíveis em laboratório;
- Analisar os resultados e obter a conclusão do trabalho.

1.4 JUSTIFICATIVA

Dispositivos semicondutores como o IGBT, IGCT, GCT, GTO e SCR são capazes de conduzir elevadas correntes e suportar elevados níveis de tensão quando bloqueados, porém, nas aplicações nas quais são utilizados níveis de

tensão e corrente superiores ao máximo permitido por estes dispositivos, faz-se necessário o uso da estrutura multinível (WALTRICH, 2009).

Inversores multinível têm como vantagem com relação aos outros inversores, o fato de reduzirem o conteúdo harmônico, apresentando assim uma maior eficiência e, conseqüente, uma etapa de filtragem menos complexa. Dessa forma, este trabalho busca apresentar uma topologia compacta, simples e de baixo custo que poderá auxiliar estudantes e pesquisadores a desenvolverem novas técnicas de controle digital baseadas em dispositivos de lógica reconfigurável FPGA.

1.5 PROCEDIMENTOS METODOLÓGICOS

Este trabalho é constituído de quatro etapas principais. A primeira serviu para se realizar o levantamento bibliográfico do material (em geral livros e artigos), necessário para explorar todos os pontos desejados do tema escolhido. Sendo assim, esta etapa foi voltada para estudar a topologia escolhida, investigar seu funcionamento e seus problemas, além da avaliação de diferentes técnicas de modulação. Na segunda etapa, o foco dos estudos foi o FPGA, seu funcionamento, sua aplicação para o projeto e a linguagem VHDL, necessária para programação. Nesta etapa também foi realizada a simulação do circuito utilizando o *Simulink* com toda a lógica dos inversores para que seja possível visualizar se os resultados se adequam ao esperado. Por fim, foi desenvolvido também nesta etapa o algoritmo de controle utilizando o *software* Quartus II. A terceira e última parte consiste em implementar o circuito com potenciômetro e o módulo FPGA Altera Cyclone IV através da placa DE0-Nano, utilizando-se do circuito já desenvolvido no TCC anterior (FERNANDES, COELHO, 2016). Em seguida, foram realizados testes práticos e os resultados obtidos foram analisados para verificar o quanto se aproximam resultados das simulações e se os objetivos foram alcançados ou se alguma mudança deverá ser realizada.

1.6 ESTRUTURA DO TRABALHO

Este trabalho é dividido em 5 capítulos, o primeiro é responsável pela introdução ao trabalho, delimitando o tema, os objetivos almejados e uma sucinta explicação de como esse trabalho é dividido. No capítulo 2 uma fundamentação

teórica é feita, apresentando o funcionamento do inversor de 9 níveis e como foi obtido. Neste capítulo é explicado o papel da programação em FPGA para a modulação das ondas e aquisição dos diferentes níveis. No terceiro capítulo são apresentados os materiais utilizados, seu funcionamento e qual a importância de cada um deles para o sucesso do projeto. Já no quarto capítulo são apresentados os resultados obtidos nas simulações e das práticas que foram realizadas, podendo assim ter uma ideia do comportamento do circuito para diferentes cargas. No quinto capítulo os resultados obtidos são discutidos e no último são apresentadas as conclusões gerais desse trabalho, revisando a obtenção dos objetivos específicos e sugeridos trabalhos futuros.

2 FUNDAMENTAÇÃO TEORICA

2.1 INTRODUÇÃO A CONVERSORES MULTINÍVEL

Em caso de aplicações de alta potência, com elevados níveis de tensão ou corrente, os conversores tradicionais usam dispositivos semicondutores em série ou paralelo para superar as limitações destes. O problema desta conexão é que não se pode garantir que estes semicondutores estarão submetidos aos mesmos níveis de tensão e corrente. Além disso, os conversores tradicionais submetidos a altas potências não têm capacidade de operar com maiores frequências de comutação, tendo um desempenho harmônico penalizado. Por estas razões, conversores multiníveis são utilizados para sintetizar ondas de alta tensão ou corrente (RECH, 2005).

As topologias dos conversores multiníveis podem ser classificadas em dois grandes grupos: conversores multiníveis de tensão e conversores multiníveis de frequência. Os conversores multiníveis de tensão dividem a tensão total em um determinado número de interruptores conectados em série. São normalmente aplicados em sistemas de alta potência que utilizam altos níveis de tensão para reduzir a corrente no conversor e, assim, diminuir as perdas em condução e aumentar a eficiência do sistema. Já os conversores multiníveis de corrente dividem a corrente total em um determinado número de interruptores em paralelo (RECH, 2005).

2.2 TOPOLOGIAS DE CONVERSORES MULTINÍVEL DE TENSÃO

Neste tópico serão exploradas as 3 principais topologias de conversores multinível de tensão citadas no capítulo anterior, um vez que estas já são tecnologias consolidadas.

2.2.1 Inversor com Ponto Neutro Grampeado a Diodo (NPC)

Este conceito foi introduzido por Baker em 1980, com a proposta de um inversor de 3 níveis. Nesta topologia, as tensões de saída apresentam um menor

conteúdo harmônico e há a possibilidade da utilização de dispositivos semicondutores com metade do limite de tensão para o caso de 2 níveis (RECH et al., 2004).

O número de níveis pode ser aumentado por acréscimo de capacitores. Porém, devido à dificuldade de balancear a tensão no divisor capacitivo, são utilizados apenas dois capacitores em série na maioria das aplicações. Assim, é possível aplicar 3 níveis de tensão (GONÇALVES, 2011).

Um grande problema desta topologia é o desequilíbrio das tensões no inversor capacitivo. Este desequilíbrio causa distorções na forma de onda da saída, piorando o conteúdo espectral, além de não distribuir igualmente a tensão aplicada nas chaves do mesmo braço. Este problema pode ser amenizado utilizando técnicas de modulação por largura de pulso ou utilizando um retificador de 12 pulsos para alimentar o inversor (GONÇALVES, 2011).

2.2.2 Inversor com Capacitor Flutuante (FC)

Uma alternativa a estrutura NPC surgiu alguns anos mais tarde, sendo proposto por MEYNARD e FOCH, na qual os diodos NPC são substituídos por capacitores flutuantes, com função de grampear a tensão de bloqueio das chaves internas (HENN, 2012). Uma das vantagens mais importantes desta topologia é o fato de dispensar o uso de filtros e controlar o fluxo de potência ativa e reativa através de redundância nas tensões aplicadas (GONÇALVES, 2011).

As principais desvantagens estão na dificuldade do desbalanceamento da tensão dos capacitores com transferência de potência ativa e a necessidade de um grande número de capacitores. Para que cada capacitor esteja sujeito à mesma especificação de tensão dos interruptores principais, torna-se necessária a utilização de capacitores em série (RECH et al., 2004).

2.2.3 Inversor Ponte H em Cascata

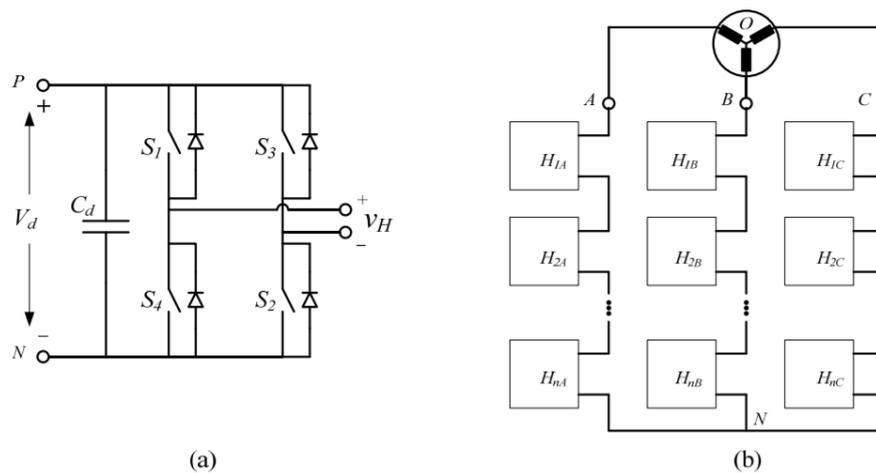
Esta topologia é formada pelo cascadeamento de diversos inversores convencionais a dois níveis. A estrutura foi proposta em 1991 por Machesoni et al. e a sua principal vantagem é reduzir a necessidade de componentes por não utilizar diodos de grampeamento ou capacitores flutuantes. Também possui um controle

mais simples, já que as estruturas dos inversores cascadeados são idênticas entre si e ainda conta com a possibilidade de utilizar uma construção modular, reduzindo os custos, manutenção e complexidade (HENN, 2012).

É utilizado em diversas aplicações, como amplificadores de telecomunicações, plasma, compensadores estáticos e acionamento de máquinas elétricas, dentre outros (FLORES, 2009). A topologia tem vantagens e aplicações de alta potência por não necessitarem de diodos ou capacitores de grampeamento e também porque não ocorre desbalanceamento das fontes de tensão (RECH et al., 2004).

Na Figura 2(a) é apresentada a célula básica de um inversor ponte H. Ao se combinar várias delas na Figura 2(b), tem-se o inversor ponte H em cascata.

Figura 2 - Inversor Ponte H em Cascata (a) Célula Básica (b) conexão de N células.



Fonte: Flores (2009).

Para que um inversor possua m níveis de tensão é necessário em um número n de células básicas, conforme a Equação 1. (RECH et al., 2004).

$$m = 1 + 2n \quad (1)$$

A Tabela 1 apresenta os níveis de tensão de saída de um inversor de 5 níveis em função dos estados dos interruptores.

Tabela 1 - Estado de condução dos interruptores e tensão de saída em um inversor Ponte H Cascata de 5 níveis.

<i>Estados dos interruptores</i>				v_{H1}	v_{H2}	v_{AN}
S_{11}	S_{31}	S_{12}	S_{32}			
1	0	1	0	E	E	$2E$
1	0	1	1	E	0	E
1	0	0	0	E	0	E
1	1	1	0	0	E	E
0	0	1	0	0	E	E
0	0	0	0	0	0	0
0	0	1	1	0	0	0
1	1	0	0	0	0	0
1	1	1	1	0	0	0
1	0	0	1	E	$-E$	0
0	1	1	0	$-E$	E	0
0	1	1	1	$-E$	0	$-E$
0	1	0	0	$-E$	0	$-E$
1	1	0	1	0	$-E$	$-E$
0	0	0	1	0	$-E$	$-E$
0	1	0	1	$-E$	$-E$	$-2E$

Fonte: Flores (2009).

Principalmente pelo motivo de ser, entre as topologias mais consolidadas, a mais propícia para uma implementação multinível, a topologia de ponte H em cascata foi a escolhida para a implementação deste projeto.

2.3 ESTRATÉGIAS DE MODULAÇÃO

Com o passar do tempo, diversas estratégias de modulação para conversores multiníveis foram desenvolvidas. No caso da topologia de ponto neutro grampeado a diodos essas técnicas visam equilibrar as tensões do barramento de corrente contínua (CC), bem como eliminar ondulações de baixa frequência e reduzir o conteúdo harmônico. Para outros casos de modulação, existe ainda a preocupação com a taxa de distorção harmônica da saída e equilíbrio das tensões dos capacitores (GRIGOLETTO, 2009). Assim, pode-se destacar três tipos de modulação:

- i. Modulação por eliminação seletiva de harmônicas;
- ii. Modulação por largura de pulso senoidal;
- iii. Modulação vetorial.

Uma vez que a modulação vetorial lida exclusivamente com sistemas trifásicos, apenas as duas modulações anteriores serão exploradas no escopo deste trabalho.

2.3.1 Modulação por eliminação seletiva de harmônicas – SHE

Esse método de modulação é utilizado quando deseja-se obter um conteúdo harmônico predeterminado. Utilizando cálculos *off-line*, é possível definir as comutações dos interruptores e assim sintetizar determinada frequência ao mesmo tempo em que se eliminam alguns componentes harmônicos indesejados (GRIGOLETTO, 2009). Esta estratégia de modulação apresenta um bom desempenho em baixas frequências de comutação e também a possibilidade controle sobre harmônicos específicos da tensão de saída (MATEUS, 2012).

Para o caso de um inversor de três níveis, devido a sua simetria de quarto de onda, essa forma de onda só apresenta harmônicos ímpares. Considerando que haja p comutações por quarto de ciclo, os coeficientes de Fourier da i -ésima impar são dados por:

$$a_i = \frac{4}{i\pi} \left[\sum_{k=1}^p (-1)^{k+1} \cos(i\delta_k) \right] \quad (2)$$

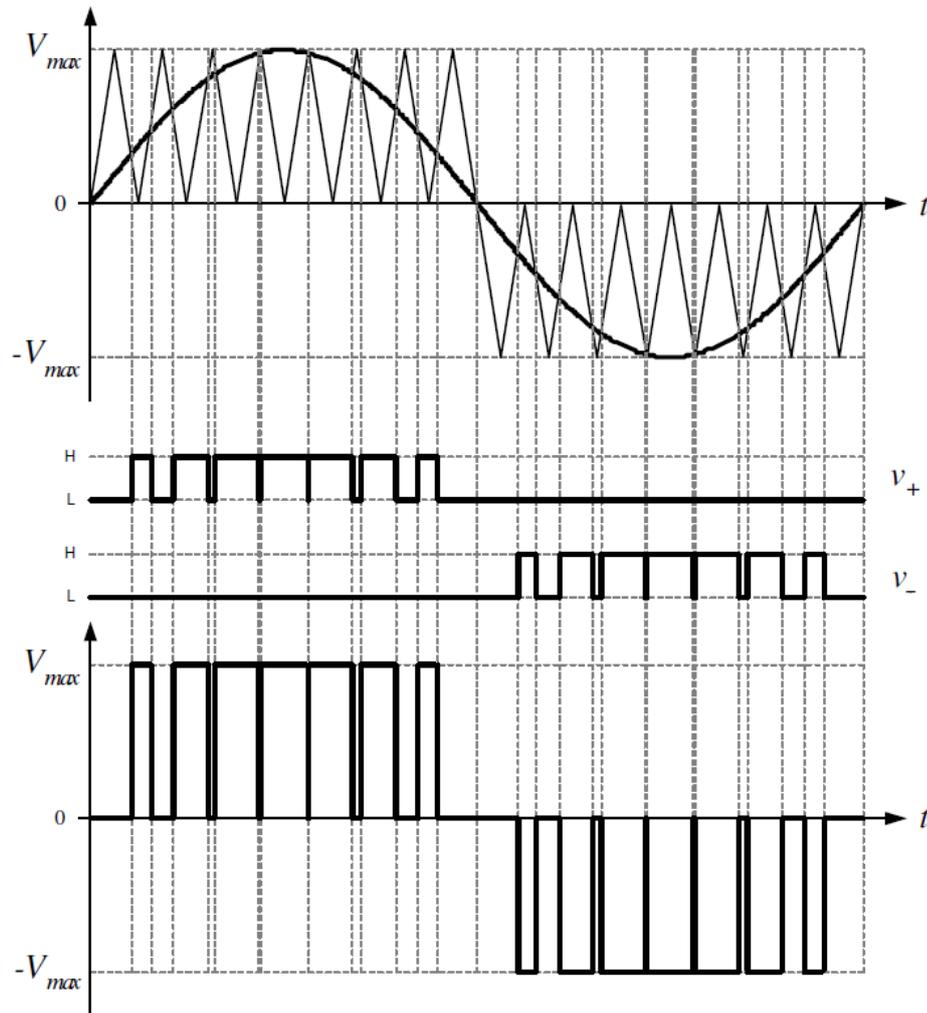
onde a Equação 2 apresenta p variáveis (δ_1 até δ_p), e um conjunto de ângulos é obtido igualando $p-1$ harmônicas a zero e especificando a amplitude desejada do componente fundamental (a_1) (RECH,2005).

Já foram propostas estratégias de modulação com eliminação seletiva de harmônicas para números de níveis maiores que três, porém, como os ângulos precisam ser calculados e armazenados, a capacidade de armazenamento acaba se tornando um fator limitante.

2.3.2 Modulação por largura de pulso

As estratégias de modulação por largura de pulso são largamente utilizadas em conversores estáticos. Essas técnicas são baseadas na comparação de um ou mais sinais modulantes (senoides) com uma ou mais portadoras triangulares. As chaves são comutadas nos momentos em que o valor sinal modulante é superior ao valor da portadora (GRIGOLETTO,2009). A Figura 3 exemplifica esse chaveamento.

Figura 3 - Exemplo de modulação PWM.



Fonte: Pimentel (2006).

As estratégias de modulação por largura de pulso para conversores multiníveis se diferenciam pela disposição das portadoras ou pelo deslocamento de fase das portadoras, sendo mencionadas nesse trabalho quatro alternativas diferentes (BATSCHAUER, 2011):

- i. Disposição em oposição de fases alternadas (APOD);
- ii. Disposição em oposição de fases (POD);
- iii. Disposição em fase (PD);
- iv. Deslocamento de fase (PS).

Usando essas estratégias, o índice de modulação de amplitude e índice de modulação de frequência são definidos, respectivamente, como:

$$m_a = \frac{A_r}{(m-1)A_p} \quad (3)$$

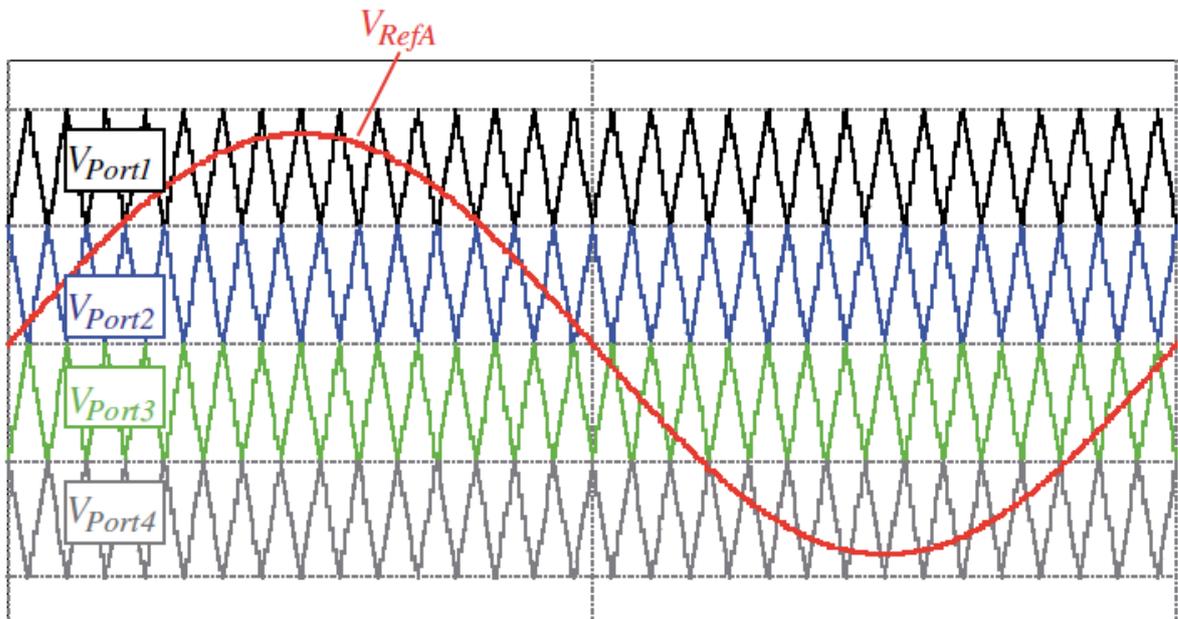
$$m_f = \frac{f_p}{f_r} \quad (4)$$

onde A_r representa a amplitude do sinal de referência com frequência f_r e A_p a amplitude do sinal com frequência f_p (RECH, 2005).

2.3.2.1 Disposição em oposição de fases alternadas (APOD)

Trata-se de deslocar cada uma das $m-1$ portadoras em 180° das portadoras adjacentes, como observado na Figura 4. Nesse tipo de disposição as harmônicas mais significativas estão localizadas em torno da frequência da portadora (GRIGOLETTO, 2009). Além disso, essa estratégia de modulação garante simetria de quarto de onda para valores pares de m_f , resultando somente em harmônicas ímpares (RECH,2005).

Figura 4 - Modulação com portadoras dispostas em oposição alternada de fase (APOD).

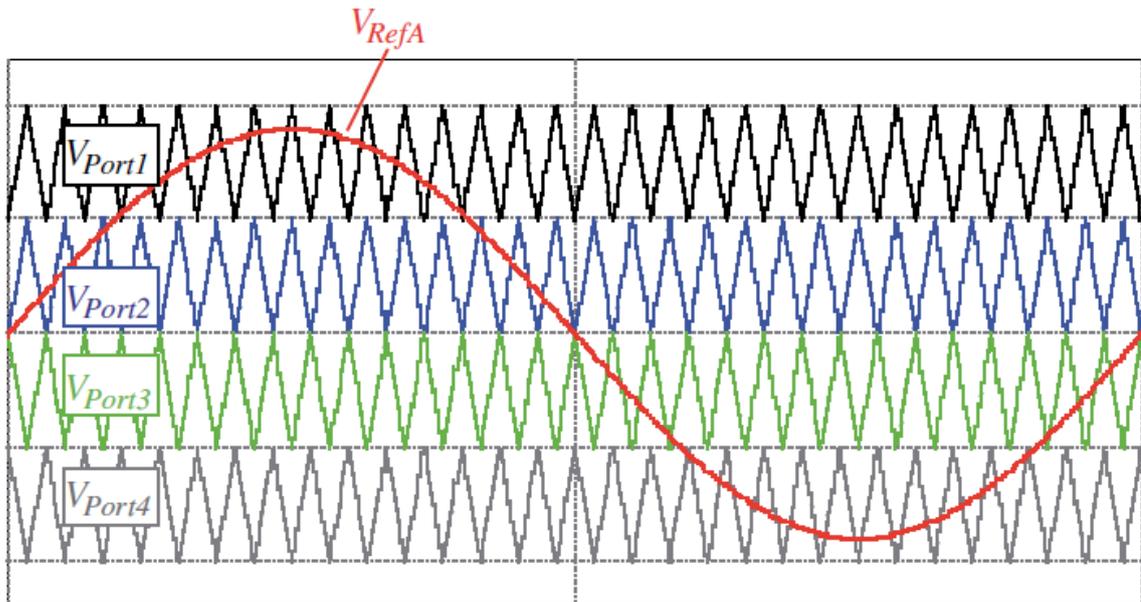


Fonte: Batschauer (2011).

2.3.2.2 Disposição em oposição de fase (POD)

Essa estratégia de modulação consiste em defasar as portadoras negativas 180° em relação as positivas, como observado na Figura 5. Em relação as distorções harmônicas, esse tipo de modulação se assemelha a anterior e também garante a simetria de quarto de onda para valores pares de m_f (RECH, 2005).

Figura 5 - Modulação com portadoras dispostas em oposição de fase (POD).

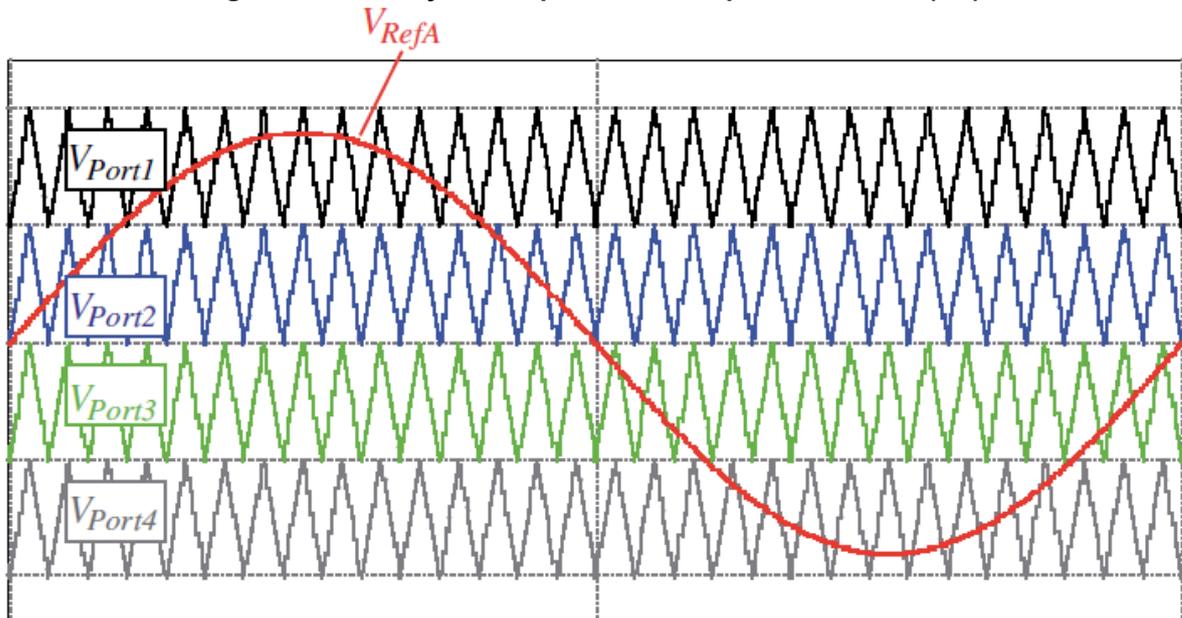


Fonte: Batschauer (2011).

2.3.2.3 Disposição em fase (PD)

Esse tipo de estratégia de modulação consiste em dispor todas as portadoras em fase, como observado na Figura 6. A principal diferença desse tipo de modulação para as anteriores é em relação à distorção harmônica total nas tensões de linha, que acaba sendo mais baixa se comparada as estratégias vistas até o momento. (BATSCHAUER, 2011).

Figura 6 - Modulação com portadoras dispostas em fase (PD).

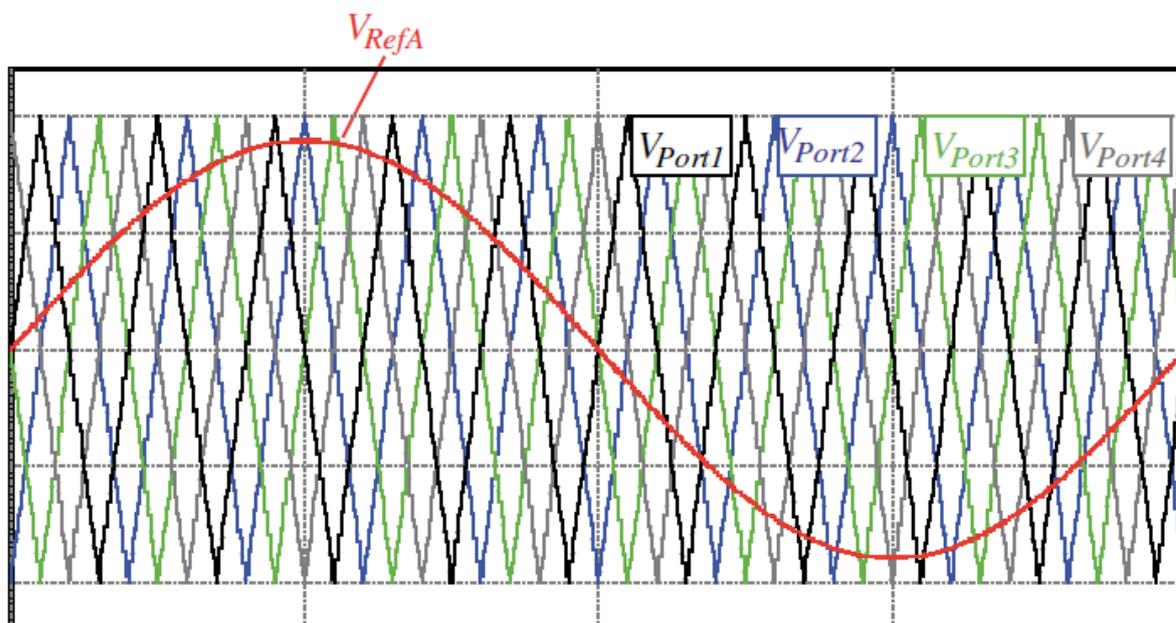


Fonte: Batschauer (2011).

2.3.2.4 Deslocamento em fase (PS)

A modulação com deslocamento de fase consiste em utilizar todas as portadoras com a mesma amplitude, nível médio nulo e deslocadas entre si de $360^\circ/(n-1)$, onde n é o número de níveis do conversor, como observado na Figura 7. Nessa estratégia, as chaves comutam a todo instante, não havendo instantes onde os interruptores permaneçam mais de um período bloqueado ou comutando (BATSCHAUER, 2011). Nessa estratégia em específico, o índice m_a é igual a A_r/A_p (RECH, 2005).

Figura 7 - Modulação com portadoras dispostas em deslocamento de fase (PS).



Fonte: Batschauer (2011).

Nesse caso em específico, o espaço existente entre a componente fundamental e a harmônica mais significativa cresce conforme o número de portadoras, sendo as harmônicas mais significativas encontradas em bandas laterais em torno de $(m - 1)f_p$, onde m representa o número de níveis do conversor. (RECH, 2005). Além disso, essa modulação apresenta também, tipicamente, uma distribuição de perdas equilibrada entre os semicondutores de potência (BATSCHAUER, 2011).

Pelo fato de a modulação PWM ser amplamente utilizada, esta foi a escolhida para ser aplicada no circuito deste trabalho, bem como as quatro estratégias de modulação apresentadas.

2.4 DISPOSITIVO DE LÓGICA RECONFIGURÁVEL FPGA

Atualmente, a utilização de sistemas digitais é crescente, possibilitando a substituição dos controladores analógicos pelos controladores digitais. Também tem crescido a demanda por equipamentos portáteis de fácil manuseio e que tenham uma interface com o usuário mais simples. Para realizar o controle das chaves semicondutoras nos projetos dos conversores multiníveis podem ser utilizados o DSP, o FPGA ou microcontroladores (COSTA, 2009).

Um DSP é um microprocessador cuja arquitetura é otimizada para realizar típicos processamentos digitais de sinais com alta taxa de amostragem (YOVITS, 1993). Este dispositivo é muito valorizado no mundo do projeto de sistemas eletrônicos pela habilidade em fazer medidas rápidas, filtrar ou comprimir sinais analógicos, conectando, assim, o mundo digital ao analógico (ZATREPALEK, 2012). Todavia, conforme os sistemas eletrônicos se tornam cada vez mais complexos, incorporando múltiplas fontes de sinais analógicos, um único DSP não é capaz de ter o poder de processamento requerido. Paralelamente, arquitetos de sistemas não conseguem pagar os custos e complexidade de um sistema com múltiplos DSPs (ZATREPALEK, 2012).

O FPGA é um dispositivo semicondutor constituído de unidades lógicas (na ordem de milhares) cujas interconexões podem ser programadas pelo usuário, podendo reproduzir desde lógicas simples (como funções AND, OR, NOT), até sistemas combinacionais mais complexos, o que acrescenta enorme flexibilidade ao projeto. Essa característica é uma das principais vantagens de se utilizar as FPGAs, além de diminuir custos de desenvolvimento (BERRANDJIA, 2011).

Dispositivos FPGA se mostraram como uma grande alternativa às aplicações que requerem muitos DSPs, tendo a possibilidade de oferecer uma solução muito mais simples para problemas complexos de serem resolvidos com DSPs. Um exemplo que se torna mais vantajoso com o FPGA é o caso de uma aplicação com a taxa de amostragem na ordem dos MH (megahertz) ou de uma aplicação que possua mais de um canal de entrada analógica (ZATREPALEK, 2012).

Uma das maiores vantagens das FPGAs é a sua arquitetura flexível que serve muito bem para uma ampla gama de aplicações. Estas aplicações incluem implementação de controladores de dispositivos, circuitos de codificação, lógica arbitrária, prototipagem e emulação de sistemas, etc. (SKLIAROVA, FERRARI, 2003).

O funcionamento de um FPGA depende de como é organizada a sua arquitetura. Ele pode operar em ciclos de *clock*, onde cada operação matemática é realizada em um ciclo. Também possuem um processamento em paralelo, evitando situações de laço infinito. Em comparação, o DSP efetua um processamento sequencial e alguns tipos necessitam de várias interações para realizar uma operação matemática (KILTS, 2007).

A seguir podem ser observadas as Tabelas 2 e 3 que comparam algumas características importantes das famílias de dispositivos FPGA dos dois principais fabricantes, Xilinx e Intel.

Tabela 2 - Comparação entre as famílias de dispositivos FPGA da Xilinx.

	Xilinx								
	Spartan		Virtex			Kintex		Artix	
	6	7	7	US	US +	7	US	US +7	
Modelo	XC6SLX25	XC7S25	XC7V585T	XCVU065	XCVU3P	XC7K70T	XCKU025	XCKU3P	XC7A25T
Elementos Lógicos (K)	24,051	23,360	582,720	783	862	65,6	318	356	23,360
Memória Incorporada (Kb)	936	1,620	28,620	44300	115300	4,860	12700	26200	1,620
Maximo uso de E/S	266	150	850	520	520	300	312	304	150
Blocos DSP	38	80	1,26	600	2,280	240	1,152	1,368	3,560

Fonte: Xilinx Device Family Overview (2017).

Tabela 3 - Comparação entre as famílias de dispositivos FPGA da Intel.

	Intel							
	MAX		Cyclone		Arria		Stratix	
	10		IV E	10 LP	II GX	V GX	V GX	10 GX
Modelo	10M16	10M25	EP4CE22	10CL025	EP2AGX45	5AGXA1	5SGXA3	GX 400
Elementos Lógicos (K)	16	25	22,32	24,624	43	75	340	380
Memória Incorporada (Kb)	549	675	594	594	2,871	8463	19000	30000
Maximo uso de E/S	320	360	153	150	–	416	–	392
Blocos DSP	–	–	–	66	–	240	256	648

Fonte: Altera Device Family Overview (2017).

Após a comparação pode-se observar que a grande maioria dos modelos de diferentes famílias abordadas atenderiam as especificações do projeto, já que superam o EP4CE22 da família Cyclone e linha IV da Altera, utilizado neste trabalho, nos aspectos comparativos. Porém, essa família e modelo foram eleitas como melhor opção por satisfazer as necessidades de um projeto que possibilita um baixo

consumo energético e poupança de custos, além da disponibilidade previa deste na UTFPR.

2.4.1 Aspectos Gerais do FPGA

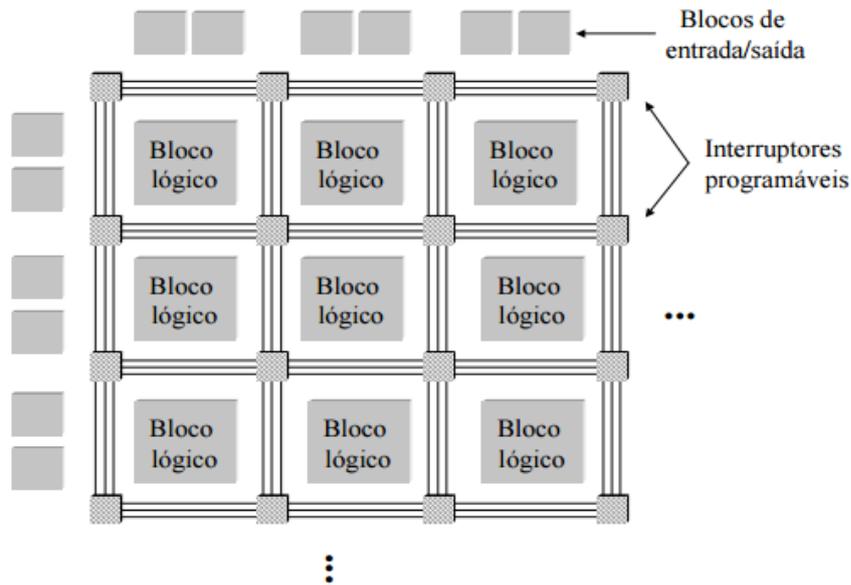
Uma FPGA inclui uma matriz de blocos lógicos interligados por recursos de encaminhamento e cercado por um conjunto de blocos de entrada/saída, sendo todos estes componentes programáveis pelo utilizador. Os blocos lógicos contêm elementos combinatórios e sequenciais possibilitando a implementação de funções lógicas bem como de circuitos sequenciais. Os recursos de encaminhamento incluem segmentos de pistas de ligação pré-fabricadas e interruptores programáveis (SKLIAROVA, FERRARI, 2003).

As funções do programa são implementadas nos blocos lógicos. Esses possuem células que são capazes de armazenar valores lógicos zero (0) ou um (1) e possuem recursos sequenciais, como por exemplo, registradores. Existe um processo chamado de roteamento onde ocorre a interconexão desses blocos. O projeto com FPGA é caracterizado por ser modular, ou seja, cada bloco de *hardware* é responsável por uma função (SILVA, 2013).

Os blocos lógicos formam uma matriz bidimensional, e as chaves de interconexão são organizadas como canais de roteamento horizontal e a vertical entre as linhas e colunas dos blocos lógicos. Os canais de roteamento possuem chaves de interligação programáveis, que permitem conectar os blocos lógicos de maneira conveniente em função das necessidades de cada projeto (SANTOS, 2008).

Na Figura 8 pode-se observar um esquema simplificado da arquitetura de um dispositivo FPGA.

Figura 8 - Esquema geral da arquitetura interna de um dispositivo FPGA.



Fonte: Skliarova, Ferrari (2003).

2.4.2 Famílias FPGAs da Altera

Entre as diversas famílias de dispositivos fornecidas pela fabricante *Altera* estão a *Stratix*, *Arria*, *Max 10* e *Cyclone*. A família *Stratix* entrega alto desempenho, com menor risco e maior produtividade. A família *Arria* possui um vasto conjunto de recursos de memória, lógica e processamento de sinal digital, blocos combinados com a integridade do sinal e transceptores que permitem a integração de mais funções e maximização da largura de banda do sistema. A família *Max 10* é a mais recente a ser lançada e fornece recursos avançados de processamento a um baixo custo, sendo amplamente empregada em indústria automotiva e de comunicação. Por fim, a família *Cyclone*, que é a mais utilizada, atende a aplicações de baixa potência e possui baixo custo para desenvolvimento em altas densidades. (WEBER et al., 2016)

2.4.3 Metodologia de Implementação

O dispositivo FPGA foi escolhido para integrar o projeto por se encaixar bem em suas necessidades, possibilitando modulação PWM (*Pulse-Width Modulation*) com diversas saídas, tornando possível realizar o controle digital das portas

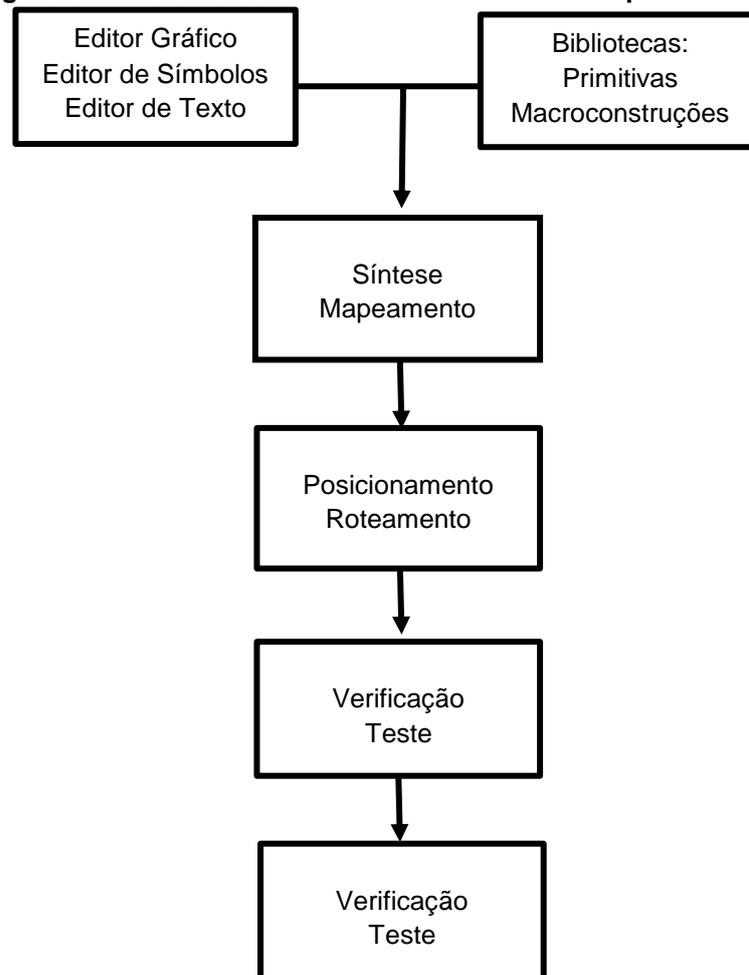
semicondutoras do inversor multinível, além de ser mais rápido e trabalhar em bandas de frequência mais altas do que outros dispositivos. Além disso, a flexibilidade do FPGA torna possível a implementação de um inversor multinível com 9 níveis.

A família de FPGA escolhida para a implementação deste trabalho foi a *Cyclone IV*, devido a disponibilidade em laboratório, baixo custo e por atender às necessidades construtivas do sistema.

2.4.4 Etapas de um Projeto Utilizando FPGA

Para o desenvolvimento do projeto em ambiente FPGA existem cinco etapas principais a serem seguidas, como pode-se observar na Figura 9 (COSTA, 2009):

Figura 9 - Ambiente de desenvolvimento de um dispositivo FPGA.



Fonte: Costa (2009).

Na primeira etapa, o projetista deve inserir a descrição do *hardware* na ferramenta de programação. Esta pode ser realizada de duas formas: através de um editor gráfico (desenho em blocos), onde é possível inserir portas lógicas no qual o usuário cria seu próprio circuito para a aplicação desejada, ou através de um editor de texto utilizando a linguagem de descrição de *hardware* HDL (*Hardware Description Language*). Porém, todo programa possui bibliotecas com diferentes famílias de multiplexadores, portas lógicas, buffers, etc. (COSTA, 2009).

Em modelos de circuitos mais simples, a forma mais utilizada de criar circuitos é através do editor gráfico, onde a tela de edição também permite uma visualização em duas dimensões (2D) do circuito. Já para modelos mais complexos, é utilizada a linguagem de descrição de máquina, cujas principais são: ABEL (*Advanced Boolean Equation Language*), VHDL, e Verilog. Todas essas linguagens são capazes de descrever o comportamento de um conjunto formado por portas lógicas, *flip-flops* e decodificadores (KILTS, 2007).

2.4.4.1 Síntese Lógica

A síntese lógica trata de uma otimização no código, o que é extremamente necessária para reduzir a área ocupada no CI, e é feita automaticamente pelo programa. Assim há uma diminuição do atraso dos sinais envolvidos (COSTA, 2009).

2.4.4.2 Arquitetura de Roteamento

A arquitetura de roteamento permite que as chaves de comutação e os barramentos sejam posicionados, a fim de permitir a interconexão entre as células lógicas. O posicionamento é caracterizado pela atribuição dos componentes lógicos do projeto com os componentes do CI. Já o roteamento é a interconexão entre blocos lógicos através de uma rede de camadas de metal. As conexões são feitas com transistores controlados por bits de memória ou por chaves de interconexão (*switch matrix*) (COSTA, 2009).

2.4.4.3 Verificações e Testes

Essa etapa é realizada geralmente na fase inicial. Nela são feitas as simulações do circuito para verificação da sua funcionalidade e análise comportamental, onde é exibida uma tela com os estados lógicos de todas as portas de entradas e saídas (determinadas pelo projetista) ao longo do tempo (COSTA, 2009).

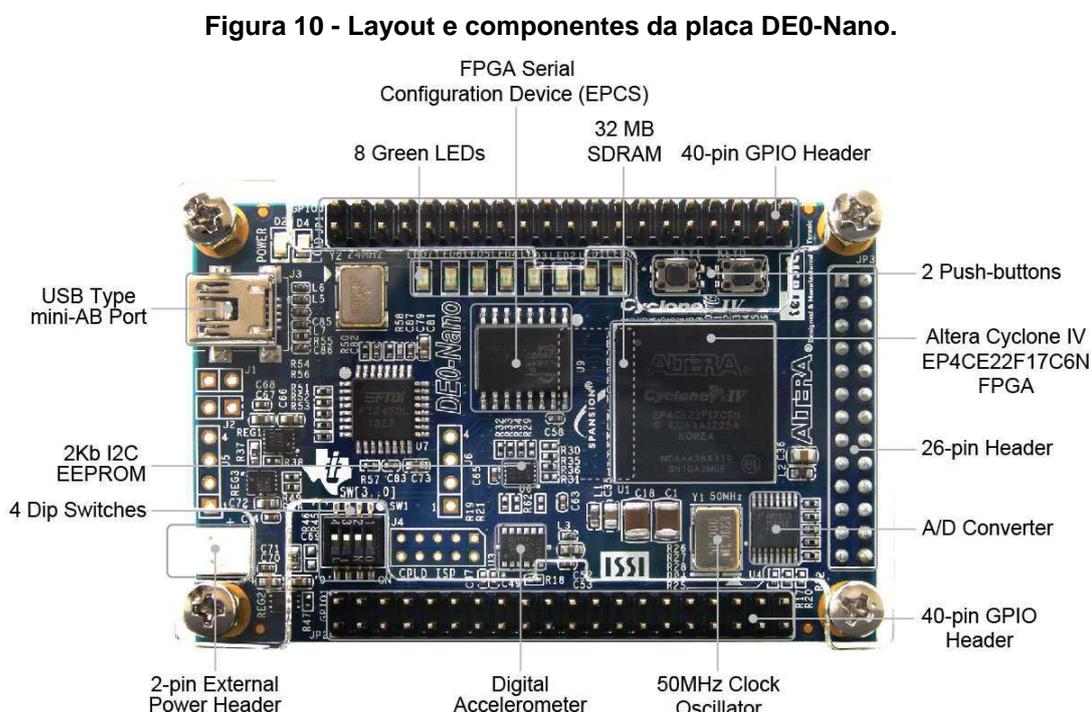
2.4.4.4 Programação do FPGA

Na etapa de programação, o código está pronto, sendo gerado um arquivo de configuração que será carregado no dispositivo alvo. As FPGAs permitem o carregamento do programa de configuração via EPROM (*Erasable Programmable Read Only*), via JTAG (*Join Test Action Group*), via cabo USB (*Universal Serial Bus*) ou via programação passiva por microprocessador (COSTA, 2009).

3. MATERIAIS E MÉTODOS

3.1 KIT DE DESENVOLVIMENTO DE0-NANO TERCASIC-ALTERA

O kit de desenvolvimento DE0-NANO, apresentado na Figura 10, é produzido pela empresa Tercasic Technologies Inc. (Taiwan) em parceria com a Altera Corporation, comprada pela Intel Corporation (EUA) em 2015. A escolha da placa se deu pela disponibilidade da mesma na UTFPR e pelo fato de atender as necessidades do projeto.

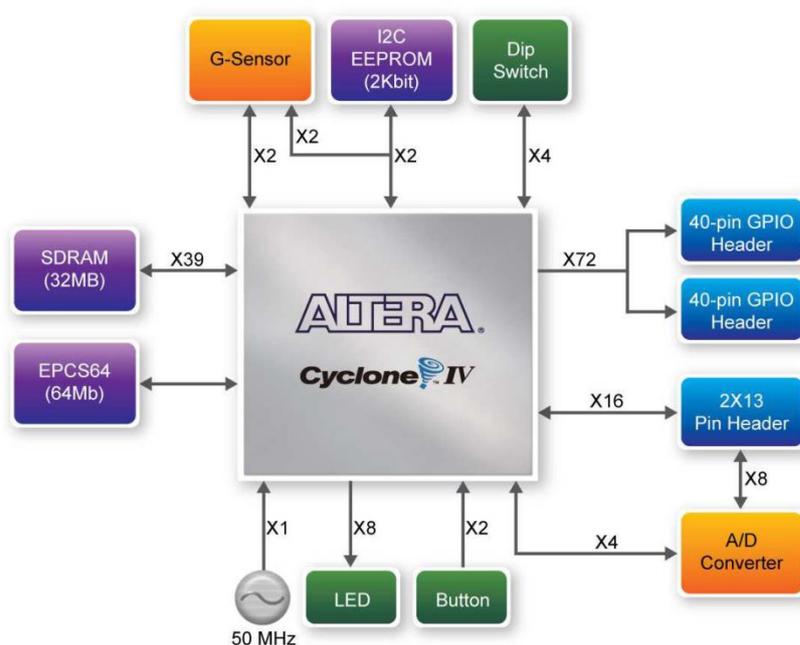


Fonte: DE0-Nano User Manual.

Essa placa vem equipada com o FPGA Cyclone IV, modelo EP4CE22F17C6N, com 22320 elementos lógicos, 32 MB de SDRAM (*Synchronous Dynamic Random Access Memory*), 2 Kb EEPROM (*Electrically-Erasable Programmable Read-Only Memory*) e uma memória serial de 64 KB utilizada para a configuração.

Além do FPGA, essa placa apresenta oito LEDs, dois *pushbuttons*, quatro *dip switches* (com dois estados cada), um acelerador de três eixos com resolução de 13 *bits*, um conversor A/D ADC128S022 (Texas Instruments) de 8 canais, e de 12 *bits* com taxa e conversão de 50 kps a 200 kps, um oscilador dedicado de 50 MHz, como pode observado na Figura 11.

Figura 11 - Diagrama de blocos DE0-Nano.



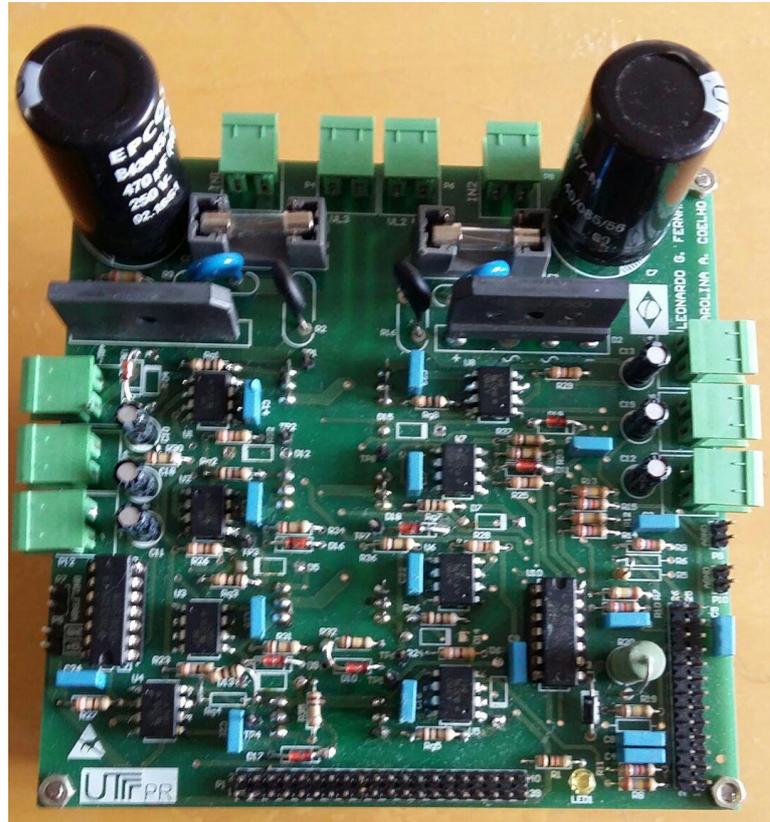
Fonte: DE0-Nano User Manual.

O *kit* DE0-Nano é responsável por diversas tarefas nesse projeto, entre elas a seleção de estratégia de modulação, através dos *dip switches*, a comparação das portadoras com o sinal de referência, o comando de abertura e fechamento das chaves, a leitura de um potenciômetro através do conversor A/D, que será responsável por alterar a amplitude do sinal de referência.

3.2 CIRCUITO ESQUEMÁTICO E LAYOUT PLACA PROTÓTIPO

A placa protótipo, mostrada na Figura 12, nada mais é do que o inversor multinível (5 níveis) monofásico, com topologia clássica utilizando duas pontes H em cascata, utilizando 8 chaves semicondutoras, previamente implementado na UTFPR por Fernandes e Coelho (2016). Esse circuito serviu de base para os estudos práticos das quatro diferentes técnicas de modulação previstas (APOD, POD, PD e PS). Para o caso de 9 níveis, foi necessário utilizar duas placas protótipo para se ter as 4 ponte H em cascata. A documentação completa da placa pode ser vista no trabalho de Fernandes e Coelho (2016) e um desenho esquemático da placa pode ser encontrado no Apêndice A.

Figura 12 - Inversor multinível (5 níveis) monofásico, com topologia clássica em ponte H em cascata.

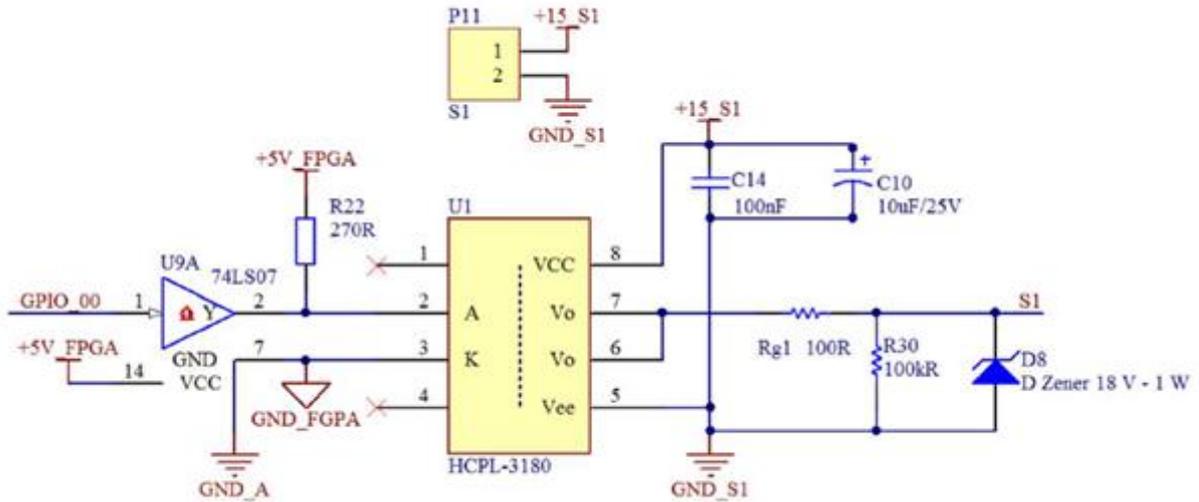


Fonte: Fernandes e Coelho (2016).

Para permitir a conexão adequada entre o inversor e a placa de comando em FPGA foi necessário a implementação de um *driver* para as chaves semicondutoras, como observado na Figura 13, que tem por finalidade promover a transferência isolada e o condicionamento de sinal lógico das saídas do FPGA para o inversor, utilizando como principal componente optoacoplador HCPL-3180 (FERNANDES, COELHO, 2016).

O *kit* FPGA envia o sinal lógico para um CI SN74LS07 que faz o papel de *buffer* do *driver*, funcionando como um amplificador de ganho unitário usado para isolar e conectar o estágio de alta impedância da saída a carga de baixa impedância da entrada. Além disso foi utilizado um resistor de *pull-up* de 270 Ω entre a saída da porta lógica e a alimentação de 5 V. Para finalizar o *driver*, foram inseridos um resistor de 100 Ω e um resistor 100 K Ω e dois capacitores na saída do *driver*.

Figura 13 - Circuito do driver responsável pelo comando da chave S1.

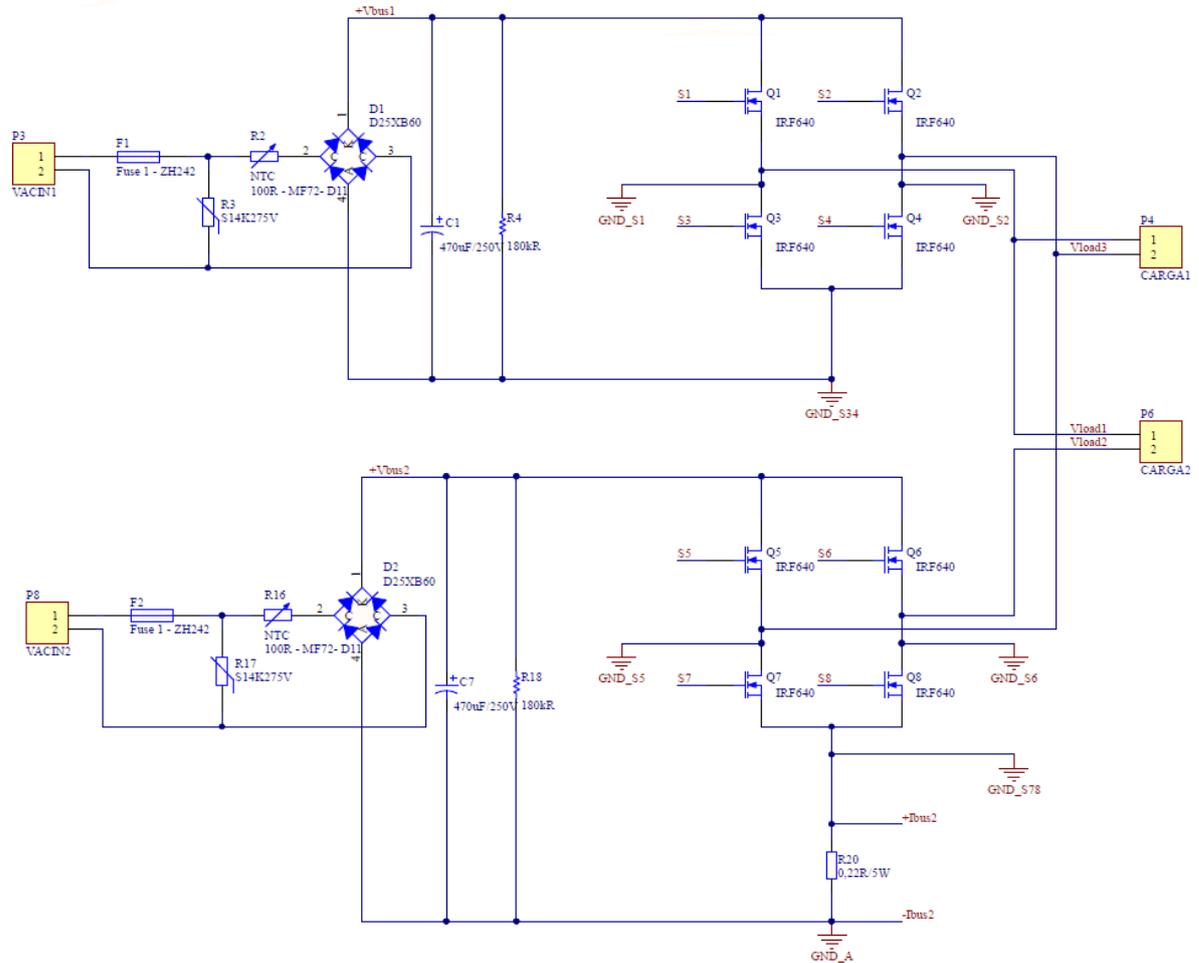


Fonte: Fernandes e Coelho (2016).

A topologia adotada para o inversor ponte H em cascata consiste de duas pontes completas convencionais interligadas em cascata, formando um sistema de oito MOSFETs IRF640N, conforme apresentado na Figura 14. Esses MOSFETs são indicados para aplicações em alta frequência de chaveamentos com tensão máxima entre dreno e *source* de 600 V e corrente contínua de 18 A à 25°C. As pontes necessitam de fontes de tensão contínua isoladas, onde a tensão servira de base para a geração da tensão na saída do inversor, para isso foram incluídos retificadores de onda completa a diodo no modelo GSIB2580 sem dissipador. Para finalizar foram incluídos um fusível de 4 A, um varistor de 275 V e um NTC (*Negative Temperature Coefficient*) de 5 Ω para cada célula.

É importante frisar que a Figura 14 contém apenas o circuito inversor de uma das placas utilizadas. O circuito completo utilizado nos testes deste trabalho pode ser obtido ao conectar em cascata os circuitos de duas placas.

Figura 14 - Circuito Inversor Multinível ponte H em Cascata com 8 chaves semicondutoras.



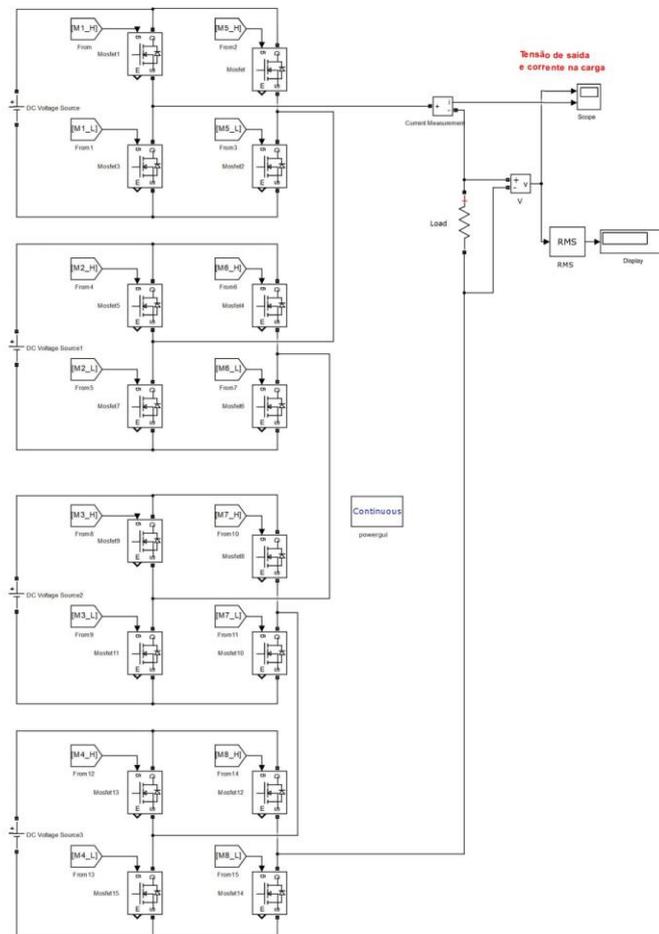
Fonte: Fernandes e Coelho (2016).

3.3 SIMULAÇÃO DO INVERSOR MULTINÍVEL NO SIMULINK

Para poder observar, antes da implementação em circuitos reais, o comportamento do inversor para as quatro diferentes estratégias de modulação desejadas, foram criados diferentes modelos (um para cada modulação) utilizando a ferramenta Simulink do Matlab.

Para a parte de potência foram acopladas 4 pontes H em cascata com o objetivo de conseguir os 9 níveis de tensão desejados. A Figura 15 exemplifica como uma ponte foi ligada a outra no Simulink.

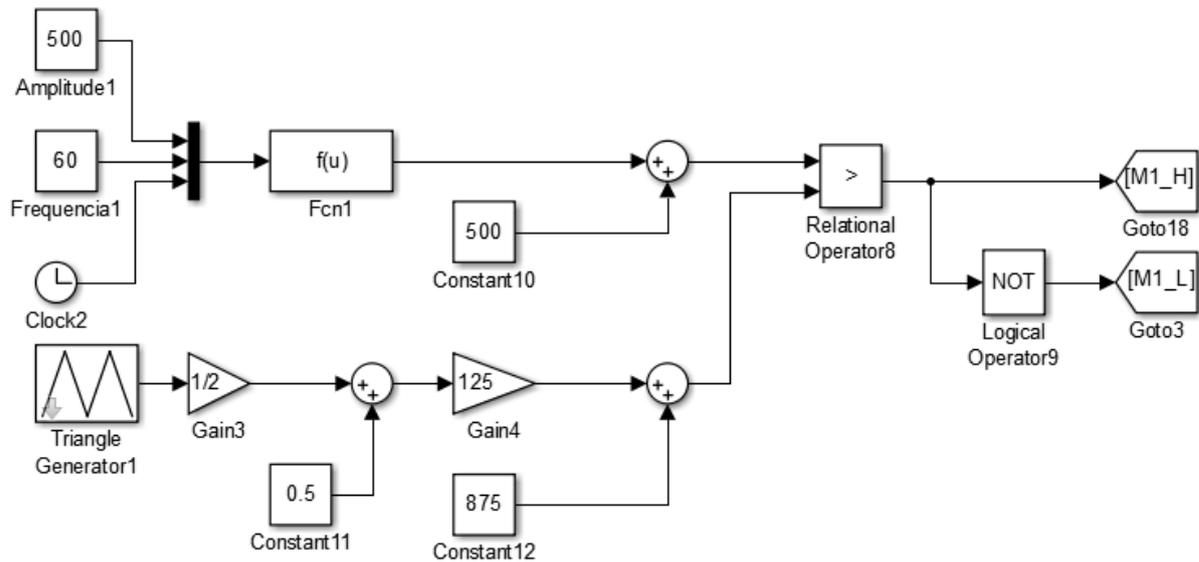
Figura 15 - Circuito de potência implementado no Simulink.



Para a parte de controle, foi utilizado um gerador de ondas triangulares com frequência de 2400 Hz, que no Simulink gera ondas com amplitude de -1 até +1, aplicado um ganho de 0,5 e deslocado de 0,5 (para conseguir ondas triangulares de 0 até 1) como base para os sinais de portadoras. Após conseguir essa onda triangular de amplitude 1, foram aplicados ganhos e deslocamentos coerentes a modulação em questão. Além disso, também foi criado um sinal de referência senoidal para ser comparado com as portadoras e comandar as chaves estáticas.

No caso da modulação APOD, foram utilizados ganhos de 125 para as portadoras superiores e -125 para as inferiores e cada uma delas fora deslocada da outra de 125 pesos, para cobrir toda uma amplitude de 0 a 1000 (pesos), sendo estes valores adotados por conveniência. A Figura 16 demonstra o circuito implementado no Simulink para gerar e deslocar adequadamente uma portadora e, em seguida, compará-la ao sinal de referência e gerar os sinais para as chaves.

Figura 16 - Circuito lógico para uma portadora implementado no Simulink.

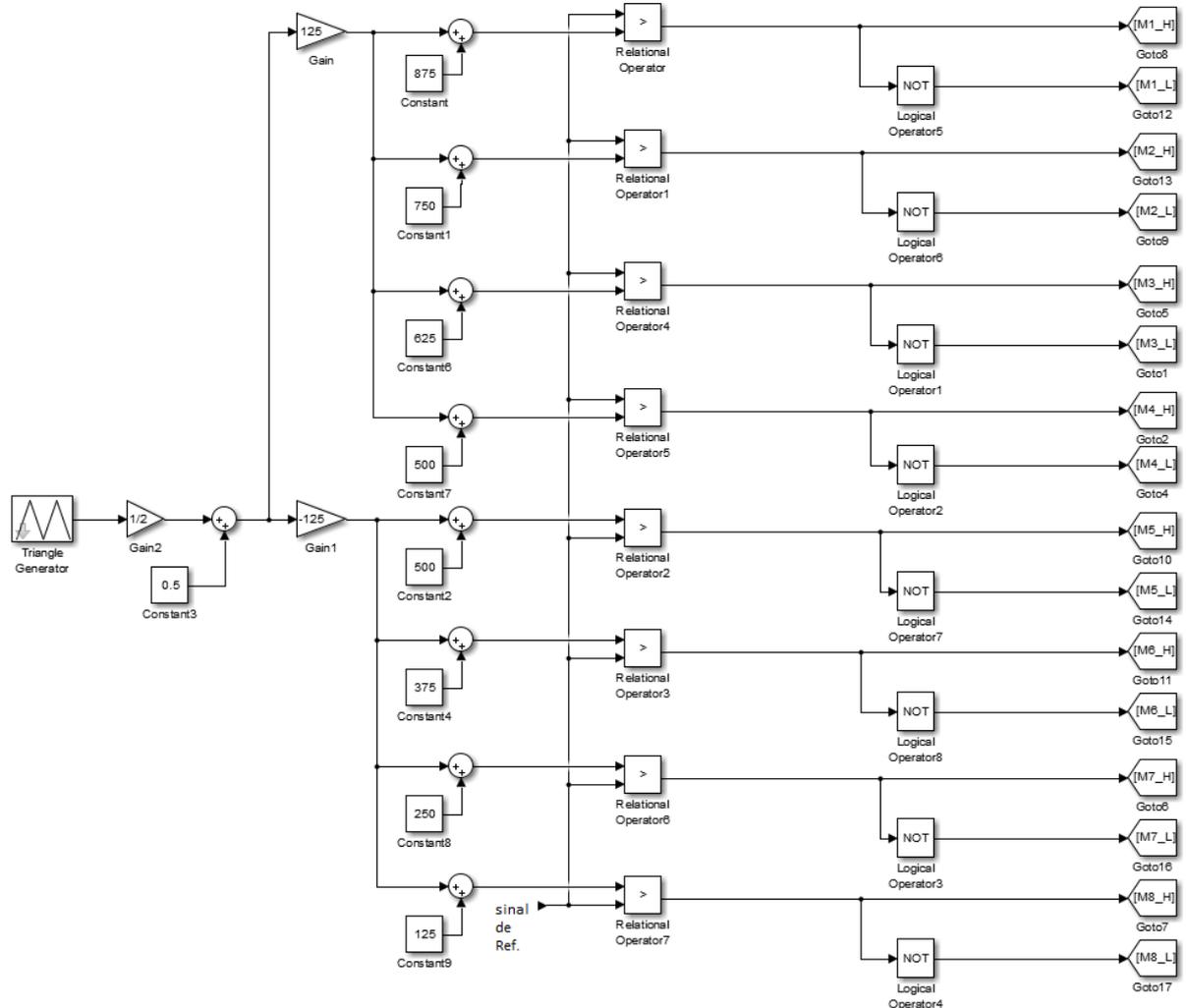


No caso do inversor com 9 níveis, é necessário a existência de oito portadoras com mesma amplitude e deslocadas igualmente. Para o caso da modulação APOD, a disposição das portadoras se dá de acordo com o código em Simulink apresentado na Figura 17.

Para as estratégias de modulação PD e POD, pequenas mudanças são necessárias. Para o caso da modulação PD não ocorre mudança para as portadoras positivas e para as negativas troca-se o ganho para 125 positivo e subtrai-se 125 das constantes de deslocamento. Já para a POD é necessário intercalar os ganhos, ou seja, a primeira portadora mantém 125 e a segunda utiliza -125, além de ser necessário corrigir as constantes de deslocamento para compensar os ganhos.

No caso da modulação PS, a solução encontrada foi criar 8 geradores de função triangular diferentes, agora com 600 Hz de frequência, deslocados em 45° na fase e todos multiplicados pelo mesmo ganho 1000.

Figura 17 - Circuito lógico para 8 portadoras em APOD implementado no Simulink.



3.4 CÓDIGO IMPLEMENTADO NA DE0-NANO

Com a lógica e o sistema validados através do Simulink deu-se início a fase de implementação do código em VHDL para o kit DE0-Nano. Para isso foi utilizado o softwares Quartus II v13.1, pois comportava todas as funcionalidades necessárias e as versões mais modernas apresentaram problemas com a ferramenta de integração de sistemas (Qsys).

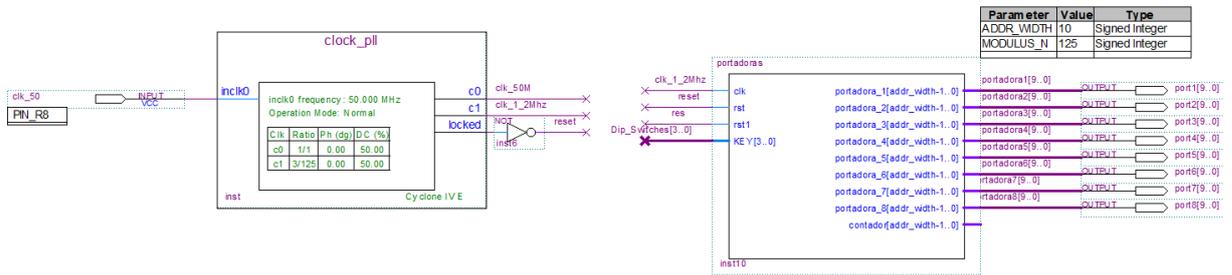
Uma das vantagens de se programar o FPGA com a ajuda do Quartus II é a possibilidade de poder gerar blocos para os códigos VHDL desenvolvidos, o que facilita a interação entre diferentes programas no projeto. Primeiramente foi necessário fornecer um *clock* específico para o sincronismo dos diferentes módulos

do projeto, uma vez a frequência do oscilador presente no kit DE0-Nano é 50 MHz e para essa aplicação foi necessário 1,2 MHz. Para isso foi utilizado um bloco PLL (*Phase-Locked Loop*), encontrado no item (a) da Figura 18. Este bloco foi fornecido implementado com a ferramenta MegaWizard do Quartus, sendo necessário somente configurar a frequência de saída e alguns outros parâmetros que não foram utilizados no projeto.

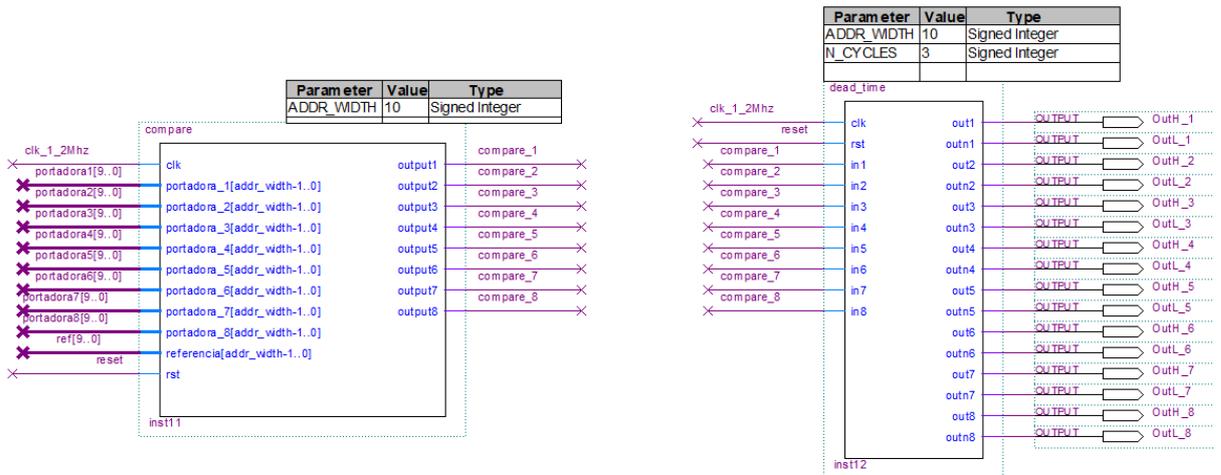
Após a criação de bloco de *clock*, foi necessário a criação de um bloco responsável pela geração da senoide de referência, encontrado no item (c) da Figura 18. Para isso utilizou-se um vetor com 800 pontos representando a onda senoidal e variando de acordo com o *clock*. Também foi desenvolvido o bloco para geração das portadoras triangulares, utilizando uma simples lógica de comparação e incremento até atingir o valor limite da portadora. No caso das modulações APOD, POD e PD esse valor foi 125. Já no caso da PS foi 1000, e ao ser atingido começar a decrementar. Neste bloco também existe a seleção de qual estratégia de modulação será utilizada através das entrada KEY[3..0] do bloco, conforme visto no item (a) da Figura 18. Para finalizar, foram desenvolvidos mais dois blocos: um para simplesmente comparar o sinal de cada uma das portadoras com a senoide de referência e escrever na saída o valor dessa comparação e um outro bloco para receber o resultado da comparação e aplicar o tempo morto nos casos necessário, dando um *delay* igual ao número de ciclos determinado por parâmetro, ambos encontrado no item (b) da Figura 18.

O último bloco, encontrado no item (c) da Figura 18, trata do ADC. Neste bloco foi utilizado o *clock* de 50 MHz para fazer a leitura do ADC e exportar esse valor em uma variável para ser utilizada no bloco gerador da senoide. Para a criação deste bloco foi utilizado o Qsys, uma ferramenta de integração de sistemas para o projeto de um processador de 32 *bits* NIOS 2, que permite programar os blocos integrados em ambiente Eclipse. Basicamente, o processador desenvolvido é formado por memória, alguns módulos de entrada e saída, uma porta de comunicação serial e um bloco responsável pelo controle do conversor AD do kit DE0-Nano. A representação do sistema criado com o Qsys pode ser observado no Apêndice B.

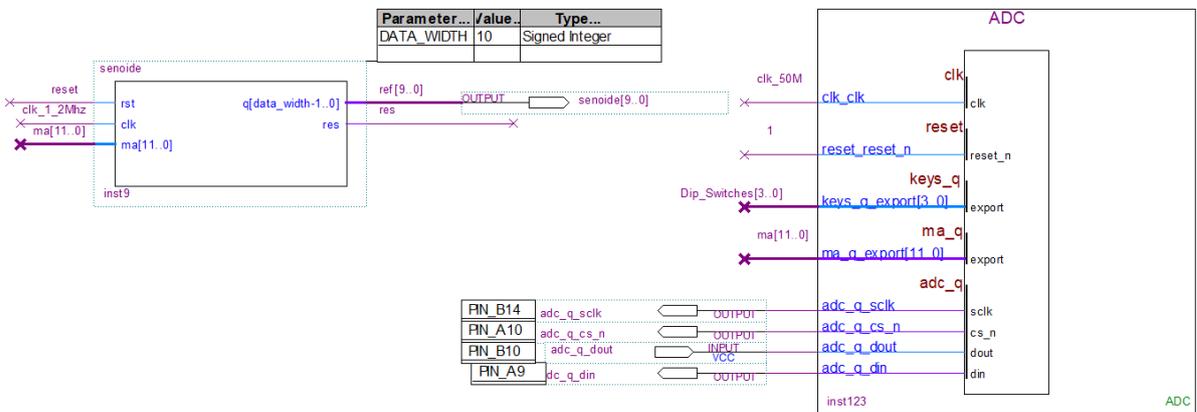
Figura 18 - Códigos VHDL em blocos que foram utilizados para realização do projeto onde (a) representa o PLL e gerador de portadoras, (b) o bloco de comparação e tempo morto e (c) o gerador da senoide e bloco gerado pelo Qsys com a lógica para o ADC.



(a)



(b)



(c)

3.5 TESTES REALIZADOS COM O USO DA PLACA

Para a realização dos testes, foram utilizadas duas placas inversoras em cascata, conforme o apresentado na Figura 19, na qual também é possível visualizar o circuito conectado à placa DE0-NANO.

Figura 19 - Circuito final montado com duas placas inversoras e kit DE0-Nano.



Com o auxílio do osciloscópio Tektronix MSO 2024B para verificação dos sinais gerados, foram realizados 3 testes diferentes para cada uma das 4 modulações. Em todos eles houve a alimentação de 6 fontes CC isoladas de 15 V na saída dos optoacopladores. Também utilizou-se uma fonte de alimentação simétrica modelo Minipa MPL-3303 (30 V/3 A) com saída de 20 V, para representar o SDCS, conforme a Figura 1.

O primeiro teste foi realizado sem a presença de carga. O segundo consistia de uma carga resistiva de $166,7 \Omega$, aplicada através de um reostato de deslocamento longitudinal. Por fim, no terceiro teste, foi adicionada uma carga indutiva de 407 mH em série com a carga resistiva já utilizada. Tanto a carga indutiva quanto a resistiva e a fonte de alimentação foram fornecidas pelo Setor de Manutenção e Patrimônio (SEMAP) da UTFPR.

4. RESULTADOS

4.1 RESULTADO DA SIMULAÇÃO DO INVERSOR MULTINÍVEL NO SIMULINK

Foram realizadas simulações utilizando o *software* Simulink, testando os 4 tipos de modulação, apresentados no capítulo 2.3.2, com 4 índices de modulação de amplitude m_a para verificação das formas de onda de saída multinível sintetizadas, bem como a posterior análise do conteúdo harmônico para cada uma das modulações. Na Figura 20 são apresentadas as comparações entre o sinal modulante e as 4 portadoras triangulares, utilizando a estratégia da disposição em oposição de fase (POD) com os seguintes índices de modulação: 0,25, 0,5, 0,75 e 1. Já na Figura 21, são apresentados os resultados da tensão de saída sintetizada e corrente na carga respectivas aos mesmos índices de modulação.

De forma complementar, são apresentadas na Figura 22 as comparações entre o sinal modulante com as portadoras triangulares para os 4 índices de modulação e estratégia de disposição de fases alternadas (APOD). Na Figura 23, são apresentados os resultados da tensão de saída sintetizada e corrente na carga respectivas aos mesmos índices de modulação.

Na Figura 24 são apresentadas as comparações entre o sinal modulante com as portadoras triangulares para os 4 índices de modulação e estratégia de disposição em fase (PD). Na Figura 25, são apresentados os resultados da tensão de saída sintetizada e corrente na carga respectivas aos mesmos índices de modulação.

Por fim, na Figura 26 são apresentadas as comparações entre o sinal modulante com as portadoras triangulares para os 4 índices de modulação e estratégia de deslocamento em fase (PS). Na Figura 27, são apresentados os resultados da tensão de saída sintetizada e corrente na carga respectivas aos mesmos índices de modulação.

Em todas as figuras, entre 20 e 27, o eixo horizontal representa o tempo e o eixo vertical a amplitude normalizada em 1000 pesos. Pode-se notar que, conforme o índice m_a , são geradas ondas de saída com diferentes níveis de tensão, isto é: para $m_a < 0,25$, 3 níveis, entre 0,25 e 0,5, 5 níveis, entre 0,5 e 0,75, 7 níveis e para m_a acima de 0,75, 9 níveis.

Figura 20 - Comparação entre sinal modulante e portadoras por disposição em oposição de fase (POD).

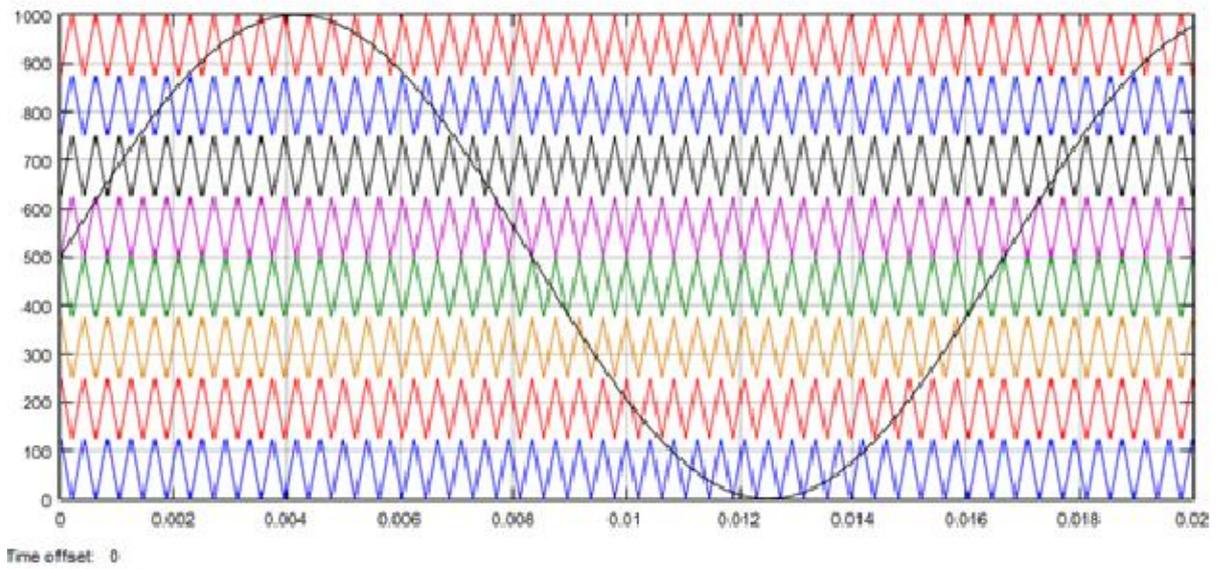


Figura 21 - Tensões de saída sintetizadas e correntes na carga por disposição em oposição de fase (POD).

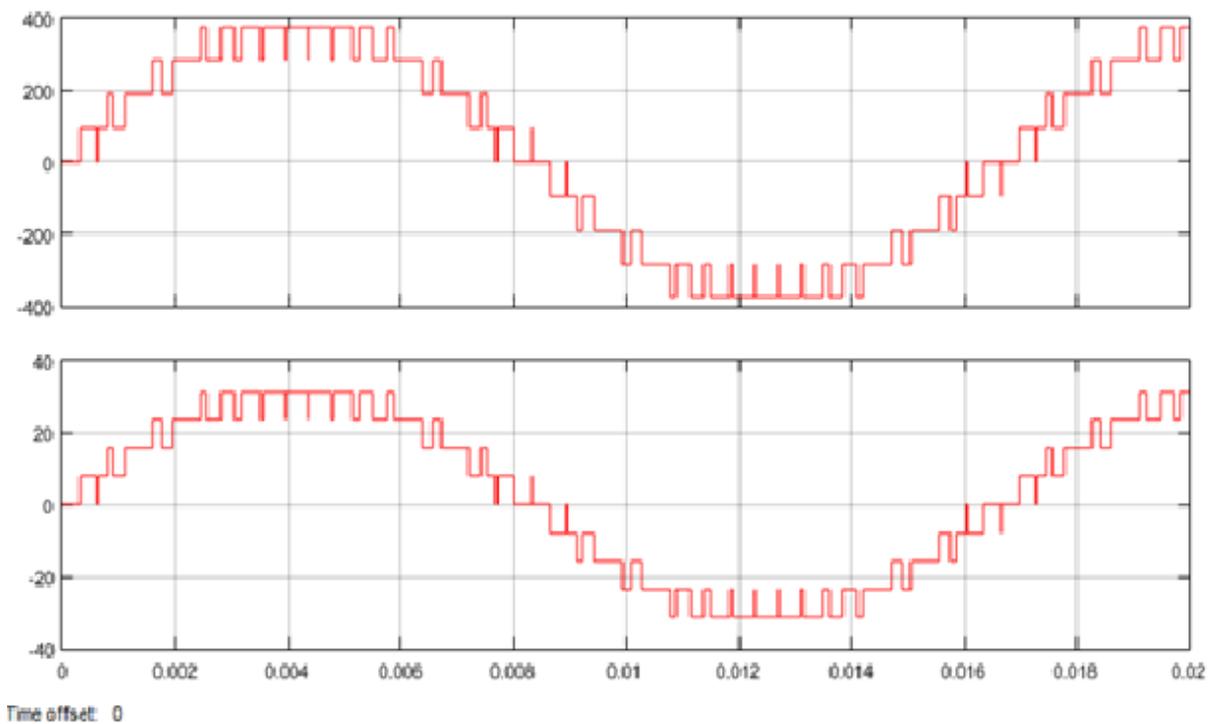


Figura 22 - Comparação entre sinal modulante e portadoras por disposição em oposição de fase alternadas (APOD).

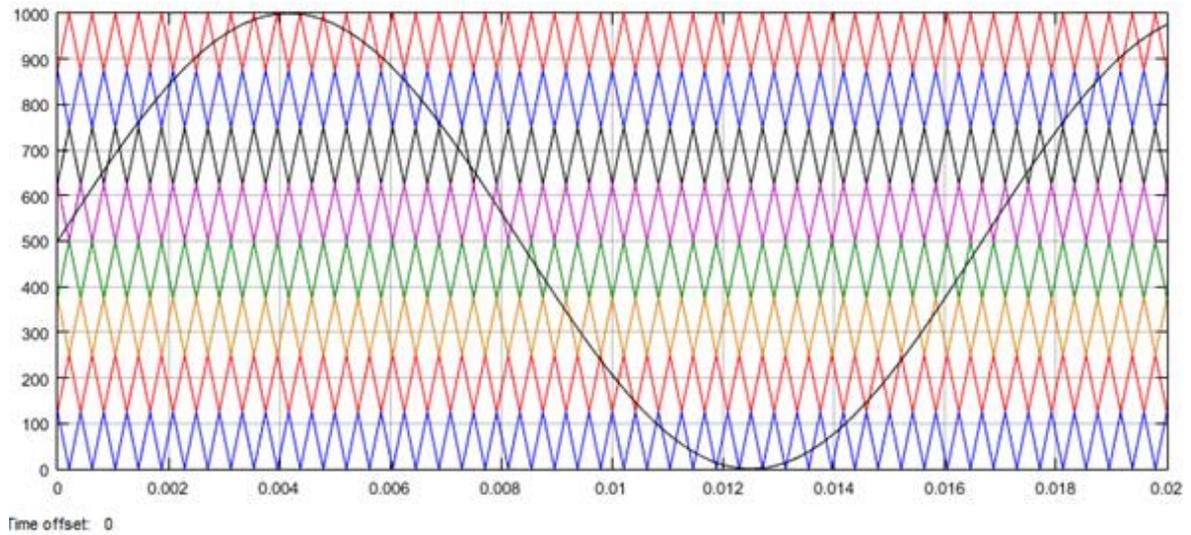


Figura 23 - Tensões de saída sintetizadas e correntes na carga por disposição em oposição de fase alternadas (APOD).

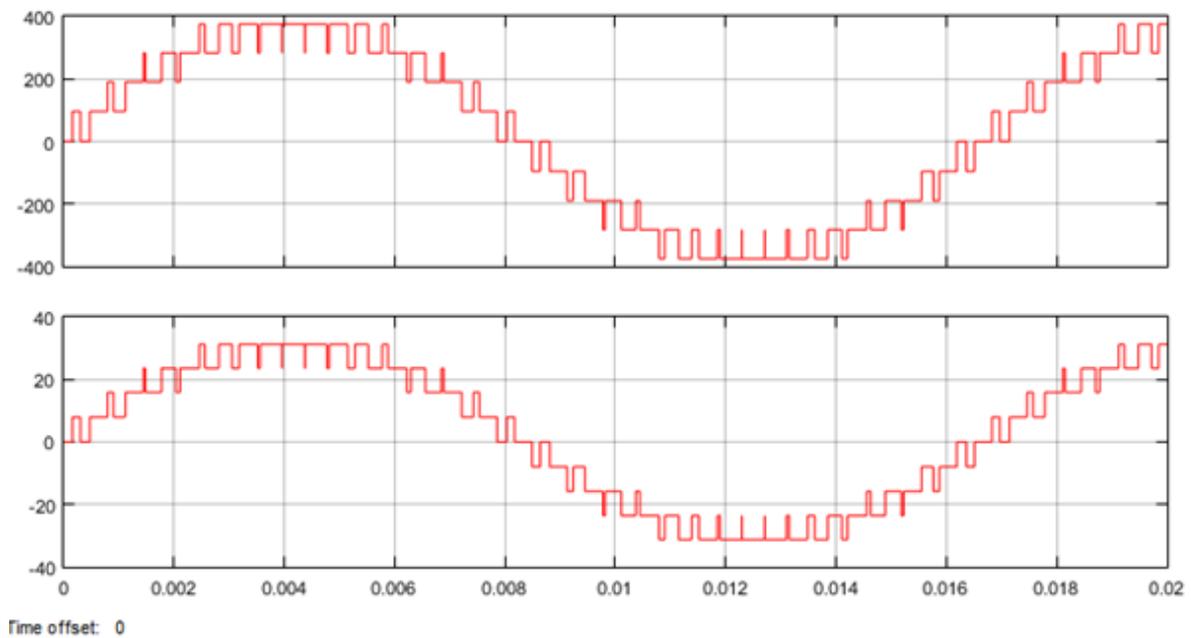


Figura 24 - Comparação entre sinal modulante e portadoras por disposição em fase (PD).

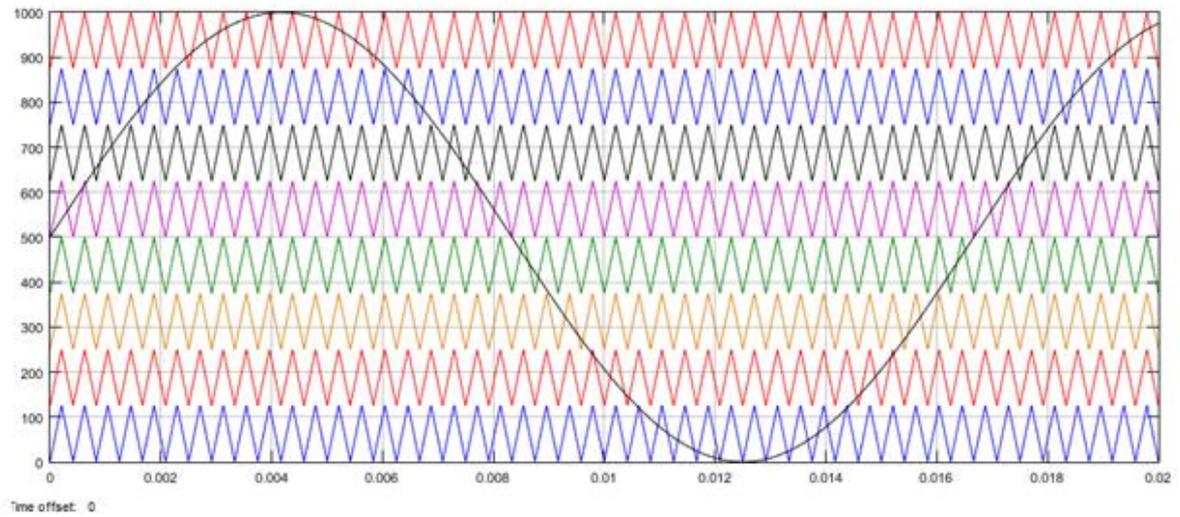


Figura 25 - Tensões de saída sintetizadas e correntes na carga por disposição em fase (PD).

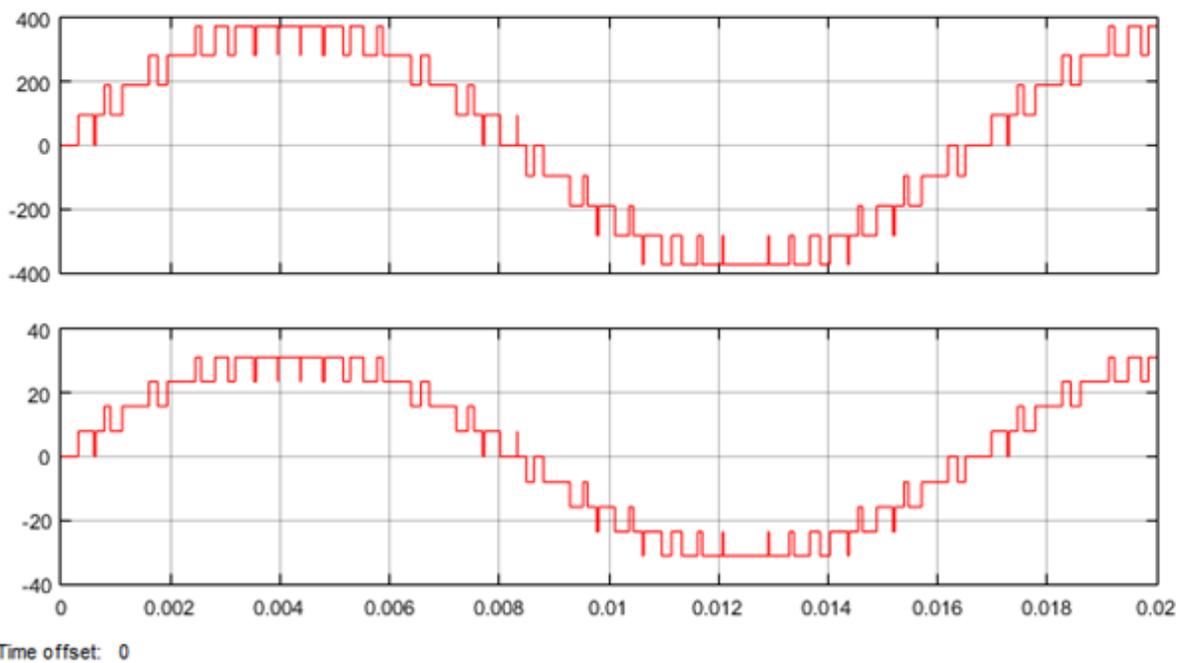
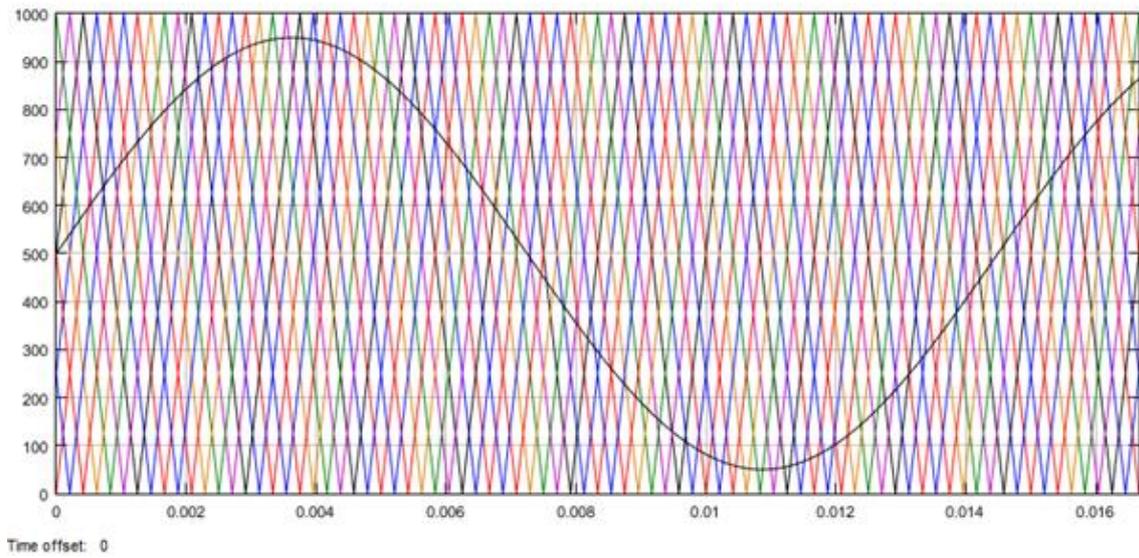
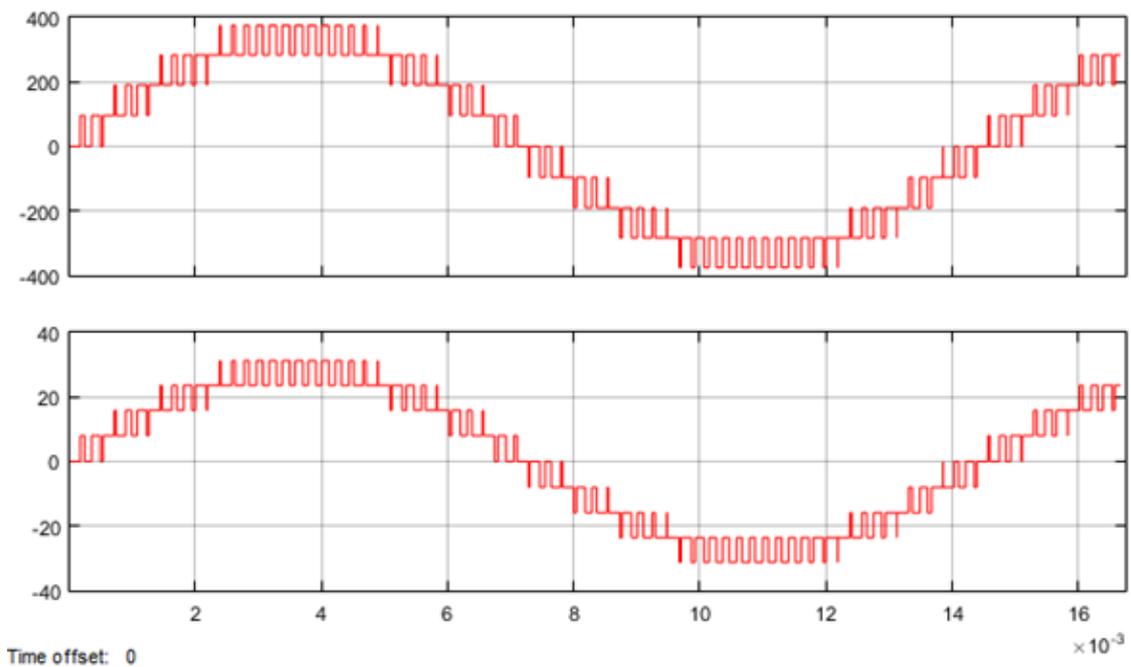


Figura 26 - Comparação entre sinal modulante e portadoras por deslocamento em fase (PS).**Figura 27 - Tensões de saída sintetizadas e correntes na carga por deslocamento em fase (PS).**

A Tabela 4 mostra o valor da THD para cada uma das 4 estratégias para quatro diferentes m_a .

Tabela 4 - THD para as diferentes estratégias de modulação em diferentes m_a .

m_a	0,25	0,5	0,75	1
POD	51,92%	26,59%	17,84%	13,35%
APOD	52,10%	27,20%	18,09%	14,03%
PD	51,99%	26,78%	18,05%	13,43%
PS	52,27%	26,79%	18,08%	10,81%

Nas Figuras 28, 29, 30 e 31 estão apresentadas as análises harmônicas para as estratégias de modulação POD, APOD, PD e PS, respectivamente. Analisando as maiores taxas de distorção harmônica para cada uma das modulações, na modulação POD se encontram adjacente à frequência da portadora; na modulação APOD as maiores taxas estão em bandas próximas à portadora; na modulação PD a distorção acontece principalmente na frequência da portadora; por fim, na modulação PS, as maiores taxas de distorção harmônica ocorrem em $(m-1)*f_p$. Ao observar as imagens é possível averiguar que a principal diferença entre as estratégias de modulação na distribuição de suas distorções harmônicas e, dentre delas a que apresenta maior facilidade para filtragem dos seus harmônicos foi a modulação PS, podendo ser então identificada como a melhor entre as quatro estratégias de modulação empregadas.

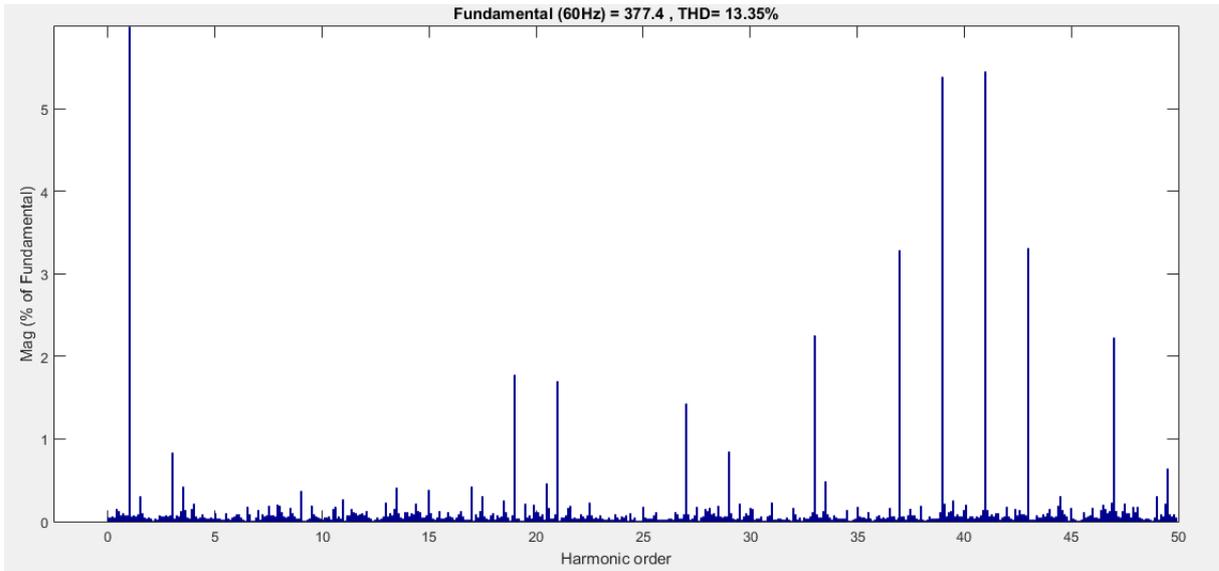
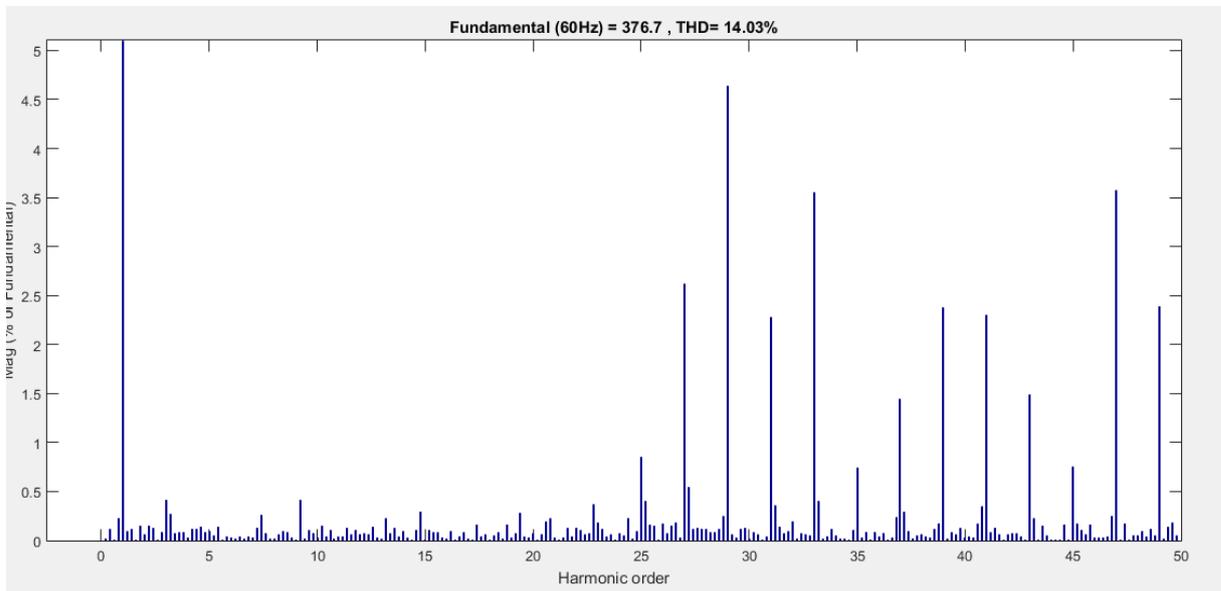
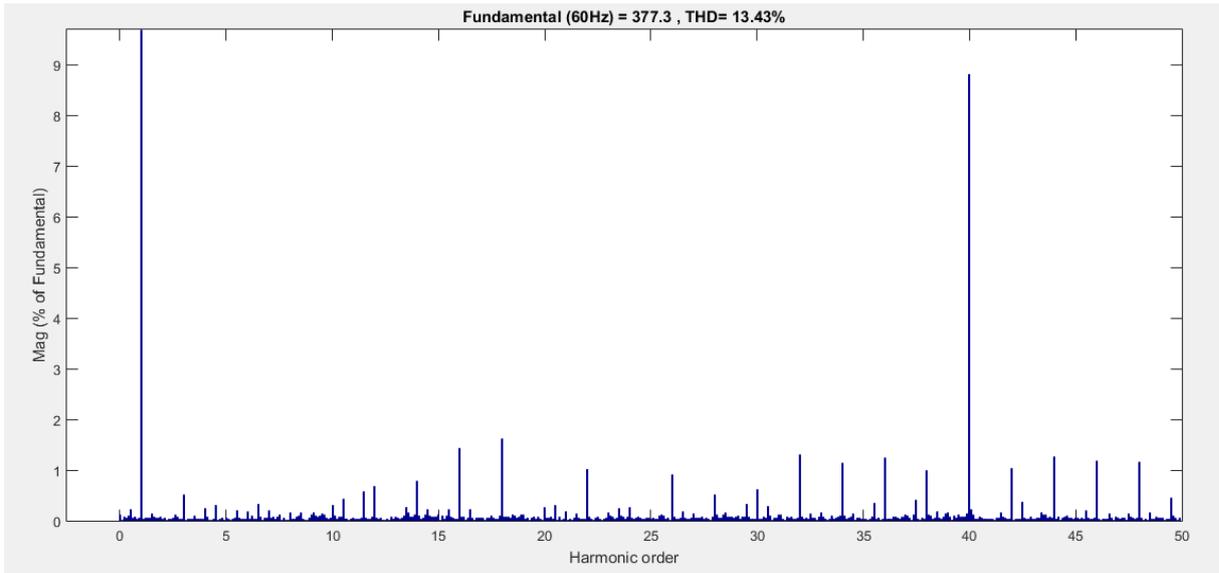
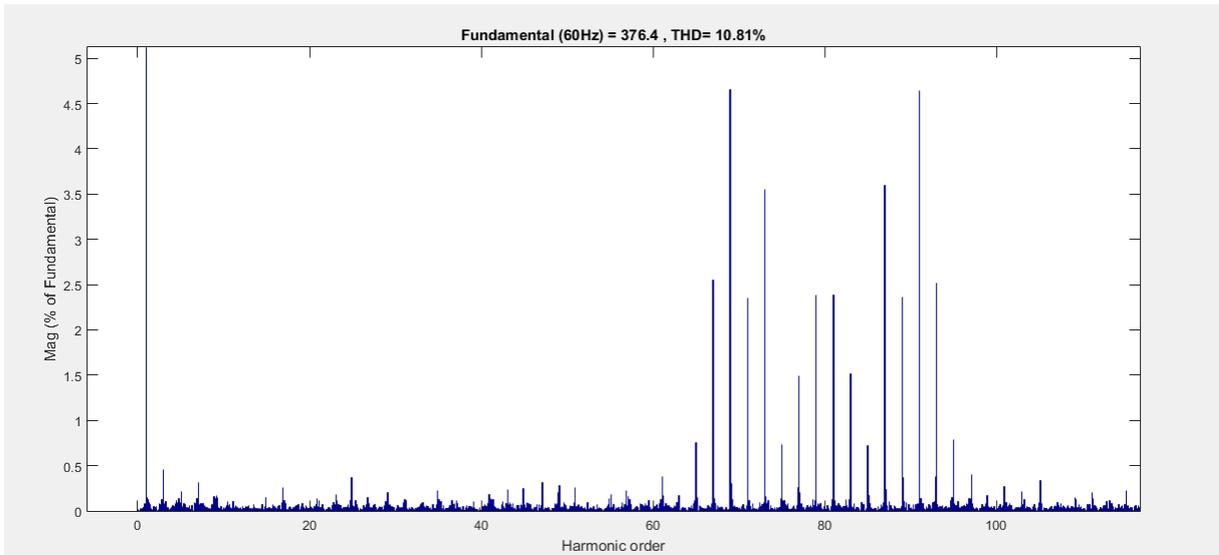
Figura 28 - Análise harmônica na modulação POD com $m_a = 1$ e $m_f = 40$.**Figura 29 - Análise harmônica na modulação APOD com $m_a = 1$ e $m_f = 40$.**

Figura 30 - Análise harmônica na modulação PD com $m_a = 1$ e $m_f = 40$.**Figura 31 - Análise harmônica na modulação PS com $m_a = 1$ e $m_f = 10$.**

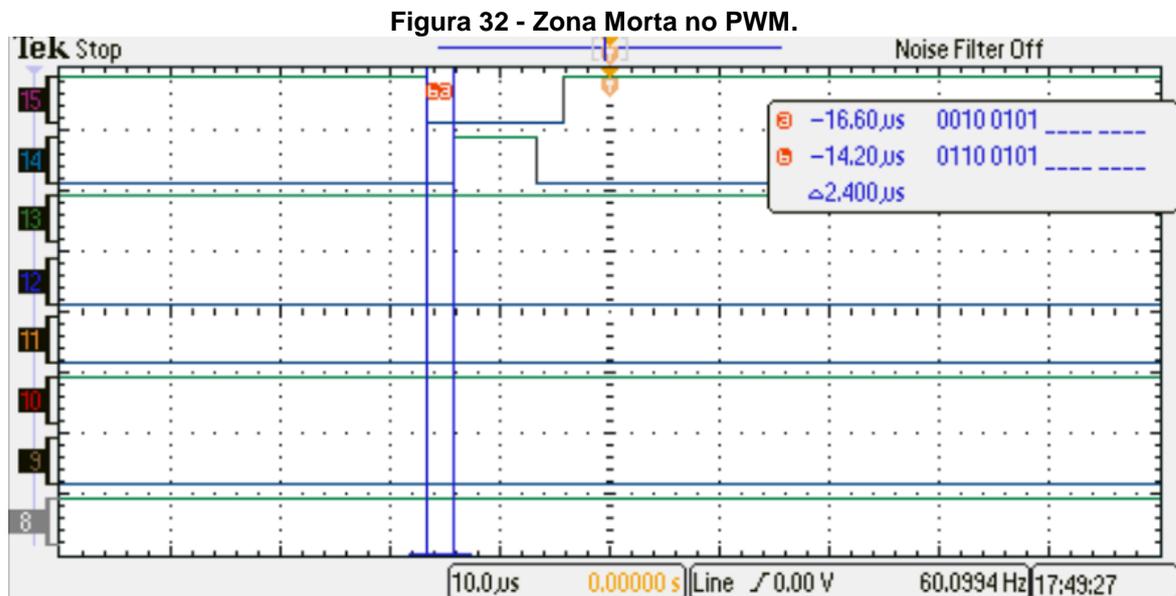
4.2 RESULTADO DA SIMULAÇÃO DO CIRCUITO NO MODELSIM

Para que fosse possível realizar a análise do circuito desenvolvido, foi utilizado o software ModelSim-Altera 10.4 para fazer a simulação utilizando as quatro modulações possíveis. O resultado da simulação pode ser encontrado no Apêndice C.

4.3 RESULTADO DO CIRCUITO PROGRAMADO NA PLACA DE0-NANO

Após serem realizadas as simulações no *software* ModelSim-Altera 10.4, o circuito projetado foi gravado na placa DE0-nano. As estratégias de modulação foram testadas com o auxílio de um osciloscópio digital com ponteira de análise lógica de 16 canais, ligados diretamente nas saídas da DE0-nano, permitindo que fosse possível observar todos os sinais PWM.

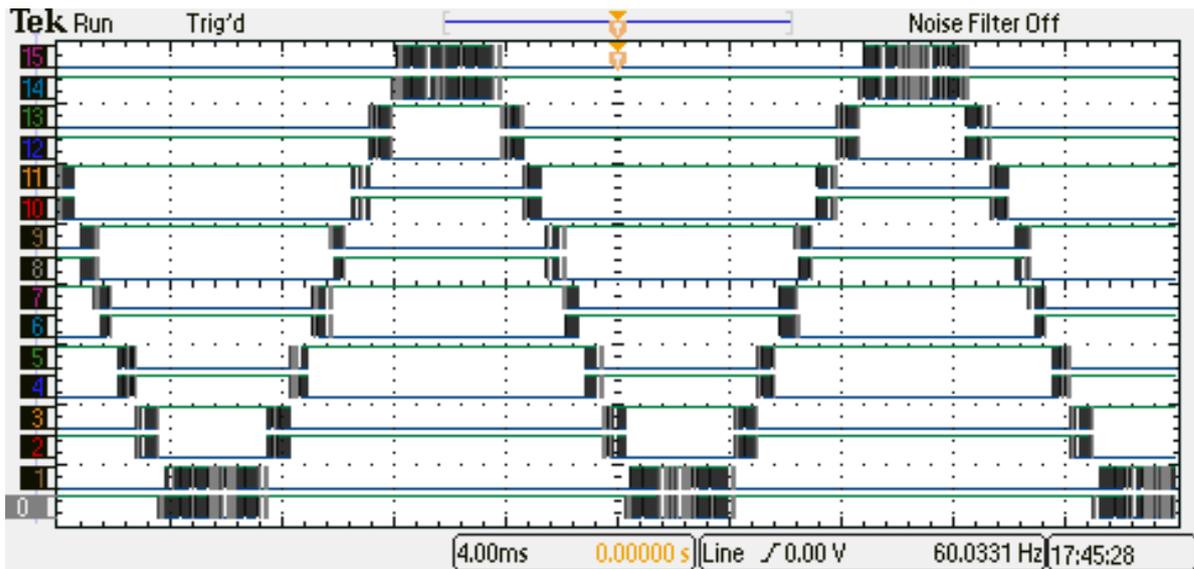
Com o objetivo de evitar que duas chaves do mesmo lado da ponte ficassem abertas ao mesmo tempo, foi implementada um tempo morto de 2,4 μs entre a alteração de uma chave a sua inversa, conforme pode ser visto na Figura 32.



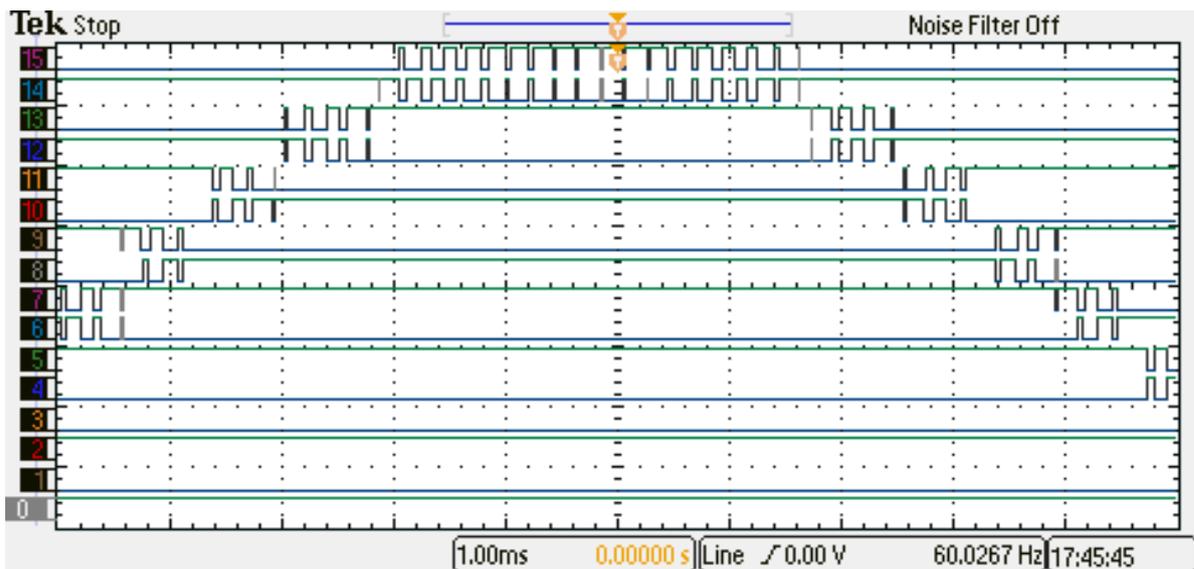
Após observar o correto funcionamento da zona morta, foi necessário verificar se os sinais PWM correspondiam com o que era esperado para cada uma das modulações, para isso são apresentadas duas imagens de cada método, com o

objetivo de observar a forma da onda completa e também os chaveamentos que ocorrem em cada uma das estratégias. As Figuras 33, 34, 35 e 36 representam as saídas para a estratégia POD, APOD, PD e OS, respectivamente.

Figura 33 - Resultado do Circuito para Disposição em Oposição de Fase (POD) (a) observando a forma completa da onda com escala de tempo de 4 ms e (b) com escala de tempo de 1 ms para detalhamento dos chaveamentos.

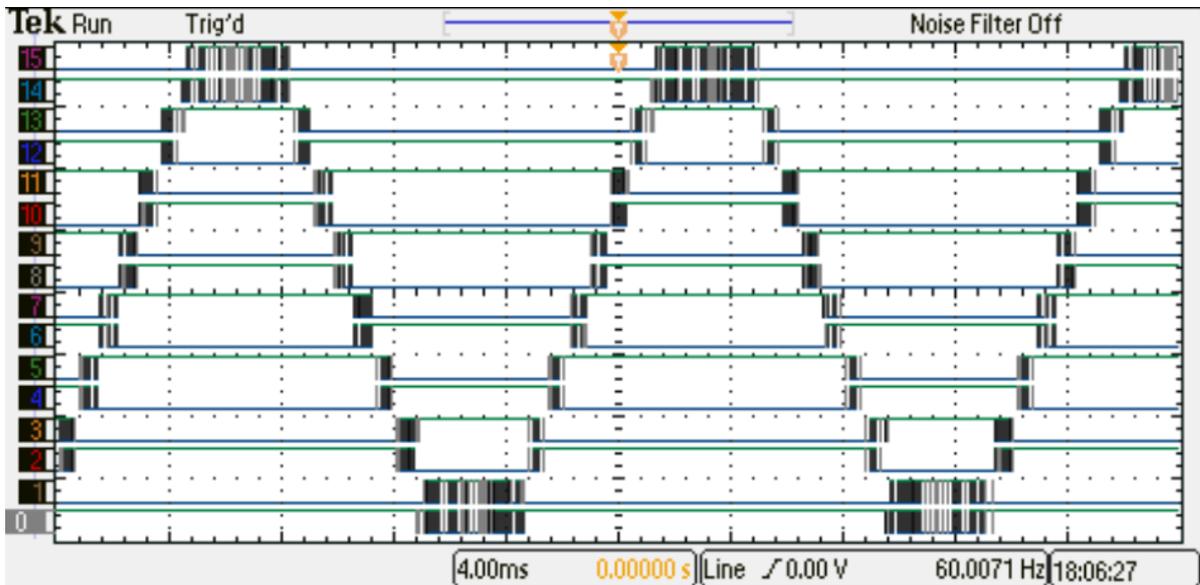


(a)

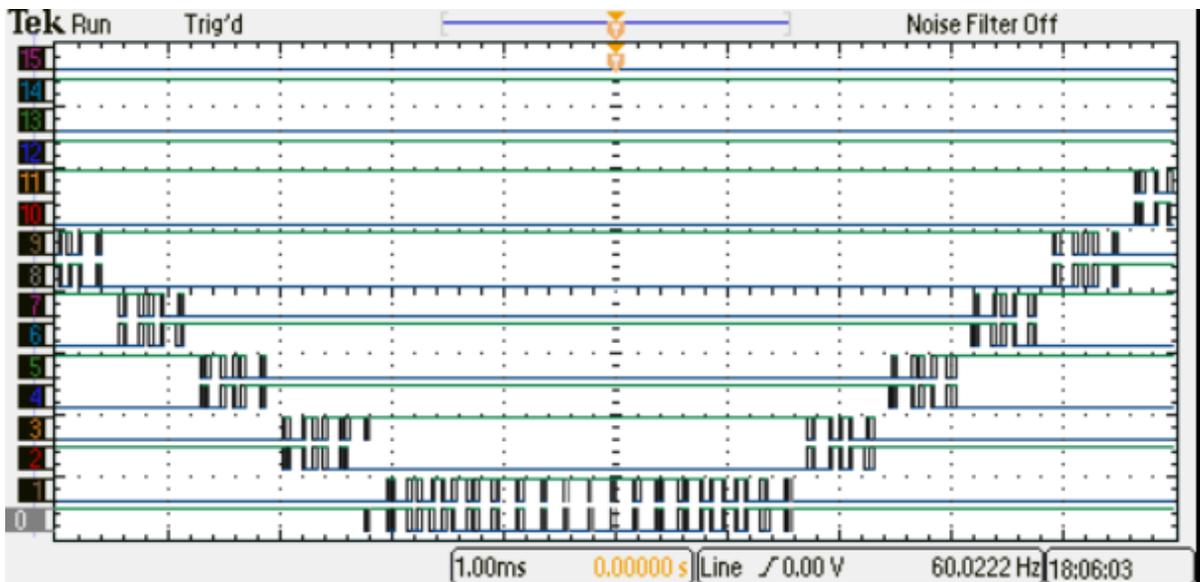


(b)

Figura 34 - Resultado do Circuito para a Modulação em Disposição em Oposição de Fase Alternada (APOD) (a) observando a forma completa com escala de tempo de 4 ms e (b) com escala de tempo de 1 ms para detalhamento dos chaveamentos.

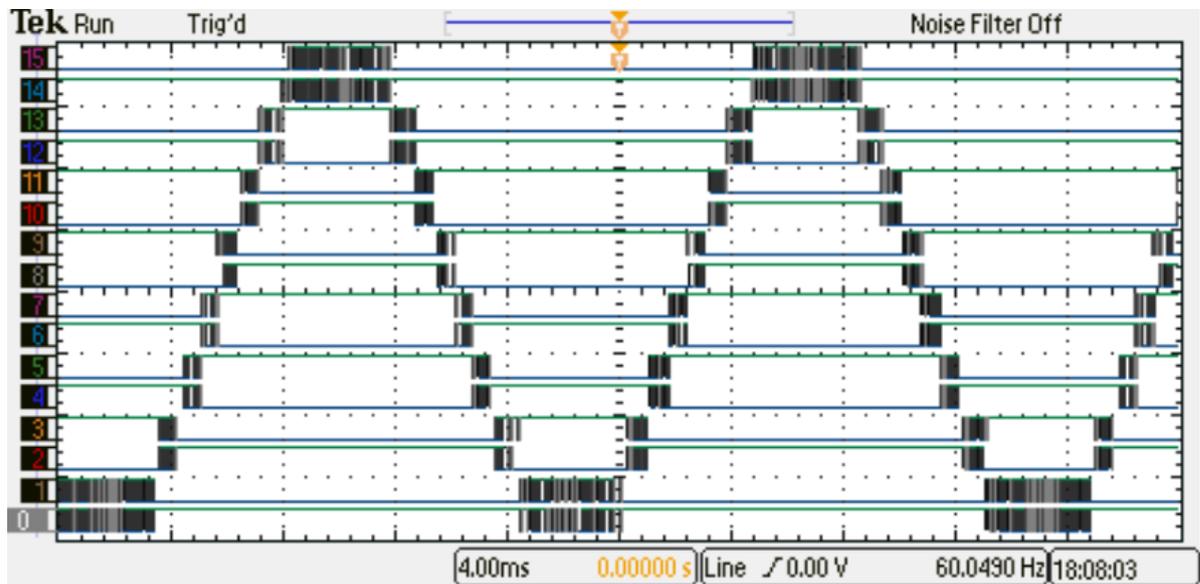


(a)

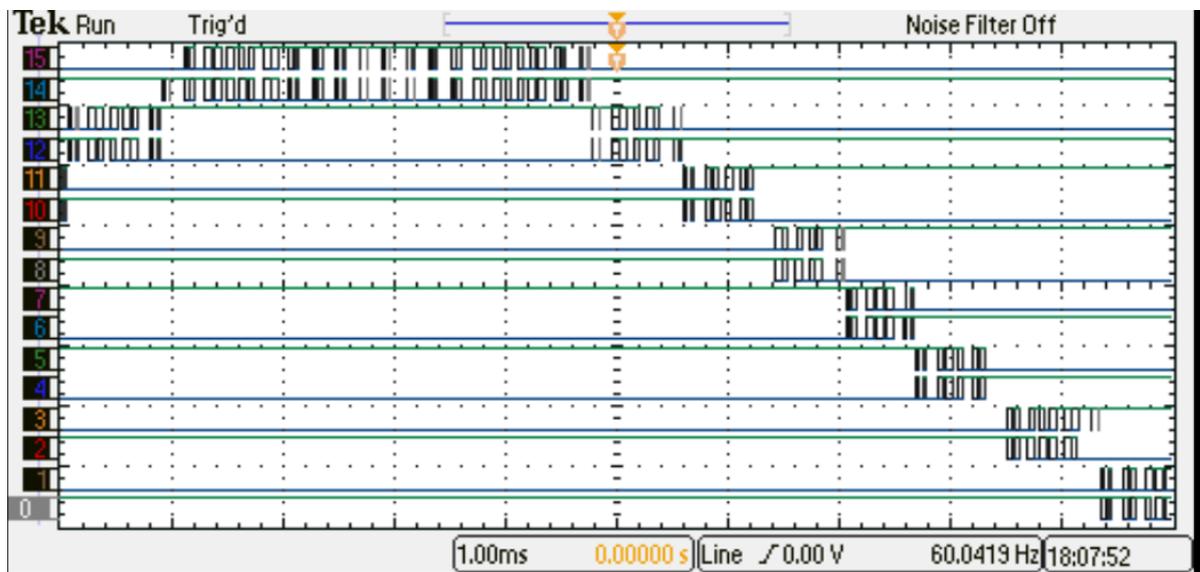


(b)

Figura 35 - Resultado do Circuito para Disposição em Fase (PD) (a) observando a forma completa da onda com escala de tempo de 4 ms e (b) com escala de tempo de 1 ms para detalhamento dos chaveamentos.

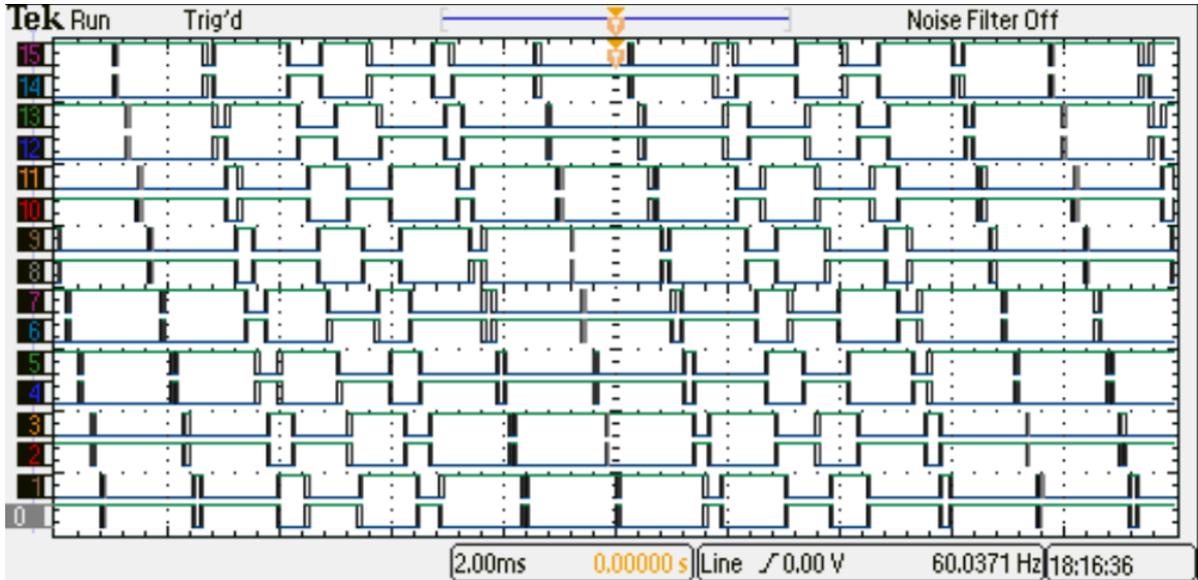


(a)

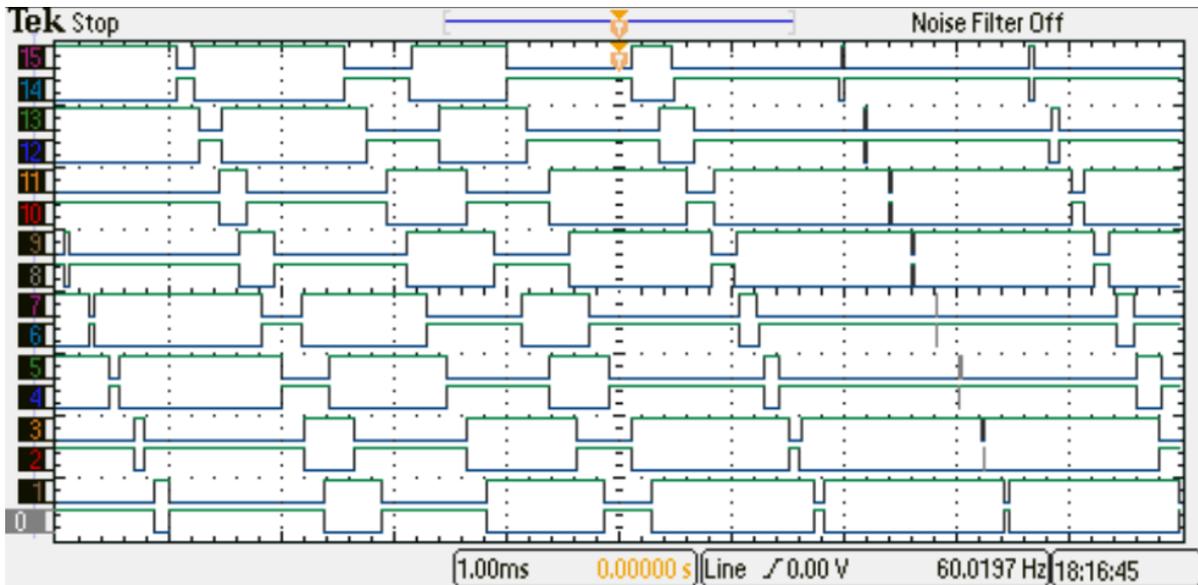


(b)

Figura 36 - Resultado do Circuito para Deslocamento de Fase (PS) (a) observando a forma completa da onda com escala de tempo de 4 ms e (b) com escala de tempo de 1 ms para detalhamento dos chaveamentos.



(a)



(b)

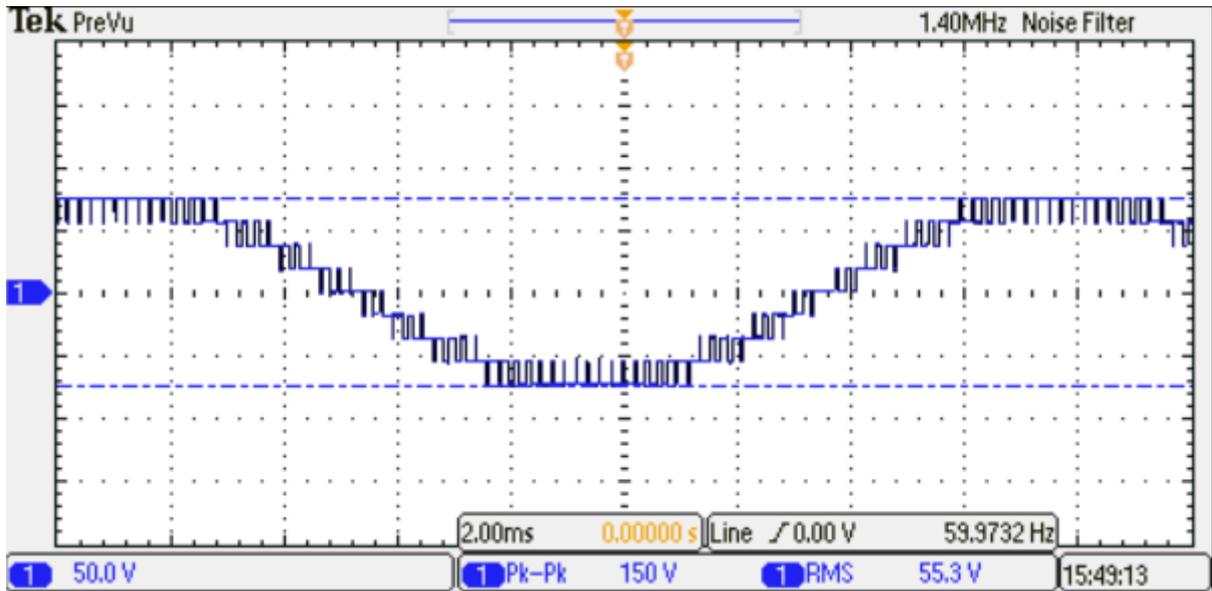
4.4 RESULTADOS OBTIDOS COM O CIRCUITO DE POTÊNCIA

Foi adicionado o circuito de potência ao esquema apresentado na Figura 19 e realizados os testes descritos na seção 3.4. Para melhor observação, são apresentadas duas figuras para cada estratégia de modulação; a primeira representa a saída apenas com a presença de um filtro para redução de ruídos, filtro esse que foi variado de acordo com a necessidade de cada modulação para obter a saída com menor ruído possível sem distorcer a forma de onda. Enquanto isso, a segunda imagem representa uma média de 32 pontos, realizada pelo próprio osciloscópio, para observar a aproximação das formas de onda obtidas com uma senoide.

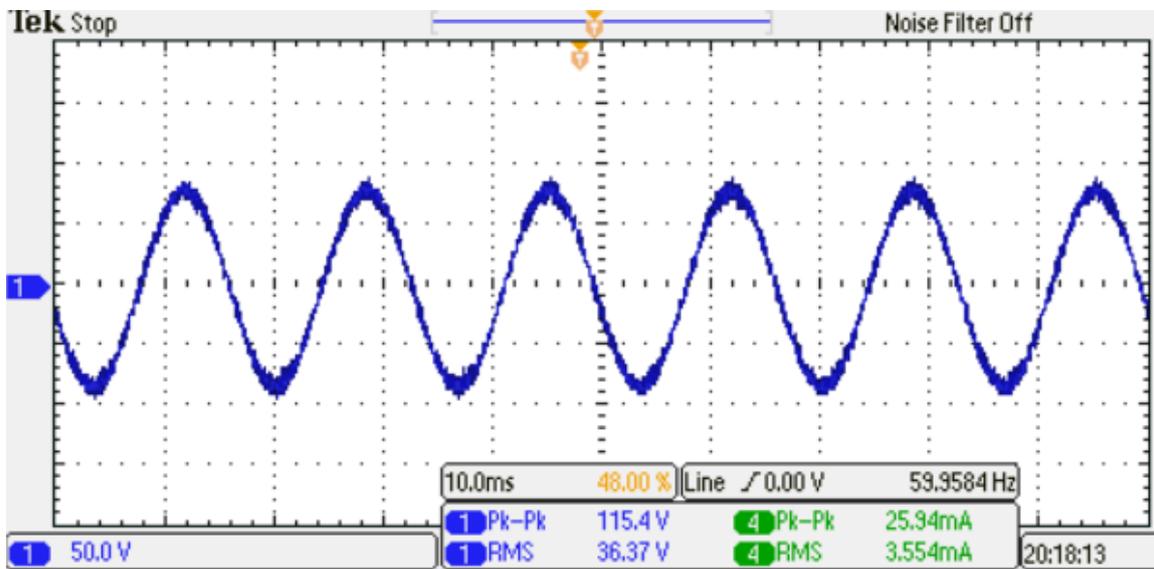
Além disso, nessa etapa do projeto tornou-se possível testar o funcionamento do potenciômetro na variação da amplitude da senoide de referência e com isso variar a quantidade de níveis de modulação. A leitura do potenciômetro se deu com a ajuda do Qsys, uma ferramenta da altera que auxilia na criação de sistemas integrados em FPGA. Nesse caso foram utilizados o NIOS II (um processador criado para FPGA), um ADC fornecido pela Altera, portas de entrada e saída, memória para poder rodar e uma interface de comunicação serial para permitir a troca de informações com o terminal. Após isso foi utilizada a ferramenta do Quartus para programação no NIOS em ambiente Eclipse. É possível encontrar o código utilizado para fazer a leitura no Apêndice D.

Nas Figuras 37, 38, 39 e 40 são apresentadas as formas de onda da tensão nas modulações POD, APOD, PD e PS, respectivamente, sem a presença de carga.

Figura 37 - Resultado da modulação POD sem a presença de carga (a) somente com filtragem de ruídos e (b) com média de 32 valores.

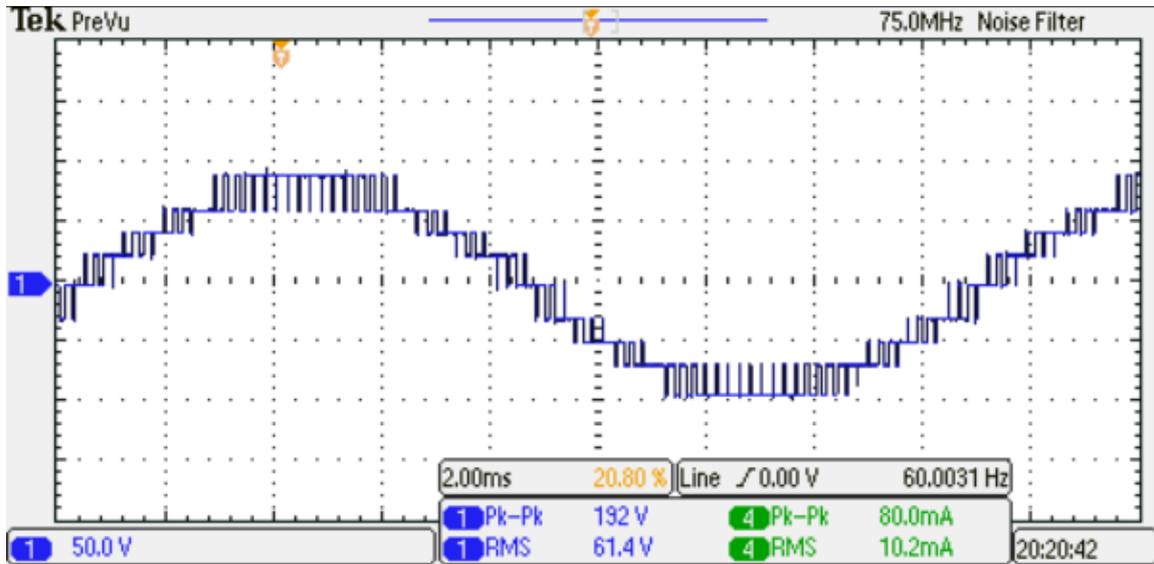


(a)

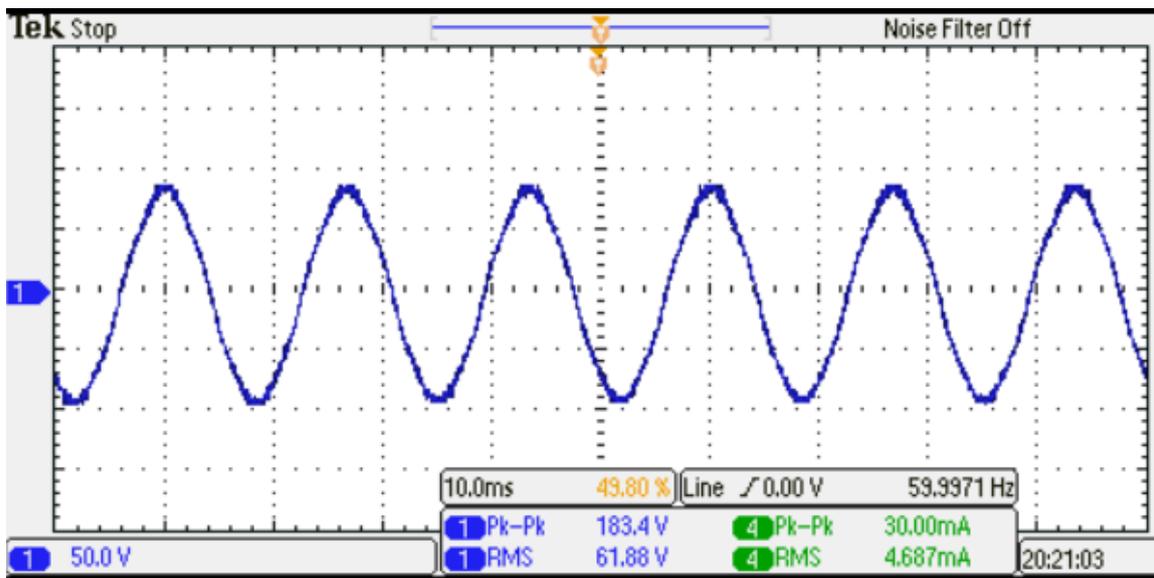


(b)

Figura 38 - Resultado da modulação APOD sem a presença de carga (a) somente com filtragem de ruídos e (b) com média de 32 valores.

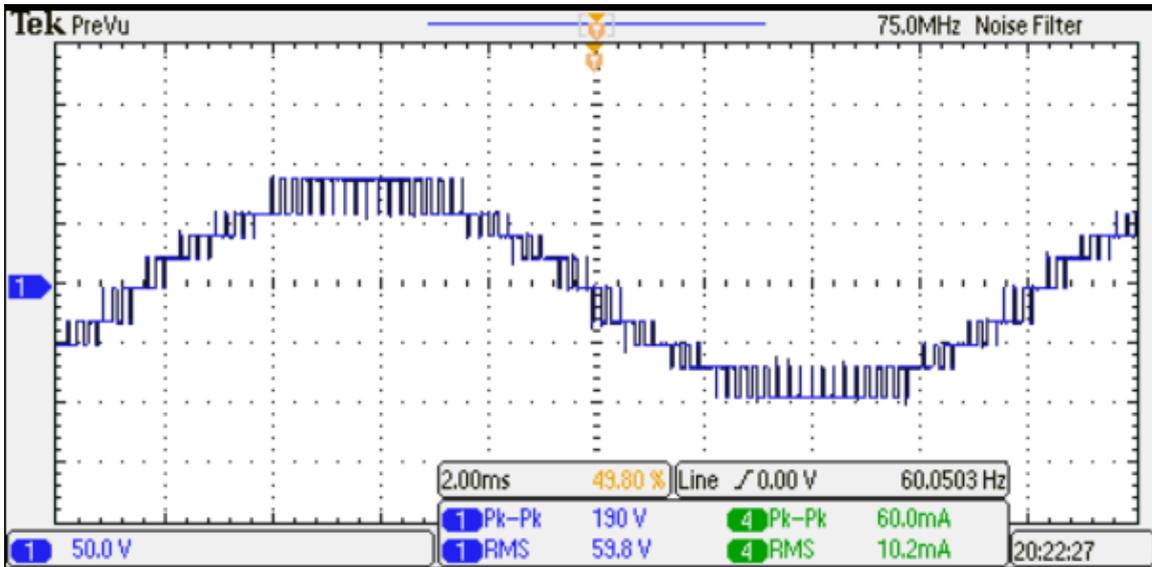


(a)

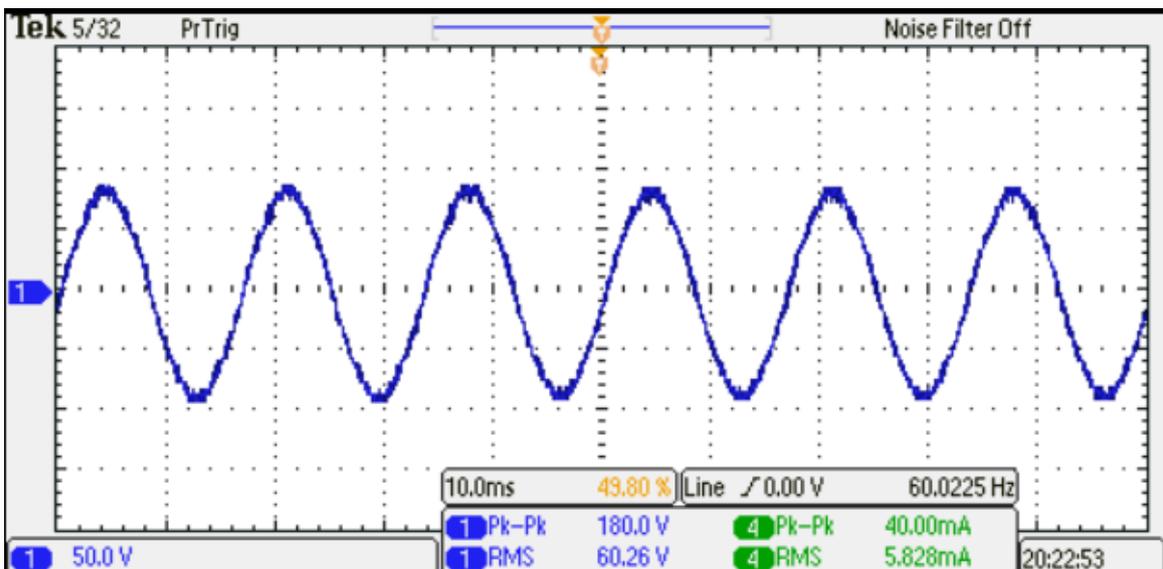


(b)

Figura 39 - Resultado da modulação PD sem a presença de carga (a) somente com filtragem de ruídos e (b) com média de 32 valores.

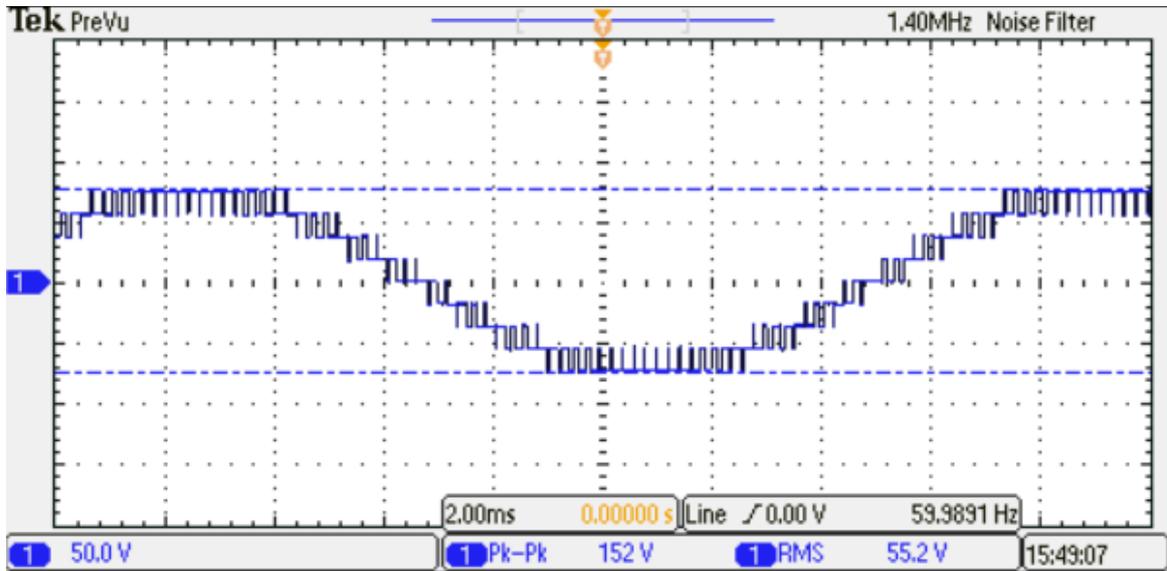


(a)

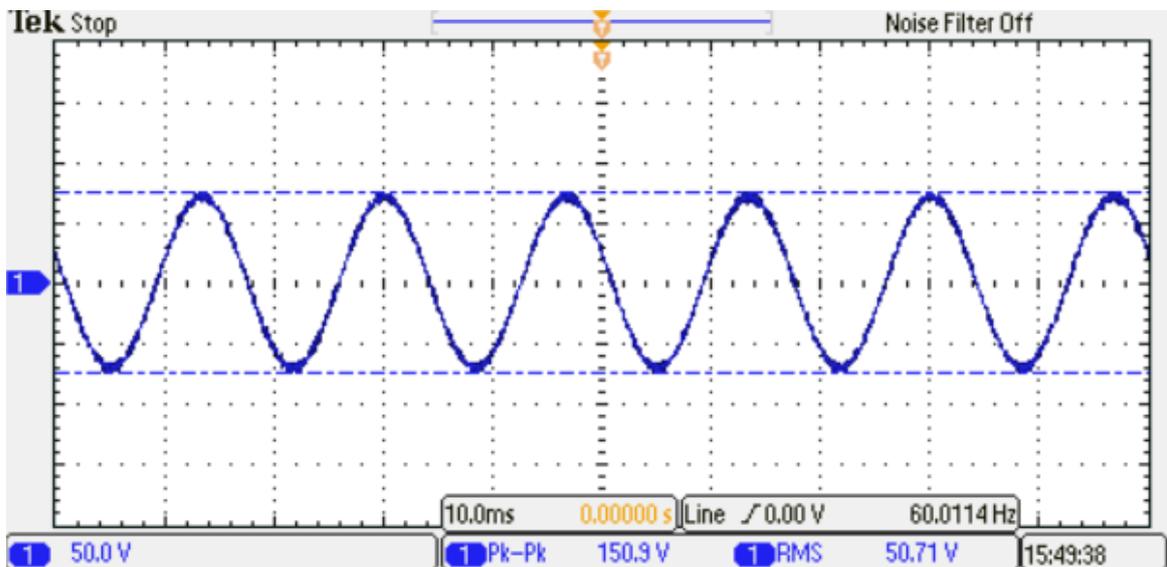


(b)

Figura 40 - Resultado da modulação PS sem a presença de carga (a) somente com filtragem de ruídos e (b) com média de 32 valores.



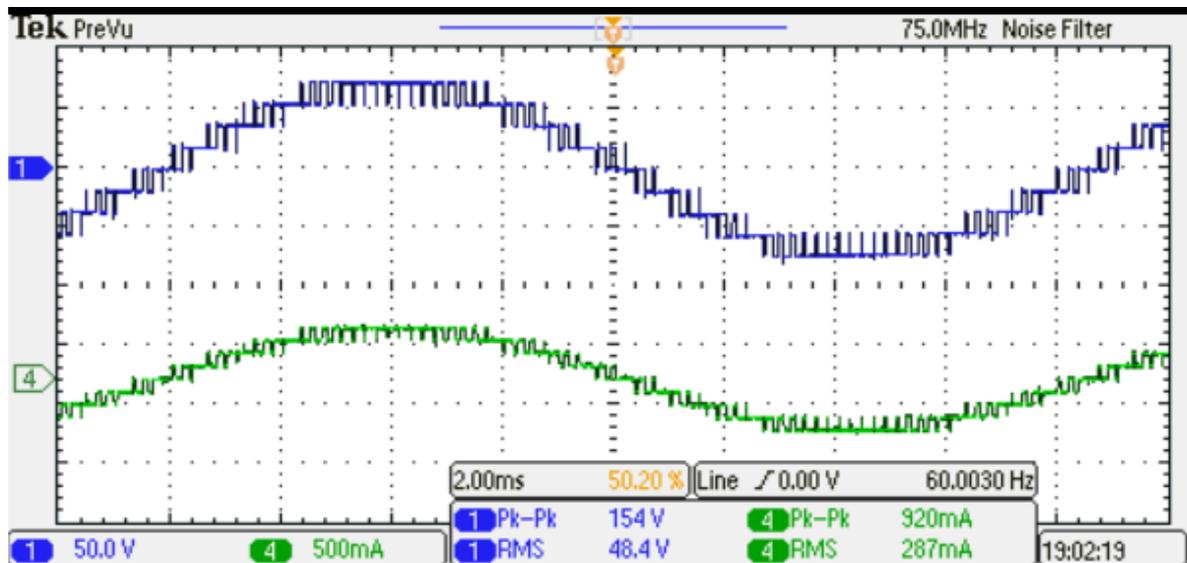
(a)



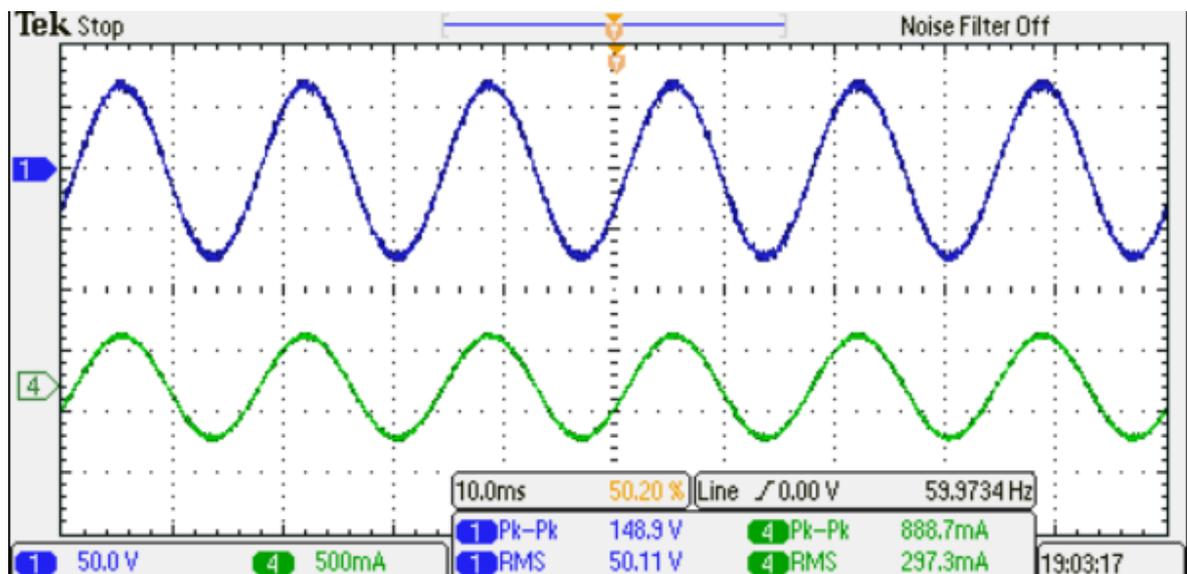
(b)

Nas Figuras 41, 42, 43 e 44 estão presentes os resultados de tensão e corrente das respectivas modulações POD, APOD, Pose PS usando uma carga resistiva de $166,7 \Omega$.

Figura 41 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga do circuito de potência com modulação POD (a) somente com filtragem de ruídos e (b) com média de 32 valores.

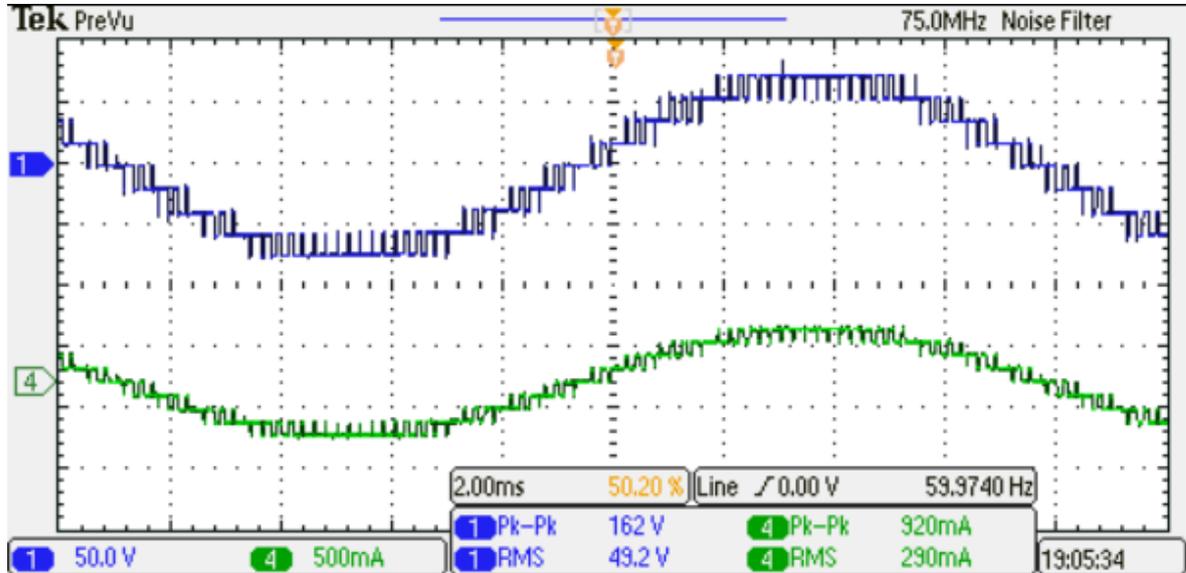


(a)

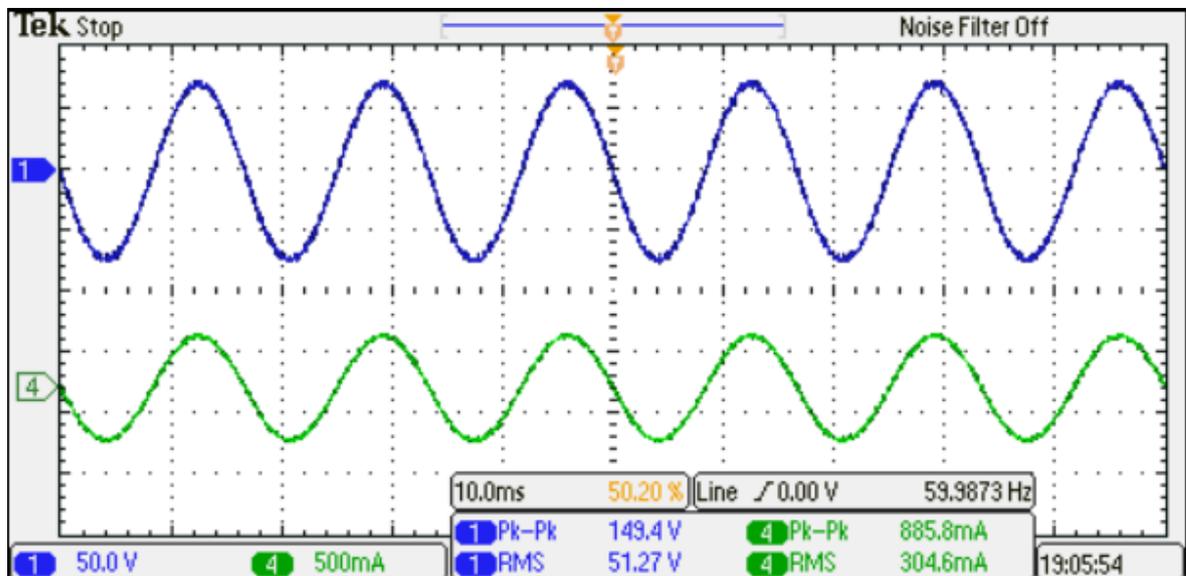


(b)

Figura 42 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga do circuito de potência com modulação APOD (a) somente com filtragem de ruídos e (b) com média de 32 valores.

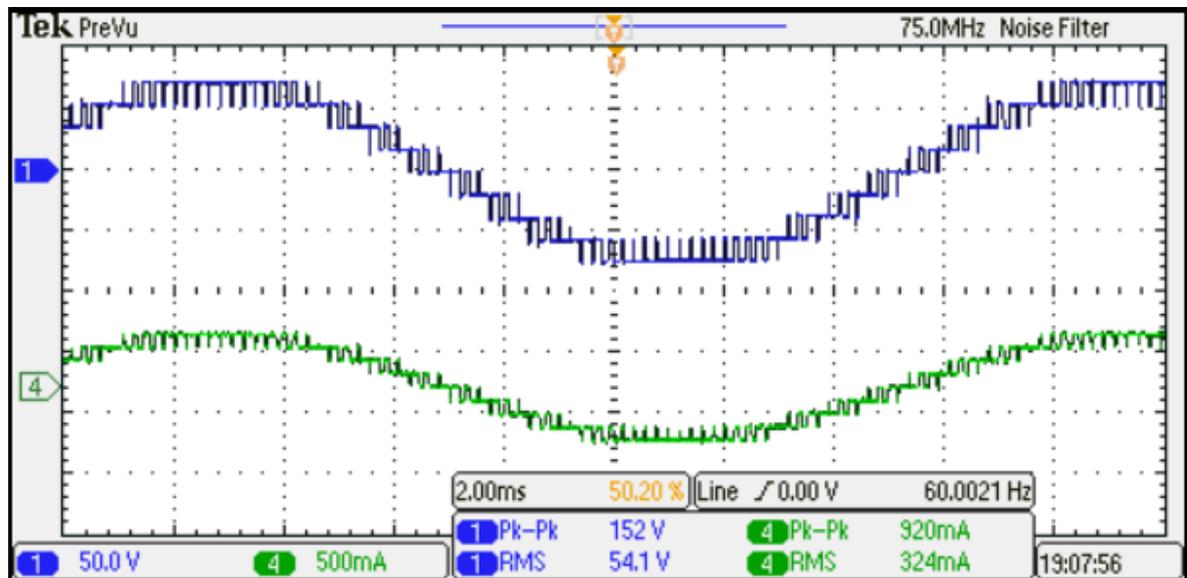


(a)

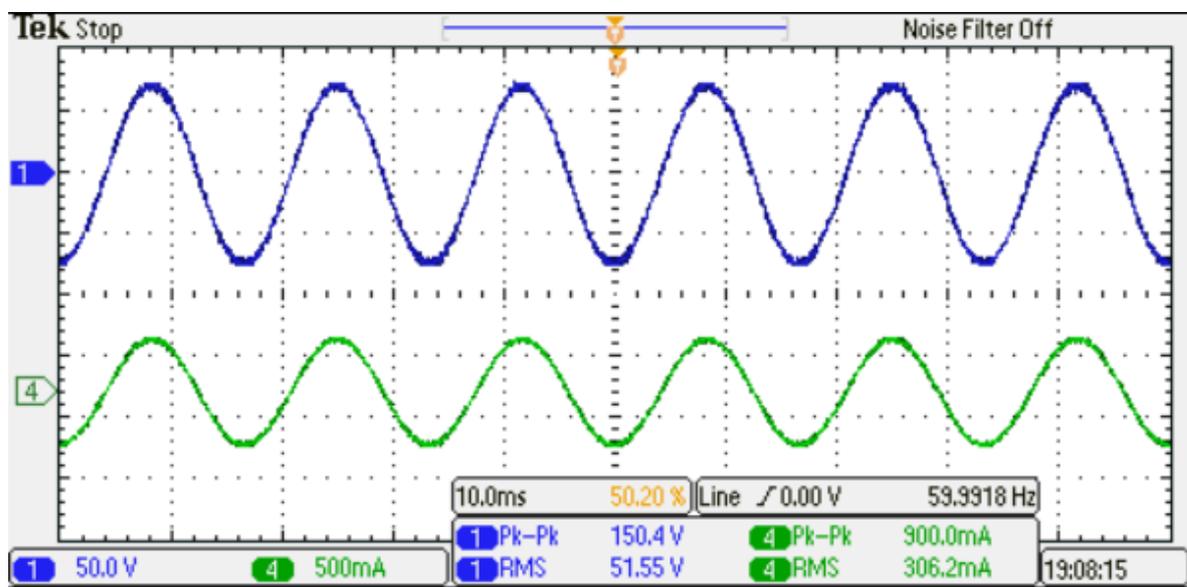


(b)

Figura 43 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga do circuito de potência com modulação PD (a) somente com filtragem de ruídos e (b) com média de 32 valores.

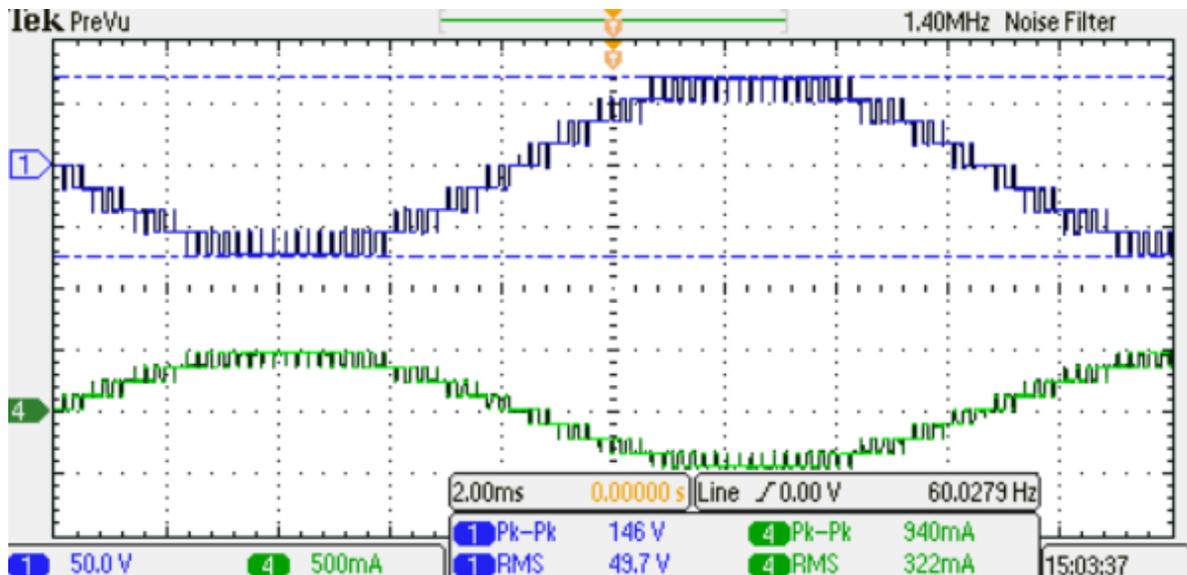


(a)

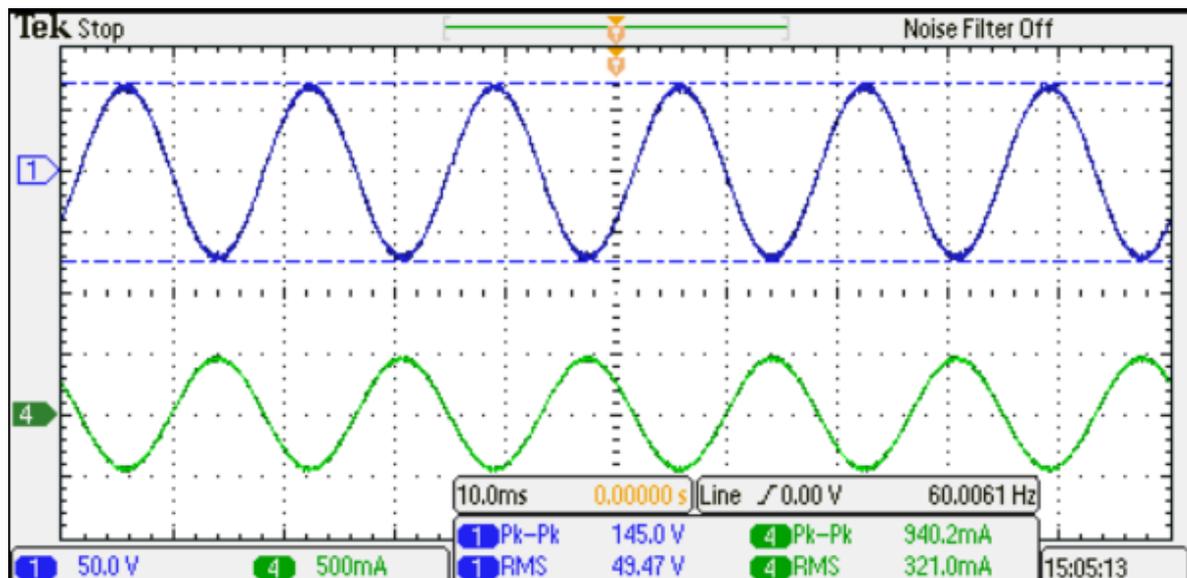


(b)

Figura 44 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga do circuito de potência com modulação PS (a) somente com filtragem de ruídos e (b) com média de 32 valores.



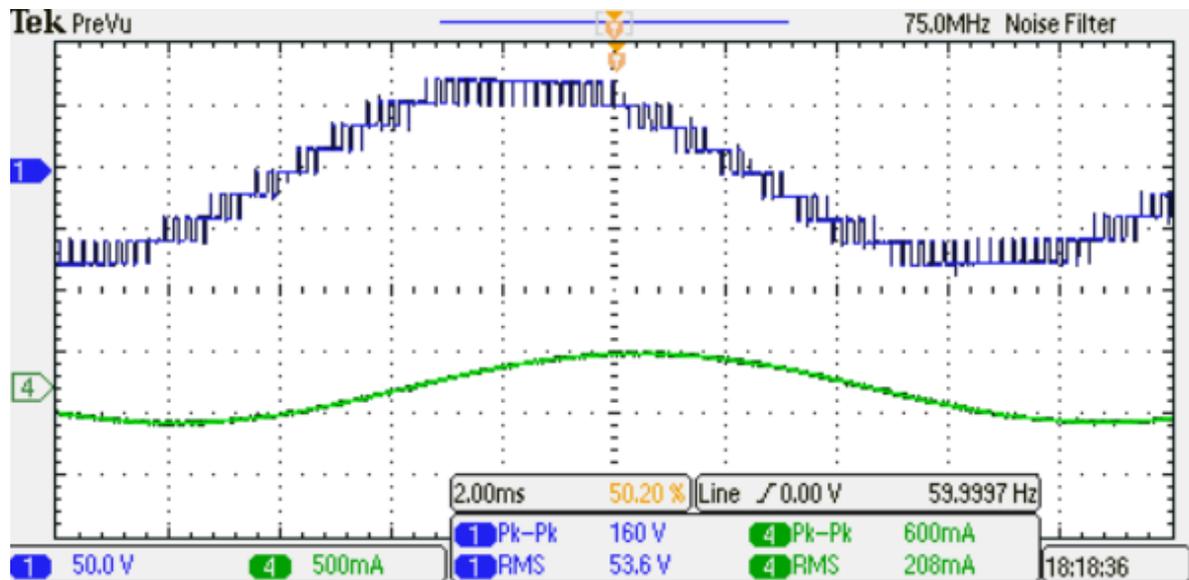
(a)



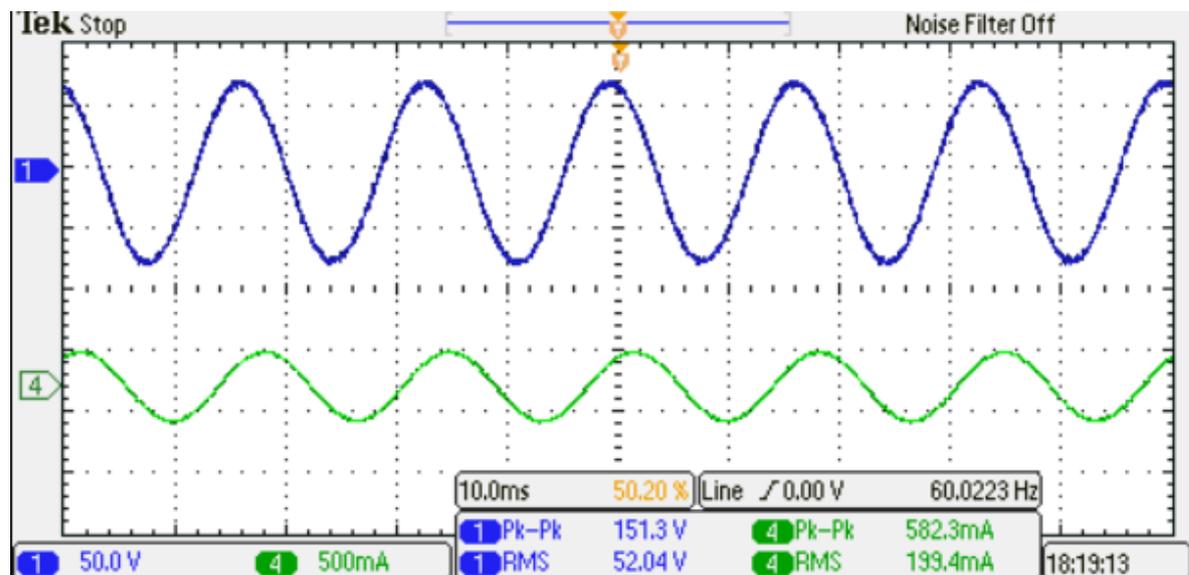
(b)

Por fim, foi adicionado em série à carga um indutor de 407,7 mH e os resultados obtidos no osciloscópio estão presentes nas Figuras 45, 46, 47 e 48.

Figura 45 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga resistiva-indutiva do circuito de potência com modulação POD (a) somente com filtragem de ruídos e (b) com média de 32 valores.

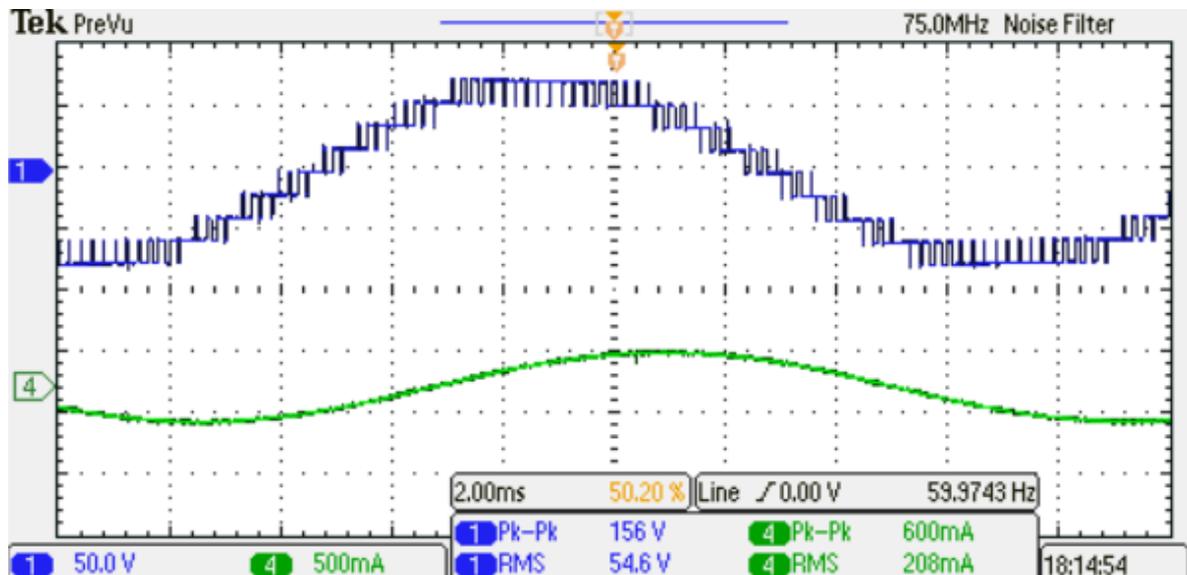


(a)

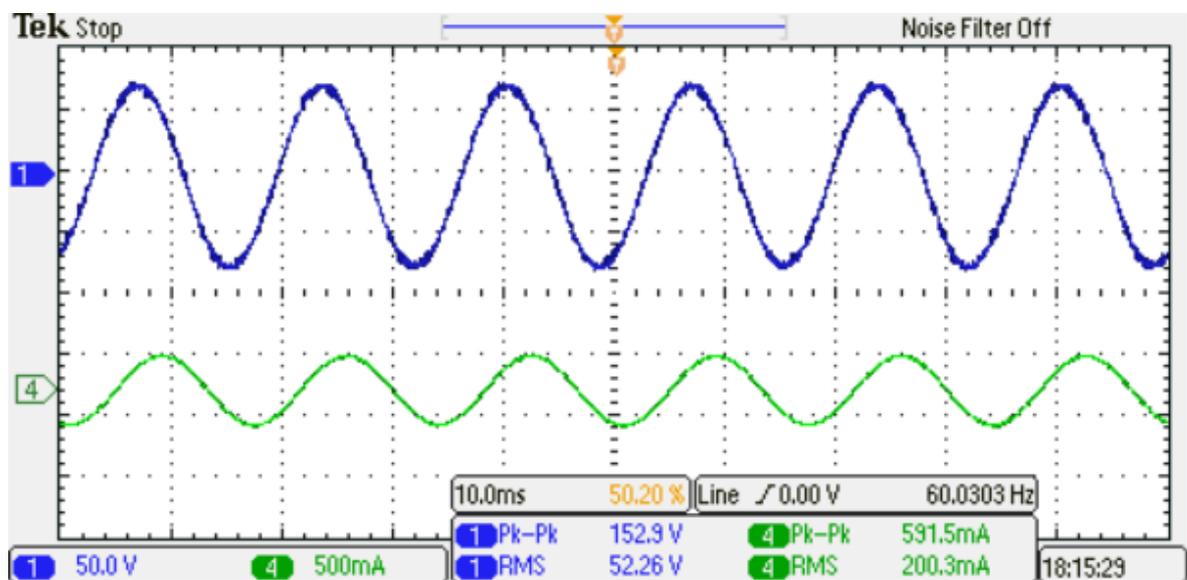


(b)

Figura 46 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga resistiva-indutiva do circuito de potência com modulação APOD (a) somente com filtragem de ruídos e (b) com média de 32 valores.

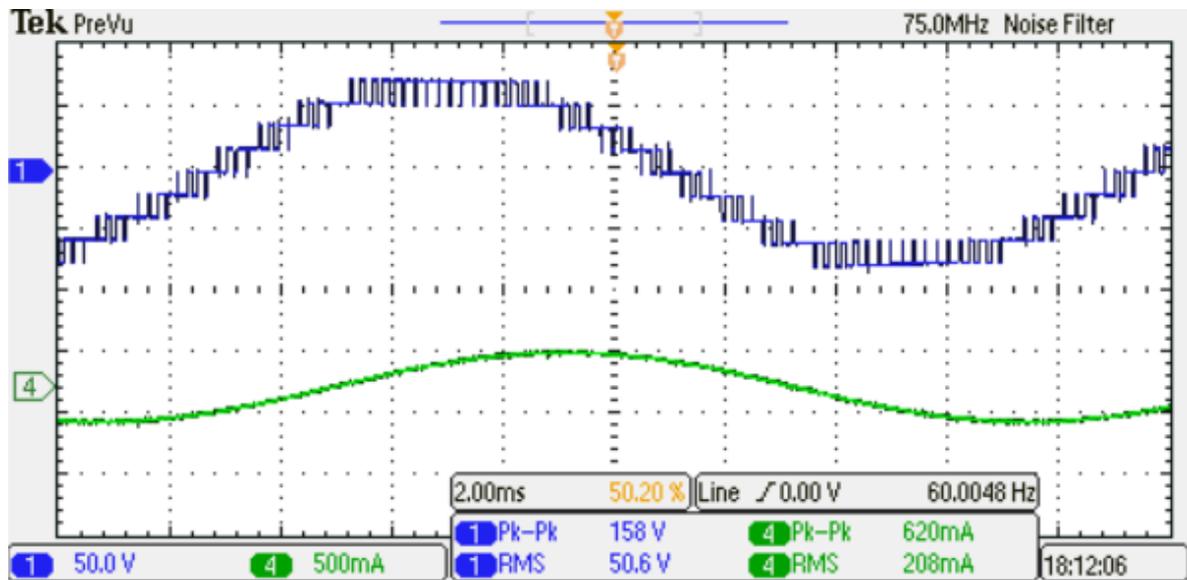


(a)

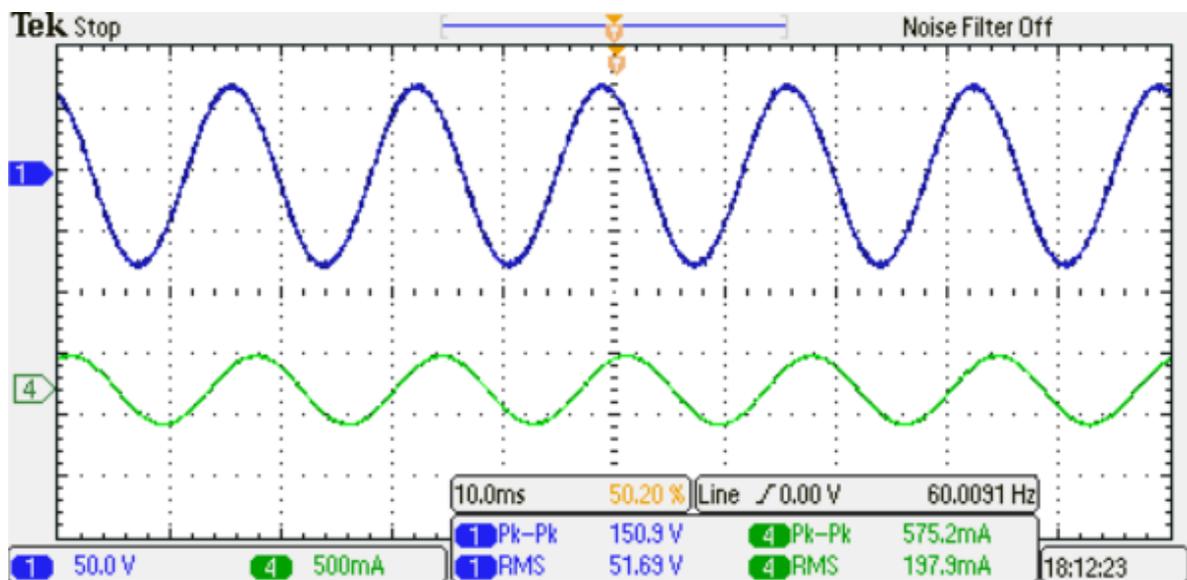


(b)

Figura 47 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga resistiva-indutiva do circuito de potência com modulação PD (a) somente com filtragem de ruídos e (b) com média de 32 valores.

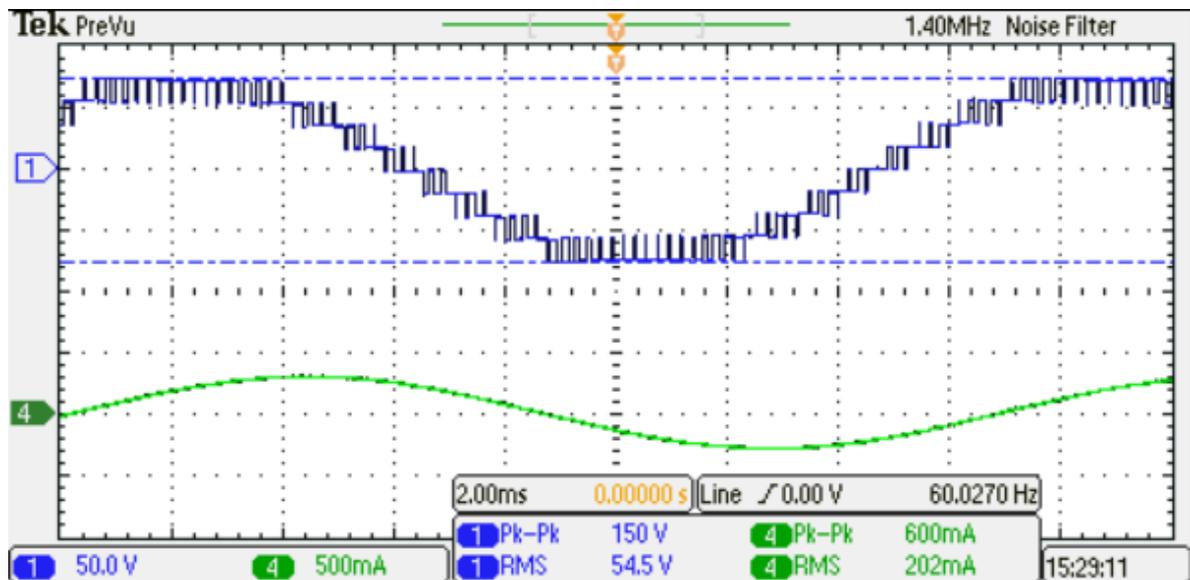


(a)

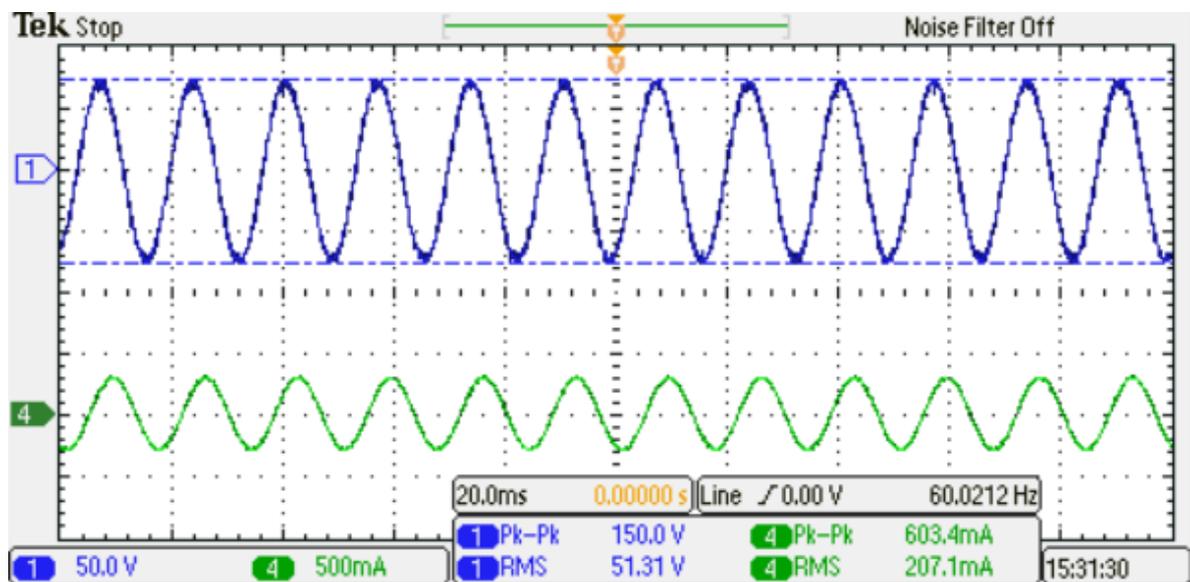


(b)

Figura 48 - Tensão (em azul – canal 1) e corrente (em verde – canal 4) na carga resistiva-indutiva do circuito de potência com modulação PS (a) somente com filtragem de ruídos e (b) com média de 32 valores.



(a)



(b)

5 CONCLUSÕES

Pode-se verificar que os resultados obtidos pelo circuito real implementado foram condizentes com as simulações realizadas pelo *software* Simulink e com o referencial da literatura. Portanto, pode-se assumir que o trabalho presente cumpriu com o objetivo proposto.

Analisando-se as diferentes estratégias de modulação, pode-se averiguar que não existe grande diferença visual entre os resultados apresentados. Verificou-se, portanto, que as diferenças mais significativas entre as estratégias de modulação era com relação às suas THD, sendo então que a modulação PS apresentou os resultados mais propícios para a implementação com filtro.

Uma das maiores dificuldades na realização dos testes em placa foi a necessidade de haver múltiplas fontes CC separadas para cada placa, aumentando o tamanho e complexidade do sistema.

Além disso, devido ao surgimento de problemas não previstos previamente, como a necessidade de mudança do *layout* de uma das placas para poder gerar os nove níveis e a maior complexidade encontrada para geração da modulação PS, foi necessário abandonar a parte do projeto referente ao visor de LCD. Este problema foi resolvido isolando-se a referência de terra digital do kit DE0-Nano da referência de terra analógico do inversor de potência.

Como sugestões de trabalhos futuros, pode-se citar: (1) desenvolvimento de um conversor Flyback para alimentar as saídas isoladas dos optoacopladores; (2) circuito de amostragem para leitura de tensão de saída do inversor; (3) circuito de amostragem para leitura de corrente de saída do inversor; (4) implementação de algoritmo *softstart*; (5) estudo de algoritmos de controle digital para correção da forma de onda de saída com degraus de carga, dentre outros.

REFERÊNCIAS

- AHMED, Ashfaq. **Eletrônica de Potência**. São Paulo: Prentice Hall, 2000.
- BATSCHAUER, A. L. **Inversor Multiníveis Híbrido Trifásico Baseado em Módulos Meia-Ponte**, 2011. Tese de Doutorado. Universidade Federal de Santa Catarina, 2011, Florianópolis-SC.
- BERRANDJIA, M. L.; OUDJIDA, A. K.; BENBLIDIA, M. N. **Réalisation d'une Plateforme HW/SW sur FPGA Dédiée au Contrôle Embarqué**. 2011.
- BRAGA, Henrique A. C.; BARBI, Ivo. Conversores Estáticos Mu-tiníveis - Uma Revisão. **SBA Controle & Automação**. São José dos Campos, v. 11, n.1, Jan., Fev., Mar., Abr., 2000.
- COELHO, C. A.; FERNANDES, L. G. **Estudo e Implementação de um Inversor Multinível Monofásico Controlado por FPGA para Aplicações de Ensino e Pesquisa**, 2016. Trabalho de Conclusão de Curso (Engenharia de Controle e Automação). Universidade Tecnológica Federal do Paraná. Curitiba, 2016.
- COSTA, César da. **Projetos de Circuitos Digitais com FPGA**. 1 ed. São Paulo: Érica, 2009.
- ESPINDOLA, B. M. **Desenvolvimento e Uso de Módulos para Processamento de Sinais em FPGA**. Monografia (Sistemas de Telecomunicações). Instituto Federal de Santa Catarina. São José, 2011.
- FALAH, G. **Design, Modeling and Control of Modular Multilevel Converter based HVDC System**. Dissertação de Doutorado (Engenharia Elétrica) North Carolina State University. Raleigh, 2015.
- FLORES G. C. **Inversor de Tensão Multinível com Diodos de Grampeamento em Conexão Piramidal**, 2009. Dissertação de Mestrado (Engenharia Elétrica). Universidade Federal de Santa Catarina, 2009.
- GONÇALVES, L. G. O. **Projeto de um Inversor Multiníveis Híbrido para Média Tensão Industrial**, 2011. Dissertação de Mestrado (Engenharia Elétrica). Universidade Federal de Minas Gerais, 2011.

GRIGOLETTO, F. B. **ContribuiO, F. B. 9. Mestrado (Engenharia Elétrica Aplicadas a Conversores Multindas a com Diodos de Grampeamento.** Universidade Federal de Santa Maria, 2009, Santa Maria-RS.

HENN, G. A. de L. **Técnica de Modulação Aplicada às Estruturas de Inversores Multiníveis com Neutro Grampeado e Capacitor Flutuante para Redução de Perdas e Distorção Harmônica.** 2012. Tese de Doutorado (Engenharia Elétrica). Universidade Federal do Ceará, 2012.

INTEL CORPORATION. Disponível em:

<<https://www.altera.com/products/fpga/overview.html>> Acesso em: 29 jan. 2018

KHOMFOI, Surin; TOLBERT, Leon, M. **Multilevel Power Converters.** Power Electronics Handbook, 2007.

KILTS, Steve. **Advanced FPGA design: architecture, implementation, and optimization.** New Jersey: J. Wiley, 2007.

MARTINS, Denizar Cruz; BARBI, Ivo. **Eletrônica de Potência: introdução ao estudo dos conversores CC-CA.** 2 ed. Florianópolis: Autores Associados, 2008.

MATEUS, T. H de A. **Implementação de Modulação por Eliminação Seletiva de Harmônicas em Inversores de Onze Níveis, Utilizando Redes Neurais e Evolução Diferencial.** 2012 Dissertação de Mestrado (Engenharia Elétrica). Universidade Federal do Mato Grosso do Sul. Campo Grande, 2012.

MEIRELES, E. C. N. P. **Inversor Multinível Trifásico, Cascaded H-Bridge, Controlado por FPGA.** 2010 Dissertação de Mestrado (Engenharia Elétrica e de Computadores). Faculdade de Engenharia da Universidade de Porto. Porto, 2010.

MEKHILEF, S.; MASAUD, A. **Xilinx FPGA Based Multilevel PWM Single-phase Inverter. In: Industrial Technology.** 2006 ICIT 2006. IEEE International Conference on. IEEE, 2006.

OLIVEIRA, P. E. M de; GABARDO, R. de L; SUGUWARA, S. E. N. **Implementação de um Inversor Multinível Monofásico Controlado por FPGA,** 2013. Trabalho de Conclusão de Curso (Engenharia Industrial–Elétrica - Ênfase em Eletrotécnica). Universidade Tecnológica Federal do Paraná. Curitiba, 2014.

PIMENTEL, S. P. **Aplicação De Inversor Multinível Como Filtro Ativo de Potência**. 2006. Dissertação de Mestrado (Engenharia Elétrica). Universidade Estadual de Campinas, 2006, Campinas-SP.

RECH, C. **Análise, Projeto e Desenvolvimento de Sistemas Multiníveis Híbridos**, 2005. Tese de Doutorado (Engenharia Elétrica). Universidade Federal de Santa Maria, 2005.

RECH, C; GRÜNDLING, H. A; HEY H. L; PINHEIRO, H; PINHEIRO, J. R. **Uma Metodologia de Projeto Generalizada para Inversores Multiníveis Híbridos**. Sba Controle & Automação vol.15 no.2 Campinas Apr./June 2004

SILVA, R. da. **Inversores Multiníveis com Acoplamento Magnético e Modulação 3 Níveis**, 2009. Dissertação de Mestrado (Engenharia Elétrica). Universidade Federal de Santa Catarina. Florianópolis, 2009.

SILVA, R. N. A. L e. **Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis Baseado nas Topologias Half-Bridge e ANPC**, 2013. Tese de Doutorado (Engenharia Elétrica). Universidade Federal do Ceará, 2013.

SKLIAROVA E B. FERRARI. **Introdução à lógica reconfigurável**. Revista do Detua, v.4, n.1, setembro 2003.

TAHRI, A; DRAOU, A. **A Comparative Modelling Study of PWM Control Techniques for Multilevel Cascade Inverter**. 2012 Disponível em: <http://ljs.academicdirect.org/A06/42_58.htm>. Acesso em 02/10/2016.

XILINX, INC. Disponível em:

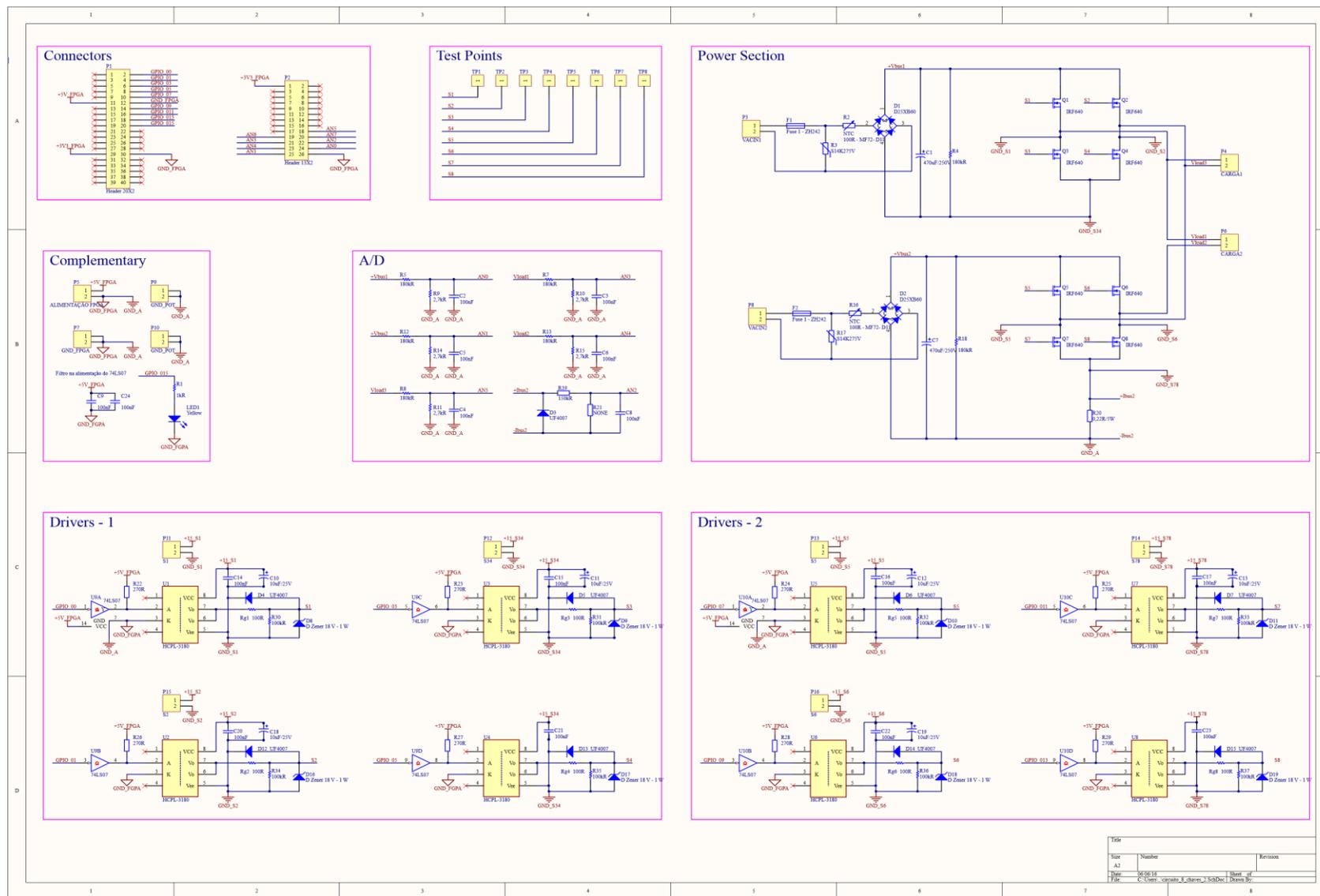
<<https://www.xilinx.com/products/silicon-devices/fpga.html>> Acesso em: 29 jan. 2018

WALTRICH, G. **Estudo e Implementação de um Inversor Multinível Trifásico em Cascata Empregando Sub-Células de Comutação**. 2009. Dissertação de Mestrado (Engenharia Elétrica). Universidade Federal de Santa Catarina. Florianópolis, 2009.

WEBER, A. F. CECHINEL, H. THEISGES, M. L. MOECKE, M. **Arquitetura FPGA e CPLD da ALTERA**. 2016

YOVITS, M. C. **Advances in Computers v.37**. San Diego. Academic Press, 1993.

APÊNDICE A – LAYOUT ESQUEMÁTICO DA PLACA



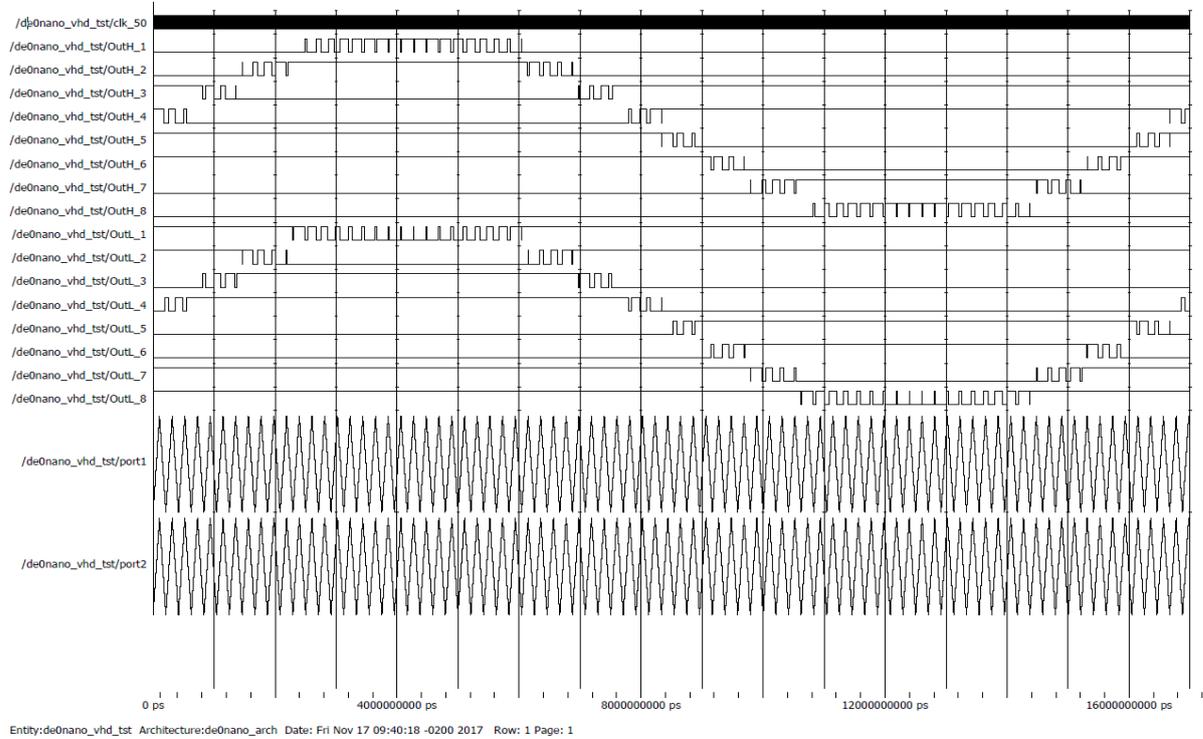
APÊNDICE B – SISTEMA GERADO COM O AUXILIO DO QSYS

Figura A - 1 – Representação do sistema criado com a ferramenta Qsys do Quartus II.

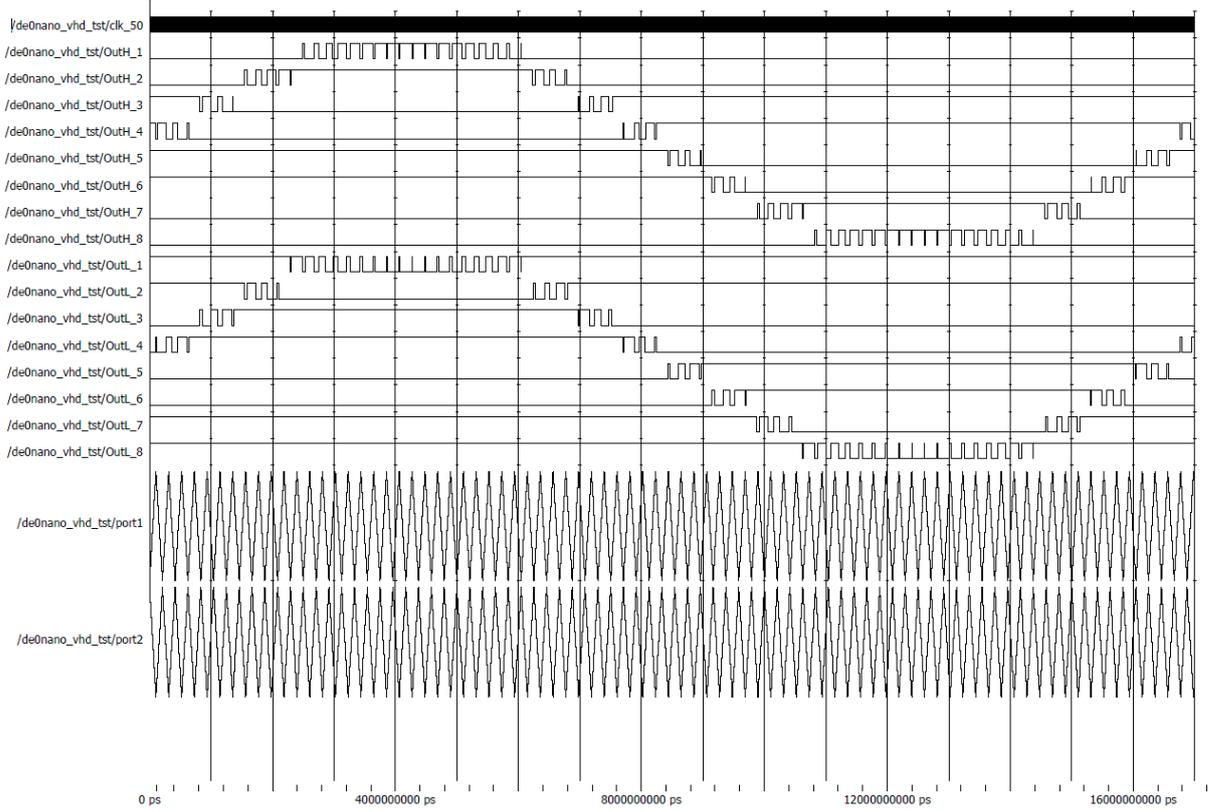
Use	Connections	Name	Description	Export	C...	B...	End	IRQ
<input checked="" type="checkbox"/>		clk_0	Clock Source					
		clk_in	Clock Input	clk	expo			
		clk_in_reset	Reset Input	reset				
		clk	Clock Output	Double-clk_0				
		clk_reset	Reset Output	Double-				
<input checked="" type="checkbox"/>		nios2_qsys_0	Nios II Processor					
		clk	Clock Input	Double-clk...				
		reset_n	Reset Input	Double-[clk]				
		data_master	Avalon Memory Mapped Master	Double-[clk]				
		instruction_master	Avalon Memory Mapped Master	Double-[clk]				
		d_irq	Interrupt Receiver	Double-[clk]				
		jtag_debug_modu...	Reset Output	Double-[clk]				
		jtag_debug_module	Avalon Memory Mapped Slave	Double-[clk]				
		custom_instructio...	Custom Instruction Master	Double-				
<input checked="" type="checkbox"/>		memoria	On-Chip Memory (RAM or ROM)					
		clk1	Clock Input	Double-clk...				
		s1	Avalon Memory Mapped Slave	Double-[clk1]				
		reset1	Reset Input	Double-[clk1]				
<input checked="" type="checkbox"/>		jtag_uart_0	JTAG UART					
		clk	Clock Input	Double-clk...				
		reset	Reset Input	Double-[clk]				
		avalon_jtag_slave	Avalon Memory Mapped Slave	Double-[clk]				
		irq	Interrupt Sender	Double-[clk]				
<input checked="" type="checkbox"/>		keys	PIO (Parallel I/O)					
		clk	Clock Input	Double-clk...				
		reset	Reset Input	Double-[clk]				
		s1	Avalon Memory Mapped Slave	Double-[clk]				
		external_connection	Conduit	keys_q				
<input checked="" type="checkbox"/>		ma	PIO (Parallel I/O)					
		clk	Clock Input	Double-clk...				
		reset	Reset Input	Double-[clk]				
		s1	Avalon Memory Mapped Slave	Double-[clk]				
		external_connection	Conduit	ma_q				
<input checked="" type="checkbox"/>		de0_nano_adc_0	DE0-Nano ADC Controller					
		clk	Clock Input	Double-clk...				
		reset	Reset Input	Double-[clk]				
		adc_slave	Avalon Memory Mapped Slave	Double-[clk]				
		external_interface	Conduit	adc_q				

APÊNDICE C – SINAIS OBTIDOS NO MODELSIM

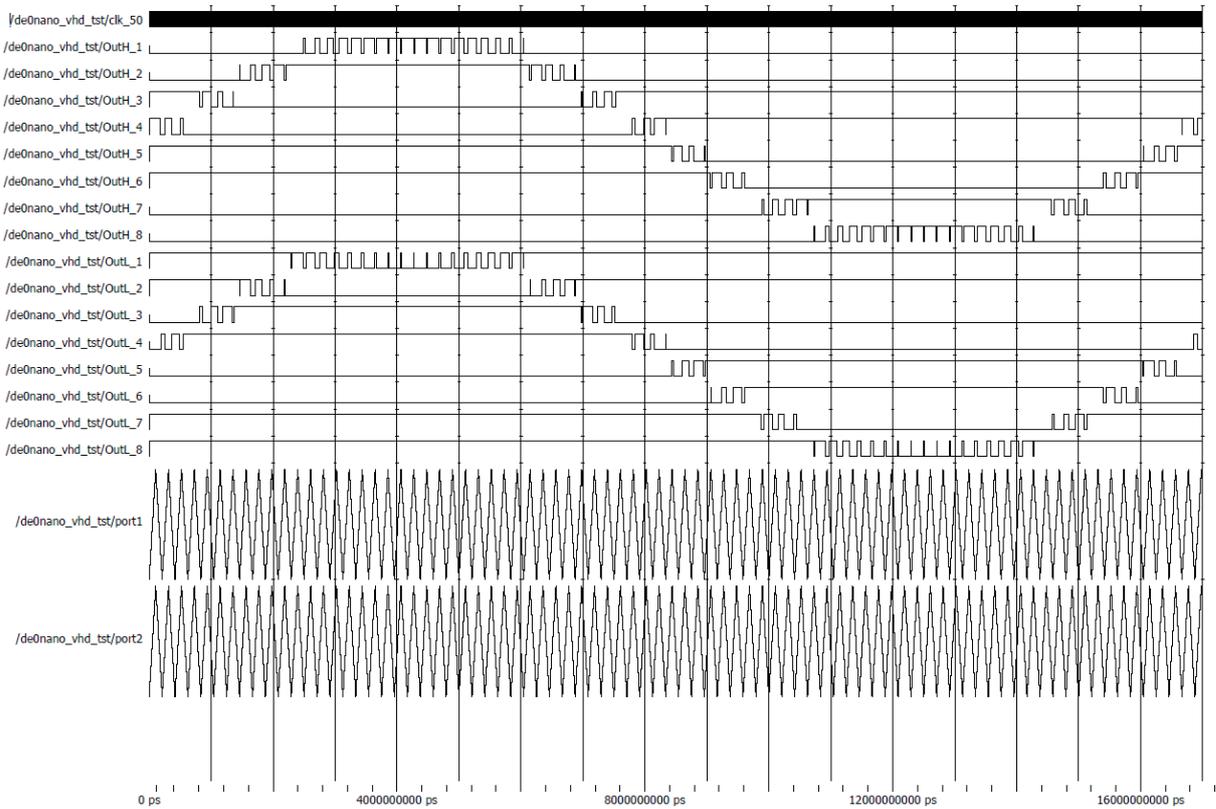
Figura C - 1 – Resultado da simulação no ModelSim Altera para as estratégias de modulação (a) APOD, (b) POD, (c) PD, (d) PS e (e) senoide de referência.



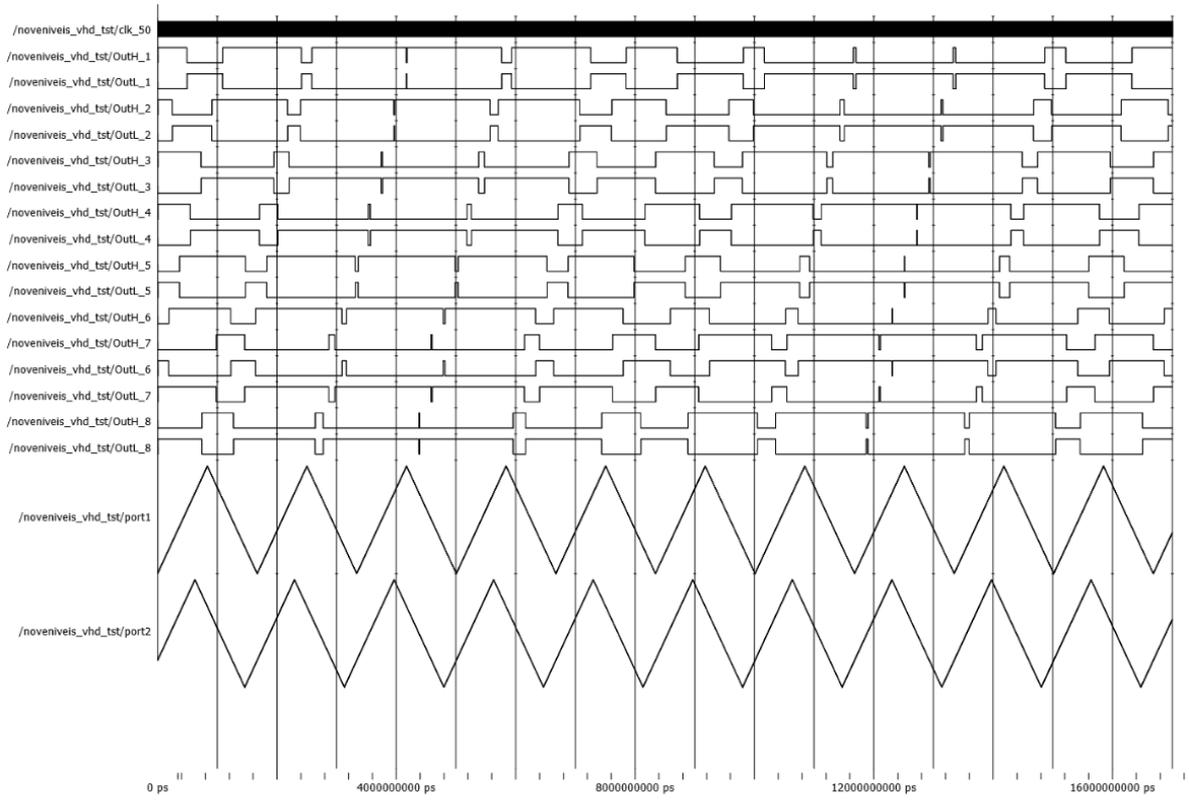
(a)



(b)

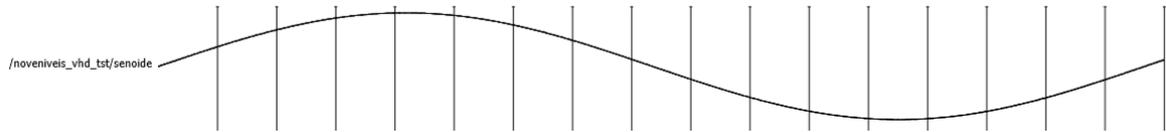


(c)



Entity:noveniveis_vhd_tst Architecture:noveniveis_arch Date: Fri Dec 15 13:09:31 -0200 2017 Row: 1 Page: 1

(d)



(e)

APÊNDICE D – CÓDIGO PARA LEITURA DO ADC

```

#include "sys/alt_stdio.h"
#include "alt_types.h"
#include <stdio.h>
#include <unistd.h>
#include "system.h"
#include "sys/alt_irq.h"
#include "altera_avalon_pio_regs.h"
#include "altera_up_avalon_de0_nano_adc.h"

volatile int edge_capture;
unsigned char mil = 0;
unsigned char cen = 0;
unsigned char dez = 0;
unsigned char uni = 0;
char adc_string[4];
unsigned int valor_adc = 0;
unsigned int meas_string[5];
unsigned int media = 0;

int main()
{
    alt_up_de0_nano_adc_dev * char_adc_dev;
    // alt_putstr("Hello from Nios II!\n");
    char_adc_dev = alt_up_de0_nano_adc_open_dev("/dev/de0_nano_adc_0");
    if ( char_adc_dev == NULL)
        alt_printf ("Error: could not open character ADC device\n");
    else
        alt_printf ("Opened character ADC device\n");

    // IOWR_ALTERA_AVALON_PIO_IRQ_MASK(KEYS_BASE, 0xf);
    // IOWR_ALTERA_AVALON_PIO_EDGE_CAP(KEYS_BASE, 0x0);
    edge_capture = 0;
    /* Event loop never exits. */
    while (1){

        alt_up_de0_nano_adc_auto_enable(char_adc_dev);
        valor_adc = alt_up_de0_nano_adc_read(char_adc_dev,0);

        meas_string[0] = meas_string[1];
        meas_string[1] = meas_string[2];
        meas_string[2] = meas_string[3];
        meas_string[3] = meas_string[4];
        meas_string[4] = valor_adc;

        media = meas_string[4]/5 + meas_string[3]/5 + meas_string[2]/5
+ meas_string[1]/5 + meas_string[0]/5;

        mil = media/1000;
        cen = (media%1000)/100;
        dez = ((media%1000)%100)/10;
        uni = ((media%1000)%100)%10;

        adc_string[0]=mil + '0';
        adc_string[1]=cen + '0';
        adc_string[2]=dez + '0';
        adc_string[3]=uni + '0';
    }
}

```

```
alt_printf(adc_string);
alt_printf("\n");

edge_capture = IORD_ALTERA_AVALON_PIO_DATA(KEYS_BASE);
IOWR_ALTERA_AVALON_PIO_DATA(MA_BASE, edge_capture);
usleep(50000);
// IOWR_ALTERA_AVALON_PIO_DATA(MA_BASE, 0x00);
// usleep(50000);

}

return 0;
}
```