

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ  
DEPARTAMENTO ACADÊMICO DE ELETROTÉCNICA  
CURSO DE ENGENHARIA DE CONTROLE E AUTOMAÇÃO

ALEXANDRE DE CAMARGO  
BRUNO AUGUSTO ANTUNES  
LUCAS PLENTZ MOTTA

**ESTUDO DO CONTROLE DIGITAL DE UM RETIFICADOR BOOST  
TRIFÁSICO BIDIRECIONAL ATRAVÉS DE MODULAÇÃO VETORIAL**

TRABALHO DE CONCLUSÃO DE CURSO

CURITIBA

2018

ALEXANDRE DE CAMARGO  
BRUNO AUGUSTO ANTUNES  
LUCAS PLENTZ MOTTA

## **ESTUDO DO CONTROLE DIGITAL DE UM RETIFICADOR BOOST TRIFÁSICO BIDIRECIONAL ATRAVÉS DE MODULAÇÃO VETORIAL**

Trabalho de Conclusão de Curso de Graduação, apresentado à disciplina de TCC 2, do curso de Engenharia de Controle e Automação do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR) como requisito para obtenção do título de Engenheiro de Controle e Automação.

Orientador: Adriano Ruseler, Dr. Eng.

CURITIBA

2018

ALEXANDRE DE CAMARGO  
BRUNO AUGUSTO ANTUNES  
LUCAS PLENTZ MOTTA

## **ESTUDO DO CONTROLE DIGITAL DE UM RETIFICADOR BOOST TRIFÁSICO BIDIRECIONAL ATRAVÉS DE MODULAÇÃO VETORIAL**

Este Trabalho de Conclusão de Curso de Graduação foi julgado e aprovado como requisito parcial para a obtenção do Título de Engenheiro de Controle e Automação, do curso de Engenharia de Controle e Automação do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR). Os alunos foram arguidos pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho aprovado.

Curitiba, 22 de Novembro de 2018.

---

Prof. Esp. Paulo Sergio Walenia  
Coordenador de Curso  
Engenharia de Controle e Automação

---

Prof. Dr. Marcelo de Oliveira Rosa  
Responsável pelos Trabalhos de Conclusão de Curso  
de Engenharia do Controle e Automação do DAELT

### **BANCA EXAMINADORA**

---

Prof. Dr. Adriano Ruseler  
Universidade Tecnológica Federal do Paraná  
Orientador

---

Prof. Dr. Alceu André Badin  
Universidade Tecnológica Federal do Paraná

---

Prof. Dr. Daniel Flores Cortez  
Universidade Tecnológica Federal do Paraná

## RESUMO

ANTUNES, Bruno Augusto; CAMARGO, Alexandre de; MOTTA, Lucas Plentz. **Estudo do controle digital de um retificador boost trifásico bidirecional através de modulação vetorial**. 2018. 114 f. Trabalho de Conclusão de Curso (Curso de Bacharelado em Engenharia de Controle e Automação), Departamento Acadêmico de Eletrotécnica, Universidade Tecnológica Federal do Paraná. Curitiba, 2018.

Os retificadores são dispositivos de Eletrônica de Potência muito utilizados no cotidiano e na indústria. Eles são os responsáveis pela conversão de energia alternada (CA) em energia contínua (CC). Porém, tanto os retificadores controlados através de técnicas tradicionais de baixa frequência como os não controlados apresentam desvantagens tais como: baixo fator de potência na entrada; presença de harmônicas de corrente; e superdimensionamento de equipamentos do sistema de potência. Visando diminuir tais desvantagens, muito se tem pesquisado sobre as técnicas de modulação, tendo como destaque a espacial vetorial. O presente trabalho abrange o estudo, a simulação e a implementação da técnica de modulação espacial vetorial – SVPWM, para realizar o controle de um retificador *boost* bidirecional de dois níveis. Esta técnica está voltada para aplicações em inversores de tensão, logo, têm-se a necessidade de adaptá-la para o uso em conversores CA-CC. O trabalho propõe a implementação dos conceitos através do projeto de um retificador utilizando um módulo de potência e uma placa microcontroladora. Foram analisados os aspectos positivos e negativos das técnicas de modulação e diferentes topologias de conversores. Uma vez implementado, serão apresentados os resultados obtidos e objetivos alcançados pelo projeto, assim como sugestões para trabalhos futuros.

**Palavras-chave:** eletrônica de potência, retificação, retificador, modulação vetorial, SVPWM.

## ABSTRACT

ANTUNES, Bruno Augusto; CAMARGO, Alexandre de; MOTTA, Lucas Plentz. **Study of the digital control of a bidirectional three-phase boost rectifier using space vector modulation**. 2018. 114 f. Trabalho de Conclusão de Curso (Curso de Bacharelado em Engenharia de Controle e Automação), Departamento Acadêmico de Eletrotécnica, Universidade Tecnológica Federal do Paraná. Curitiba, 2018.

The rectifiers are Power Electronics devices commonly used in daily life and in the industry. They are responsible for convert the alternate current (AC) into direct current (DC). Yet, either controlled or non-controlled rectifiers by traditional techniques present some disadvantages such as low input power factor, presence of current harmonics and oversizing of the power system. Aiming to reduce these disadvantages, many studies in the field of modulation techniques have been done in which the space vector modulation have stood out. This paper embraces the research, simulation and implementation of the Space Vector modulation technique – SVPWM, to control a two levels bidirectional boost rectifier. This technique is mainly oriented to applications with voltage source inverters – VSI, thus there is a need to adapt it for AC-DC converters. Some specific aspects of modulation techniques and converters topologies were analyzed. In order to establish the concepts, this work proposes the development of a bidirectional boost rectifier using a power drive and a microcontroller board. Once implemented, the obtained results and achieved objectives will be presented, as well as suggestions for future works.

**Keywords:** power electronics, rectification, rectifier, space vector, SVPWM.

## LISTA DE FIGURAS

Figura 1 - Retificador trifásico não controlado.....	20
Figura 2 - Formas de onda de tensão e corrente do retificador não controlado.....	21
Figura 3 - Formas de onda das correntes de entrada do retificador não controlado.	21
Figura 4 - Retificador trifásico controlado a tiristores. ....	22
Figura 5 - Formas de onda de tensão e corrente do retificador controlado a tiristores. .....	22
Figura 6 - Formas de onda das correntes de entrada do retificador controlado a tiristores.....	23
Figura 7 - Conversor CA-CC PWM trifásico bidirecional. ....	24
Figura 8 - Razão cíclica D. ....	26
Figura 9 - Modulação por Largura de Pulso. ....	27
Figura 10 – Pulso PWM gerado através da comparação entre a onda portadora e a referência senoidal. ....	28
Figura 11 - Transformada de Clarke $\alpha\beta 0$ . ....	31
Figura 12 - Transformada de Park $dq0$ . ....	31
Figura 13 - Conversor CA-CC <i>boost</i> trifásico bidirecional. ....	32
Figura 14 - Retificador bidirecional simplificado. ....	33
Figura 15 - Circuito elétrico equivalente do retificador. ....	34
Figura 16 – Estados Topológicos de chaveamento.....	36
Figura 17 - Vetores representados nos eixos $\alpha\beta$ .....	38
Figura 18 - Vetor $\vec{V}_s$ representado no setor 3. ....	40
Figura 19 - Sinais de comando para o setor 3.....	43
Figura 20 - Sinais de comando em cada um dos setores. ....	46
Figura 21 - Definição dos setores.....	47
Figura 22 - Diagrama de controle para o retificador <i>boost</i> bidirecional. ....	48
Figura 23 - Circuitos equivalentes para as componentes de corrente.....	51
Figura 24 - Diagrama de blocos do retificador em componentes $dq0$ . ....	54
Figura 25 - Diagrama de blocos do retificador, controle de corrente e desacoplamento em componentes $dq0$ .....	56
Figura 26 – Diagrama de blocos dos compensadores de corrente. ....	58
Figura 27 – Diagrama de blocos do compensador de tensão. ....	59

Figura 28 - Diagrama de blocos simplificado para a malha de tensão. ....	60
Figura 29 - Forma de onda de tensão de saída, $V_{ref} = 400V$ . ....	62
Figura 30 – Razões cíclicas na saída do bloco de SVPWM. ....	63
Figura 31 – Perfil da onda de saída na carga com degraus de tensão. ....	63
Figura 32 - Perfil da onda de saída na carga com degraus de carga. ....	64
Figura 33 - Formas de onda de tensão e corrente na entrada do retificador controlado. ....	65
Figura 34 - Formas de onda das correntes de entrada do retificador controlado. ....	65
Figura 35 – LAUNCHXL-F28377S <i>LaunchPad</i> . ....	66
Figura 36 – Mapa de pinagem do LAUNCHXL-F28377S. ....	67
Figura 37 – FSBB30CH60C <i>Motion SPM 3 Series</i> . ....	67
Figura 38 – Mapa de pinagem do FSBB30CH60C. ....	68
Figura 39 – Aspecto final dos indutores com núcleo toroidal construídos. ....	72
Figura 40 – Resultado do condicionamento de corrente CA. ....	73
Figura 41 – Resultado do condicionamento de tensão CA. ....	73
Figura 42 – Resultado do condicionamento de tensão CC. ....	73
Figura 43 - Layout do protótipo elaborado no SoftCAD Eagle. ....	74
Figura 44 - Esquemático de Sincronização dos módulos ePWM. ....	78
Figura 45 – Senoide a1 gerada para a aplicação do SVPWM. ....	82
Figura 46 – Senoide b1 gerada para a aplicação do SVPWM. ....	82
Figura 47 – Ângulo entre os sinais de entrada a1 e b1 ( $\text{atan2}$ ). ....	82
Figura 48 – Razões cíclicas $T_a$ e $T_b$ do SVPWM após implementação das macros via CodeComposer. ....	83
Figura 49 – Sinal PWM fornecido pelo LaunchPad. Canal 1 sinal ePWM6A e Canal2 ePWM6B. ....	84
Figura 50 – Deadband entre os sinais ePWM6A e ePWM6B. ....	84
Figura 51 – Gráfico da relação tensão de saída do sensor pela corrente medida. ...	85
Figura 52 - Foto do Protótipo durante ensaio como modo Buck. ....	86
Figura 53 - Conexões no circuito de bootstrap. ....	88
Figura 54 – Resultado do teste do conversor em modo Buck. ....	88
Figura 55 - Tensão de linha para teste em modo inversor em malha aberta. ....	89
Figura 56 - Teste retificador controlado por DLL. ....	90
Figura 57 - Teste retificador controlado por DLL com degrau de carga. ....	91

## LISTA DE TABELAS

Tabela 1 - Combinação vetorial.....	35
Tabela 2 - Combinação vetorial.....	36
Tabela 3 - Vetores nos eixos $\alpha\beta$ .....	37
Tabela 4 - Vetores nos eixos $\alpha\beta$ .....	37
Tabela 5 - Intervalos de aplicação para os setores de $\alpha\beta$ .	41
Tabela 6 - Sequência de vetores para setor 3.....	42
Tabela 7 - Sinais de comando para obtenção do vetor $\vec{V}_3$ .....	42
Tabela 8 - Sequência de vetores para os setores 1 a 6. ....	43
Tabela 9 - Intervalo de aplicação e razões cíclicas dos sinais de comando dos interruptores. ....	44
Tabela 10 - Intervalo de aplicação e razões cíclicas dos sinais de comando dos interruptores. ....	45
Tabela 11 - Parâmetros de simulação do sistema .....	61
Tabela 12 - Especificações do núcleo MMT026T4718.....	69
Tabela 13 - Especificações do condutor AWG19.....	70
Tabela 14 - Resumo do projeto dos indutores.....	71
Tabela 15 – Conexões da função ADC.....	76



# SUMÁRIO

1	INTRODUÇÃO.....	10
1.1	TEMA .....	10
1.1.1	Delimitação do Tema.....	12
1.2	PROBLEMAS E PREMISSAS.....	12
1.3	OBJETIVOS .....	13
1.3.1	Objetivo Geral.....	13
1.3.2	Objetivos Específicos .....	13
1.4	JUSTIFICATIVA .....	14
1.5	PROCEDIMENTOS METODOLÓGICOS.....	15
1.6	ESTRUTURA DO TRABALHO.....	15
2	DESENVOLVIMENTO BIBLIOGRÁFICO .....	17
2.1	RETIFICAÇÃO .....	17
2.2	TOPOLOGIAS DE RETIFICADORES.....	18
2.2.1	Retificadores não controlados .....	19
2.2.2	Retificadores controlados .....	21
2.3	TÉCNICAS DE MODULAÇÃO .....	25
2.3.1	Modulação por largura de pulso – PWM.....	25
2.3.2	Modulação Senoidal .....	27
2.3.3	Modulação Espacial Vetorial.....	28
2.4	MODELAGEM DE SISTEMAS.....	29
3	MODELAGEM E DIMENSIONAMENTO DO SISTEMA.....	32
3.1	ANÁLISE DA TOPOLOGIA.....	32
3.1.1	Análise dos vetores disponíveis.....	35
3.1.2	Implementação dos vetores.....	39
3.1.3	Sequência dos vetores .....	41
3.2	ESTRATÉGIA DE CONTROLE.....	48
3.2.1	Modelagem do Retificador .....	49
3.2.2	Controle de Corrente .....	57
3.2.3	Controle de Tensão .....	59
3.3	SIMULAÇÃO PRELIMINAR .....	61
4	DESENVOLVIMENTO DO PROTÓTIPO.....	66
4.1	DIMENSIONAMENTO DO HARDWARE .....	66

4.1.1	Microcontrolador .....	66
4.1.2	Módulo de Potência .....	67
4.1.3	Indutores.....	69
4.1.4	Circuitos de Condicionamento .....	72
4.1.5	Desenvolvimento do Protótipo .....	74
4.2	PROGRAMAÇÃO DO SISTEMA DE CONTROLE.....	75
4.2.1	Conversão Analógico-Digital (ADC).....	75
4.2.2	Modulação por Largura de Pulso (PWM).....	77
4.2.3	Modulação Vetorial Espacial (SVPWM).....	79
5	RESULTADOS ALCANÇADOS.....	81
5.1	TESTES INICIAIS .....	81
5.2	TESTES EM MODO CONVERSOR CC-CC (BUCK).....	86
5.3	TESTES EM MODO CONVERSOR CC-CA EM MALHA ABERTA (INVERSOR).....	89
5.4	TESTES NOMINAIS – SIMULAÇÃO UTILIZANDO DLL.....	90
6	CONCLUSÃO.....	92
	REFERÊNCIAS.....	93
	ANEXOS .....	97
	ANEXO A – Dimensionamento do sistema de controle realizado no software MATLAB.....	97
	ANEXO B – Simulação realizada no software PSIM.....	100
	ANEXO C – Esquemáticos do protótipo no software Eagle.....	101
	ANEXO D – Lista de materiais.....	105
	ANEXO E – Configurações das funções periféricas f28377S.....	107
	ANEXO F – Códigos DLL.....	110

## 1 INTRODUÇÃO

Neste primeiro capítulo serão apresentados o tema e sua delimitação, os problemas e premissas, os objetivos e a justificativa, e o contexto geral do trabalho.

### 1.1 TEMA

A energia elétrica, desde sua geração até a transmissão, pode ser processada e controlada através de técnicas e equipamentos abrangidos pela eletrônica de potência (EP), devendo atender a uma grande gama de cargas com variadas tensões e correntes. Assim como em outras áreas da engenharia, a eletrônica de potência está presente em vários setores, como por exemplo: residencial, comercial, industrial, transportes, etc. Dentre os aparelhos mais importantes, encontram-se os conversores de energia elétrica. Desde o desenvolvimento (ou invento, advento) da eletrônica de potência, cresceu a variedade de conversores, evoluindo dos retificadores não controlados para retificadores controlados, inversores e fontes chaveadas e um número ainda maior desses aparelhos (BLAUTH, 1999).

Em termos de processamento e conversão de energia, em uma escala global os retificadores podem ser considerados como os mais utilizados (BLAUTH, 1999).

Outro componente de extrema importância para a área de EP são os semicondutores de potência, nos quais também se verificaram melhorias e aprimoramentos, permitindo aplicações e uso de técnicas com maiores graus de complexidade. O destaque destes componentes está relacionado com os níveis de tensão e corrente que estes suportam, sendo o IGBT (*Insulated Gate Bipolar Transistor*) o mais utilizado atualmente devido a suas características de alta eficiência e um rápido chaveamento (BLAUTH, 1999).

Retificadores são dispositivos responsáveis pela conversão de tensões ou correntes alternadas (CA) em tensões e correntes contínuas (CC). Tais retificadores podem ser divididos em retificadores controlados, onde a tensão média de saída pode ser variada e controlada, e retificadores não controlados, nos quais a tensão média de saída depende apenas da tensão aplicada na entrada. Podem ser aplicados em diversas faixas de potência: baixa (carregadores de celular), média

(acionamento de motores elétricos) e alta (sistemas de transmissão de corrente contínua em alta tensão – HVDC). Também podem ser categorizados de acordo com o número de fases na entrada: retificadores monofásicos e retificadores trifásicos. A estrutura mais conhecida para conversores CA-CC trifásicos é a do retificador Boost trifásico bidirecional, que será o foco deste trabalho (BLAUTH, 1999; BORGONOVO, 2001)

Visando diminuir tais desvantagens e, porventura, a melhoria no desempenho de conversores, muito se tem pesquisado sobre o desenvolvimento de retificadores trifásicos com um alto fator de potência. Para tal, o estudo de novas técnicas e novas abordagens tem ganhado certo destaque, como por exemplo estratégias de controle e também diferentes tipos de modulação, desde sua concepção e desempenho (BACON, 2015).

A mais conhecida das técnicas de modulação, em eletrônica de potência, é a chamada Modulação por Largura de Pulso (*Pulse Width Modulation* - PWM). Diferentes métodos de controle que geram os padrões PWM podem ser encontrados em vários livros e artigos, com enfoque na corrente e tensão como variáveis de controle, sendo que o desempenho do conversor irá depender da técnica de modulação empregada (BACON, 2015).

Percebendo-se a importância de estudos no campo da modulação PWM, duas técnicas relacionadas à largura de pulso têm recebido atenção em diversas publicações e aplicações na área industrial, a saber: a modulação por largura de pulso senoidal (*Sinusoidal Pulse Width Modulation* - SPWM) e a modulação vetorial espacial (*Space Vector Pulse Width Modulation* - SVPWM). Essas técnicas estão voltadas para aplicações em controle de inversores, logo, há a necessidade de adaptá-las para o uso em conversores (BATISTA et al., 2015).

O estudo proposto para desenvolvimento consiste no controle digital de um retificador Boost trifásico bidirecional de dois níveis através da modulação vetorial espacial, atentando para as especificações e implementação da técnica, a fim de que seja possível sua utilização em conversores CA-CC.

### 1.1.1 Delimitação do Tema

Com um vasto uso de retificadores trifásicos em escala global e com a necessidade do estudo de técnicas de modulação aplicadas a conversores CA-CC trifásicos, decidiu-se empregar as técnicas de modulação PWM para o controle digital de um retificador *boost*.

Optou-se pela implementação da técnica de modulação vetorial espacial, tendo em vista a apresentação de índices de modulação até 15% superiores em relação à modulação senoidal (BACON, 2015; SASI, 2013). Em detrimento desta vantagem, não será considerado um estudo sobre modulação vetorial senoidal. A técnica SVPWM é voltada para sistemas trifásicos, visto que seu sistema de equações se baseia na decomposição vetorial de uma fonte trifásica (HOLMES, LIPO, 2003).

Para este estudo serão utilizados os conceitos de eficiência energética tradicionais, potências ativa e reativa. Logo, conclui-se que tais conceitos são suficientes para avaliar a eficácia de um conversor CA-CC de baixa potência e em uma rede trifásica equilibrada (BATISTA et al., 2015).

Desta forma, este trabalho irá se concentrar no desenvolvimento da modulação vetorial aplicada a um retificador trifásico de dois níveis com aplicações práticas, utilizando-se o microprocessador *C2000 Delfino MCUs F28377S LaunchPad* da *Texas Instruments* e o módulo de potência *FSBB30CH60 Motion SPM 3 Series* da *Fairchild*.

## 1.2 PROBLEMAS E PREMISSAS

A técnica de modulação vetorial é um assunto pouco abordado durante o curso, com isso é necessário que haja um aprofundamento teórico sobre a técnica e suas aplicações diretas. Além disso, a maioria dos estudos a respeito desta técnica é voltada para conversores CC-CA, com isso existe a necessidade de adaptar as equações matemáticas para modelos CA-CC.

Outra dificuldade está na elaboração e realização do circuito elétrico. O desenvolvimento do layout do circuito apresenta um elevado grau de complexidade, pois devem ser considerados os efeitos de interferência eletromagnética entre os

componentes juntamente com os valores de potência do conversor. Como o circuito apresenta certo grau de sensibilidade quanto aos componentes, assim a probabilidade de haver retrabalhos e ou reposição de materiais é alta.

Quanto ao projeto por inteiro, a principal característica que interfere em seu desenvolvimento é a possibilidade de se tornar muito complexo, tanto na adaptação do módulo de potência inteligente para que ele funcione como um retificador como na elaboração do algoritmo de controle, ou ainda, que o projeto se torne inviável economicamente.

### 1.3 OBJETIVOS

Este tópico irá apresentar os objetivos geral e específicos determinados para este trabalho.

#### 1.3.1 Objetivo Geral

Discutir, aplicar e analisar a técnica de modulação vetorial espacial em um retificador trifásico de dois níveis, e estabelecer, através das referências teóricas uma estratégia de controle para esta topologia específica de retificador, e posteriormente, desenvolver o *hardware* e *firmware* necessários para o emprego da técnica utilizando um microprocessador.

#### 1.3.2 Objetivos Específicos

- Desenvolver uma topologia para as partes mecânicas e elétricas do sistema, definindo seus componentes, materiais, dimensões e potência a serem utilizados no retificador e controlador;
- Realizar os cálculos necessários sobre o circuito elétrico do sistema;
- Realizar uma revisão bibliográfica sobre as eficiências do controle do sistema através de modulação vetorial;

- Desenvolvimento e Implementação de um *firmware* para a utilização da técnica com o microprocessador *C2000 Delfino MCUs F28377S LaunchPad* da *Texas Instruments*;
- Projeto do retificador Boost; elaboração do circuito elétrico e montagem do protótipo.

#### 1.4 JUSTIFICATIVA

A aplicação da modulação vetorial espacial em retificadores trifásicos despertou interesse pois é um assunto pouco explorado até ao momento e ao serem analisados os possíveis resultados deste estudo e as vantagens quando comparado a um retificador controlado convencional, por exemplo: a melhoria do fator de potência na entrada; e do rendimento do sistema conversor.

Existe a possibilidade de aplicar o sistema proposto em frenagens de motores elétricos, associado a um inversor de frequência, ou à regeneração da elétrica utilizando uma ponte retificadora controlada em configuração antiparalela (LEONHARD, 2001). Outra possibilidade de aplicação do retificador seria na geração de energia por geração eólica, na qual a tensão gerada precisa ser retificada e controlada para ser utilizada ou injetada na rede elétrica, uma vez que sua frequência e amplitude variam com o vento (CARDOSO, 2016).

Sistemas de energia renovável necessitam de um alto grau de aproveitamento na geração de energia elétrica. A técnica de modulação vetorial espacial possibilita uma melhora no rendimento de inversores e retificadores (CARDOSO, 2016). O conversor CC-CA trifásico é um dos mais utilizados no mundo quando se trata de injetar a energia proveniente de fontes fotovoltaicas na rede elétrica (BURGER, 2008).

Segundo a Associação Brasileira de Normas Técnicas (ABNT), além dos sistemas de energia renovável, a área de telecomunicações também exige um elevado fator de potência em suas fontes, com poucas distorções harmônicas. Os retificadores convencionais possuem um baixo fator de potência devido a presença de componentes harmônicas nas correntes drenadas da rede (BORGONOVO,

2001). Portanto retificadores controlados pela técnica SVPWM seriam possivelmente uma alternativa a este problema.

## 1.5 PROCEDIMENTOS METODOLÓGICOS

No primeiro momento será realizado o estudo do funcionamento do retificador *boost* bidirecional e da utilização do módulo de potência inteligente como retificador. Para contextualizar o retificador, será analisado o seu uso em sistema eólicos de pequeno porte (1 kW – quilowatt) e, assim, adequar os valores de tensão e corrente para a elaboração do circuito elétrico e seus componentes (TIBOLA, 2009).

Com a topologia definida, será então realizada uma revisão bibliográfica sobre o microprocessador C2000 da *Texas Instruments* e sobre a modulação vetorial espacial com a adaptação de suas equações matemáticas a serem aplicadas em conversores CA-CC, visando otimizar o algoritmo de controle a ser utilizado pelo microprocessador, seguido por simulações com o controle digital implementado e que posteriormente será aplicado no DSP.

Ao fim da revisão bibliográfica será iniciada a fase de desenvolvimento do projeto físico, com um estudo aprofundado do módulo de potência inteligente, seus cálculos térmicos e detalhes de *layout*, com a construção do circuito elétrico, em seguida com a programação do microprocessador.

Com o conversor concluído, serão realizados testes para verificar o funcionamento e o rendimento do retificador projetado.

## 1.6 ESTRUTURA DO TRABALHO

O trabalho a seguir será composto por seis capítulos. Este primeiro capítulo contém uma breve descrição do conteúdo do trabalho, envolvendo fundamentação, contexto teórico e uma abordagem geral do que será desenvolvido.

No capítulo 2 serão realizadas revisões bibliográficas, divididas em duas partes. Na primeira parte, será abrangida a contextualização dos diferentes tipos de



conversores CA-CC trifásicos e em seguida será apresentado um estudo realizado a respeito das técnicas de modulação como estratégias de controle, descrevendo o método de modulação vetorial espacial.

O capítulo 3 irá tratar da concepção do retificador e do controlador. Com a topologia definida para o retificador, será realizada a modelagem do sistema utilizando as transformadas de Park e Clarke, resultando em um modelo matemático adaptado para conversores CA-CC. Uma simulação inicial, para comprovar a modelagem, será descrita.

O capítulo 4 é destinado ao desenvolvimento do protótipo e possuirá duas partes: dimensionamento do circuito elétrico e de potência, detalhando a placa impressa e os materiais utilizados. A segunda parte será composta pela programação do sistema de controle responsável pelo SVPWM, via softwares *Matlab/Simulink*, *PSIM* e *Codecomposer*, com uma descrição e análise das principais partes do código elaborado.

No capítulo 5 constará a apresentação dos resultados alcançados pelo projeto, além da análise dos valores obtidos durante os testes realizados com o protótipo.

Por final, o capítulo 6 consistirá na conclusão do trabalho, explicitando se os objetivos inicialmente propostos foram alcançados, bem como sugestões de pesquisas referentes ao tema a serem desenvolvidas por trabalhos futuros.

## 2 DESENVOLVIMENTO BIBLIOGRÁFICO

No início deste capítulo serão abordados alguns conceitos básicos de retificadores, de forma breve, visto que este é um objeto de amplo estudo nos cursos de graduação, não havendo a necessidade de uma análise mais detalhada.

O tópico 2.3, Estratégias de Controle, abordará a revisão a respeito das técnicas de modulação, responsáveis pela realização do controle da tensão de saída em conversores.

### 2.1 RETIFICAÇÃO

A energia elétrica é fornecida, principalmente, através de uma rede com distribuição em corrente alternada. Apesar disso, muito dos componentes eletrônicos atuais como: notebooks, celulares, dentre outros, tem sua alimentação através de tensão contínua. Logo, tem-se a necessidade de realizar a conversão de energia (POMILIO, 2009). Os conversores são equipamentos que realizam o tratamento eletrônico da energia elétrica, e são utilizados para o controle do fluxo de energia elétrica entre sistemas elétricos (BARBI, 2006).

A retificação, efetuada por diodos retificadores, é o processo de conversão de tensões e correntes alternadas em tensões e correntes contínuas (CA-CC). A amplitude da tensão contínua na saída é determinada pela amplitude da tensão alternada de alimentação do sistema. É comum encontrar componente da tensão alternada na saída do sistema retificador, assim, é possível dizer que a saída não é pura. Esta componente é chamada “ondulação”, e pode ser eliminada através da implementação de filtros após o retificador (AHMED, 2000).

Dois conceitos são de extrema importância para se medir a eficiência de um processo de retificação: o fator de potência e distorções harmônicas de corrente e tensão. Fator de Potência (FP) é definido como a relação entre a potência média consumida pela carga, potência ativa (P), e a potência total do sistema, chamada de potência de aparente (S). A potência aparente é o produto entre tensão eficaz ( $V_{ef}$ ) e corrente eficaz ( $I_{ef}$ ) da fonte de alimentação (BORGONOVO, 2001).

$$F.P. = \frac{P}{S} \quad (2.1)$$

$$S = V_{ef} \cdot I_{ef} \quad (2.2)$$

Através da análise dos valores de potência média e tensão e corrente eficazes e manipulação destas relações, têm-se:

$$F.P. = \cos(\phi) \quad (2.3)$$

Sendo  $\phi$  a defasagem angular entre tensão e corrente de entrada (BORGONOVO, 2001).

Porém a equação (2.3) só é válida para tensão de alimentação e corrente de entrada senoidais e com a mesma frequência. Caso diferente, esta relação deixa de ser válida.

A  $TDH_i$  corresponde a taxa de distorção harmônica de corrente, definida de acordo com o padrão IEEE (2010) por:

$$TDH_i = \sqrt{\sum_{n=2}^{\infty} \left( \frac{I_{nef}}{I_{1ef}} \right)^2} \quad (2.4)$$

E  $I_{nef}$  representa a corrente eficaz da n-ésima componente de corrente entrada;

O tópico a seguir apresenta as diferenças entre diferentes topologias de retificadores, vantagens e desvantagens, analisadas perante o fator de potência e os harmônicos de tensão e corrente.

## 2.2 TOPOLOGIAS DE RETIFICADORES

Como foi mencionado no tópico anterior, retificadores são conversores capazes de transformar energia elétrica alternada para contínua, CA-CC.

Os retificadores são classificados principalmente de acordo com: o número de fases da tensão de entrada (monofásicos, trifásicos, hexafásicos); em função do tipo de conexão dos elementos retificadores (topologia em meia ponte ou ponte

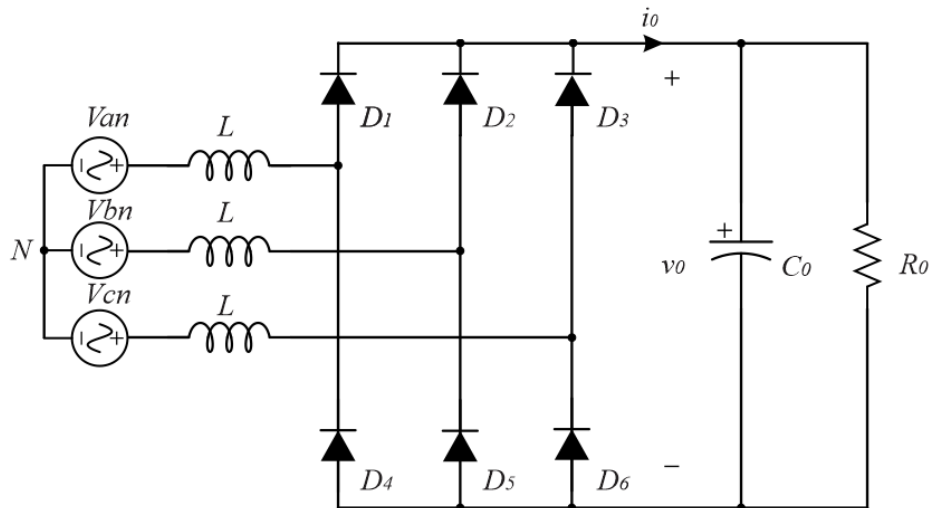
completa); e de acordo com a sua capacidade em regular o valor da tensão de saída (não controlados e controlados) (POMILIO, 2009). Esta última classificação será discutida nos subtópicos seguintes. De acordo com sua capacidade de controlar e regular a tensão de saída, os retificadores podem ser divididos em não controlados e controlados. Os retificadores não controlados utilizam diodos como elementos de retificação enquanto os controlados utilizam transistores ou tiristores.

### 2.2.1 Retificadores não controlados

A maioria dos sistemas retificadores utilizados são os não-controlados, devido a sua simplicidade, confiabilidade, robustez e baixo preço. Contudo, permitem apenas fluxo unidirecional de corrente e causam altos níveis de correntes harmônicas (BOGDAN, IRWIN, 2011).

As estruturas retificadoras não controladas de construção mais simples são as monofásicas. Este tipo de retificador é muito utilizado em aplicações de baixa potência, por apresentar uma estrutura simples, confiável, barata, no entanto, para cargas de maior potência é desejável o uso de retificadores trifásicos (foco deste trabalho), já que, as três fases permitem um melhor equilíbrio entre as correntes de entrada do circuito, reduzindo as ondulações na saída facilitando uma possível aplicação de um filtro (AHMED, 2000).

Assim como os monofásicos, os retificadores trifásicos também podem ser divididos em dois grupos principais, os retificadores de meia onda, os quais utilizam apenas três diodos em sua construção, e os retificadores de onda completa, os quais utilizam seis diodos para retificação (POMILIO, 2009).



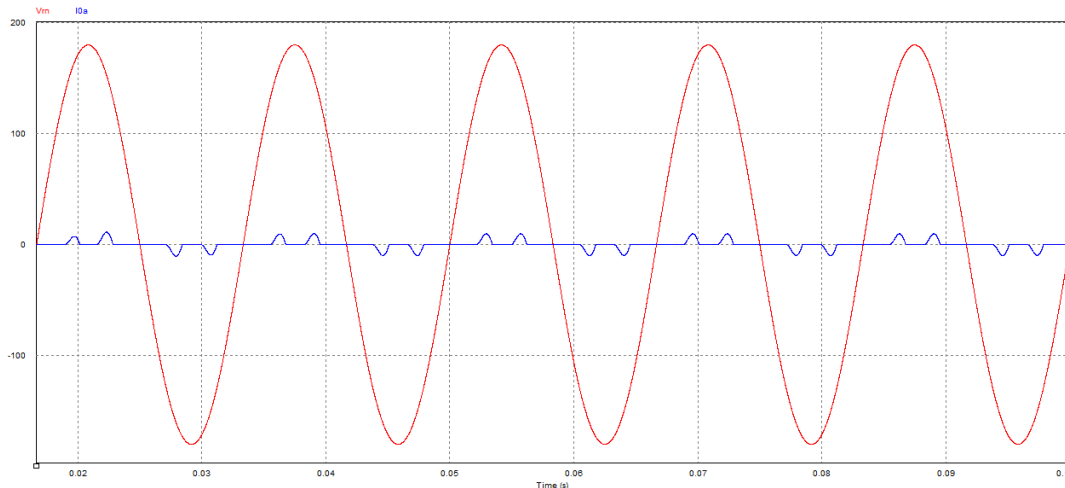
**Figura 1 - Retificador trifásico não controlado.**

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Na Figura 1 têm-se um retificador trifásico de ponte completa com seis diodos conectados em “ponte de Graetz” e filtro de saída capacitivo. Estes dispositivos não podem ter a tensão média de saída controlada (POMILIO, 2009). Para reduzir a ondulação da tensão de saída, um conjunto de capacitores eletrolíticos de valor elevado (representado na Figura 1 como  $C_0$ ), é normalmente conectado à saída retificada, em paralelo com a carga  $R_0$ .

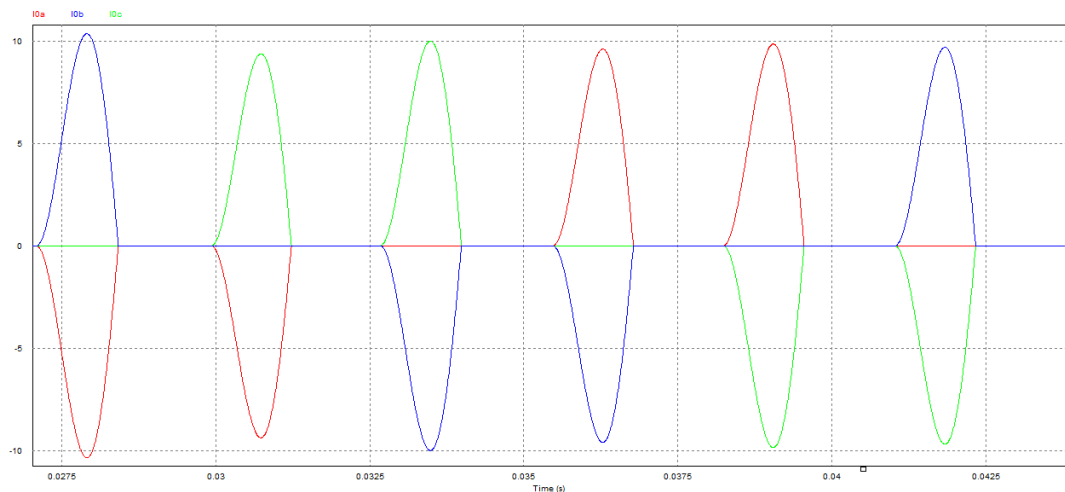
Além disso, estes circuitos apresentam um baixo fator de potência na entrada e uma alta taxa de distorção nas correntes. Quanto menor o FP de entrada do retificador, menor é a potência ativa máxima que pode ser absorvida. Já as componentes harmônicas de corrente podem causar um mau funcionamento de outros equipamentos ligados à rede. Elas provocam ressonâncias no sistema de potência, causando, dessa forma, maiores perdas em transformadores e outros equipamentos do sistema. Esses problemas são fatores limitantes no desempenho do retificador, exigindo um superdimensionamento dos equipamentos além de não estarem de acordo com o padrão internacional IEEE 519, que limita a quantidade de harmônicas em um sistema (BOGDAN, IRWIN, 2011).

A Figura 2 demonstra uma simulação contendo o fator de potência de entrada do retificador, com um valor de 0,58 e a Figura 3 a distorção harmônica total (THD) através da forma de onda da corrente, em um valor de 139,31%.



**Figura 2 - Formas de onda de tensão e corrente do retificador não controlado.**

**Fonte: elaborado pelo autor.**



**Figura 3 - Formas de onda das correntes de entrada do retificador não controlado.**

**Fonte: elaborado pelo autor.**

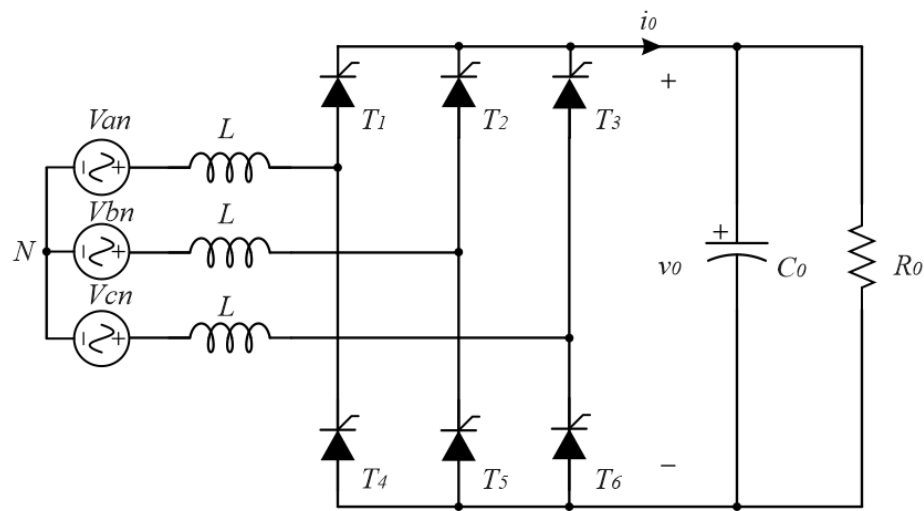
## 2.2.2 Retificadores controlados

A partir do item 2.2.1 pode-se concluir que retificadores passivos, ou seja, não controlados, não possuem as características recomendadas para aplicações com normas rígidas, e.g., sistemas de telecomunicações (BORGONOVO, 2001). Os retificadores controlados possuem uma vasta aplicação na indústria, como por exemplo acionamento de motores CC e alimentação de redes de transmissão CC (POMILIO, 2009).

Para contornar estes problemas, os diodos começaram a ser substituídos por chaves controladas (tiristores), que através de uma estratégia de controle permitem

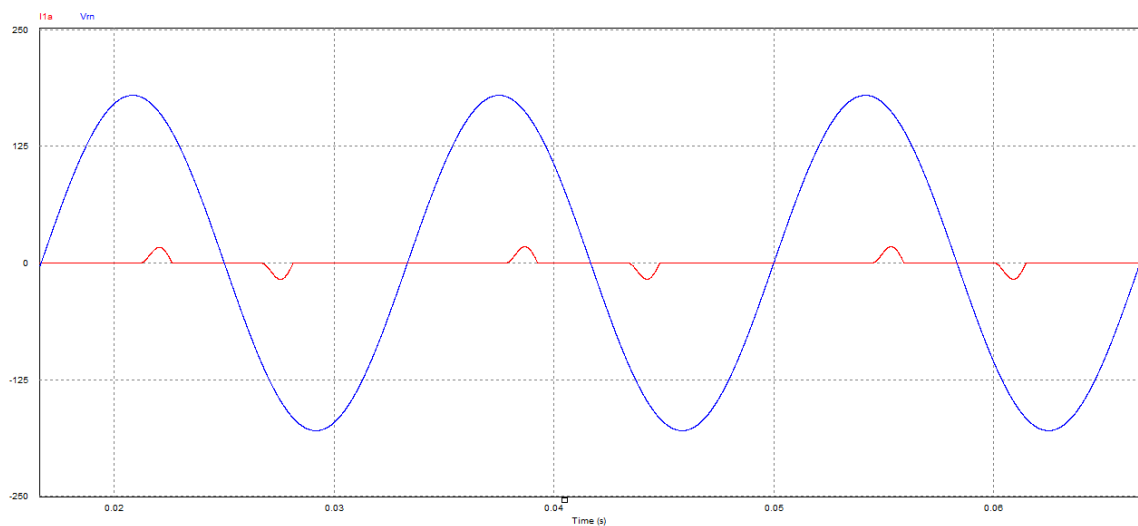
variar a tensão média na saída, e melhorar o desempenho de uma forma geral (POMILIO, 2009).

Em sua configuração mais básica o retificador trifásico controlado a tiristores é composto por seis interruptores comandados,  $T_1$  a  $T_6$ , como mostrado na Figura 04. As formas de onda de tensão e corrente de entrada, resultando em um fator de potência de 0,43 são apresentadas na Figura 05. (BOGDAN, IRWIN, 2011).



**Figura 4 - Retificador trifásico controlado a tiristores.**

Fonte: elaborado pelo autor com base em FONT et. al. (2003)



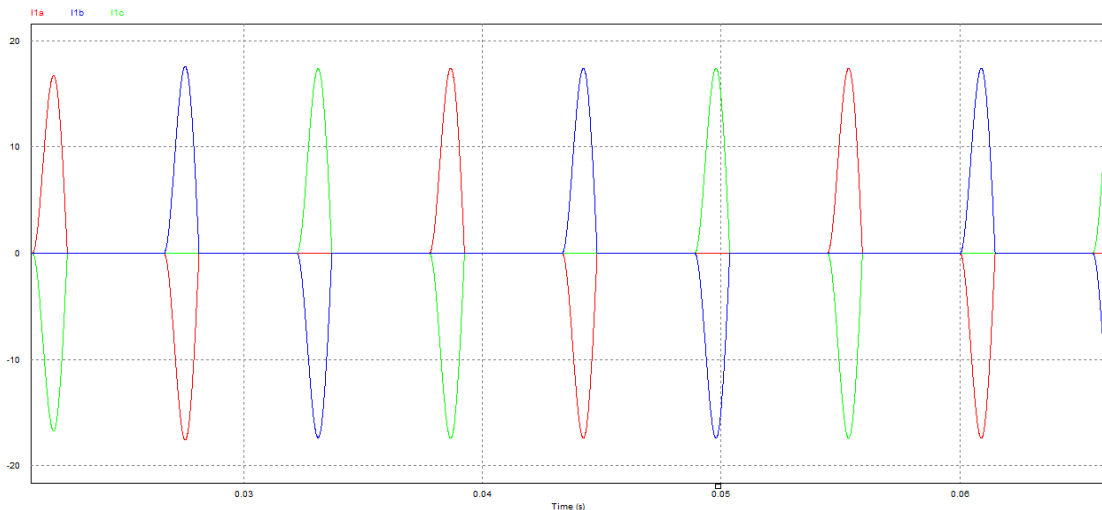
**Figura 5 - Formas de onda de tensão e corrente do retificador controlado a tiristores.**

Fonte: elaborado pelo autor.

Esta topologia é principalmente usada no acionamento de motores CC quando se é necessário realizar a operação em dois quadrantes do plano tensão x corrente.

Porém, na implementação deste circuito, não pode haver inversão na polaridade da corrente, como por exemplo durante o momento de frenagem do motor (POMILIO, 2009). Logo, este retificador permite, somente, um fluxo unidirecional de potência, o que se torna um fator negativo em sua implementação.

Apesar de conseguir manter certo equilíbrio entre as fases do retificador, o uso de tiristores como dispositivos de controle acarreta em alguns problemas para a rede de energia elétrica, assim como os retificadores não controlados, dentre eles podem ser citados: presença de distorção harmônica nas correntes de entrada, ilustrado na Figura 6 com THD=206,68%; distorção das tensões de alimentação; e interferência eletromagnética, prejudicando o funcionamento de outros equipamentos conectados à rede (FONT et al., 2003).



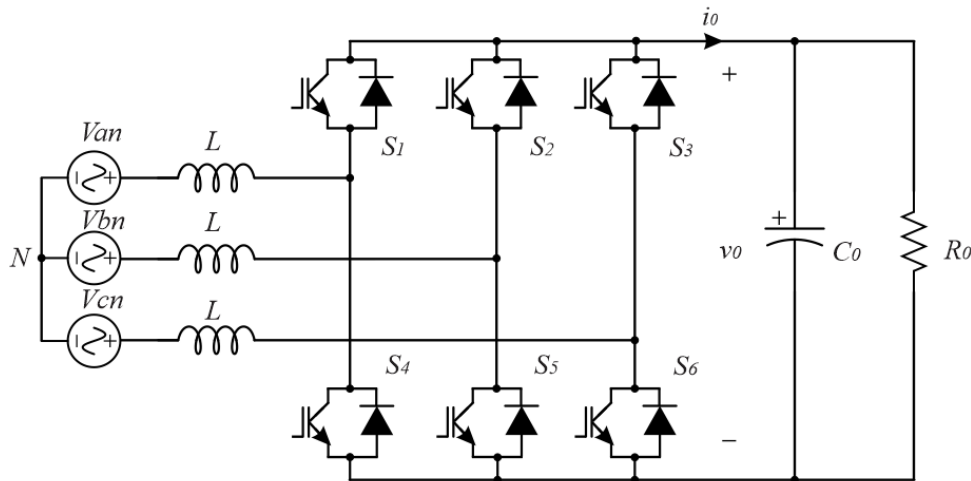
**Figura 6 - Formas de onda das correntes de entrada do retificador controlado a tiristores.**

**Fonte: elaborado pelo autor.**

Nos últimos anos, com o desenvolvimento da eletrônica de potência, conversores controlados por PWM tiveram um importante crescimento no mercado de conversão CA-CC. Dois avanços tecnológicos permitiram essa mudança: a introdução dos transistores IGBT no mercado, que permitiram a manufatura de módulos conversores robustos e de baixo custo; e o desenvolvimento de microprocessadores de baixo custo, (e.g., processadores digitais de sinais – DSPs) para aplicações em tempo real, permitindo a implementação de esquemas de controle vetorial complexo para conversores PWM (BOGDAN, IRWIN, 2011).



No caso de retificadores controlados por PWM, uma das topologias mais conhecidas é o conversor CA-CC trifásico bidirecional *boost*, apresentado na Figura 7. Fazendo uso de seis interruptores IGBT, esta topologia tem como principal característica possibilitar que o fluxo de potência seja bidirecional. Como se trata de uma topologia elevadora (*boost*) a tensão de saída deverá ser maior do que o valor máximo da tensão de entrada (FONT et al., 2003).



**Figura 7 - Conversor CA-CC PWM trifásico bidirecional.**

**Fonte: elaborado pelo autor com base em FONT et. al. (2003).**

A vantagem na utilização dos IGBTs como componentes de chaveamento controlado está na redução das distorções harmônicas. Em contrapartida, a elaboração dos circuitos de comando e controle exige um maior esforço quando comparado com a topologia controlada por tiristores. Sua maior desvantagem é apresentar a possibilidade de ocorrer um curto-circuito no barramento CC (FONT et al., 2003).

As principais técnicas de modulação serão apresentadas no tópico a seguir, juntamente com uma análise mais aprofundada de seu funcionamento assim como vantagens e desvantagens de cada uma.

## 2.3 TÉCNICAS DE MODULAÇÃO

O controle de conversores, ou seja, o valor da sua tensão de saída, pode ser feita através de técnicas de modulação AM (amplitude modulada), FM (frequência modulada) ou modulação por largura de pulso (PWM). Tais modulações podem ser implementadas de maneira analógica, através de circuitos integrados e transistores, ou de forma digital por meio de microprocessadores DSP (FILHO, 2007).

A técnica PWM pode ser implementada de diversas formas, dentre elas: senoidal, histerese, modulação vetorial espacial, modulação ótima ou modulação aleatória (FILHO, 2007). O objeto de estudo deste trabalho é a técnica de modulação vetorial espacial, SVPWM. Suas vantagens e desvantagens serão comparadas às modulações por largura de pulso simples e senoidal.

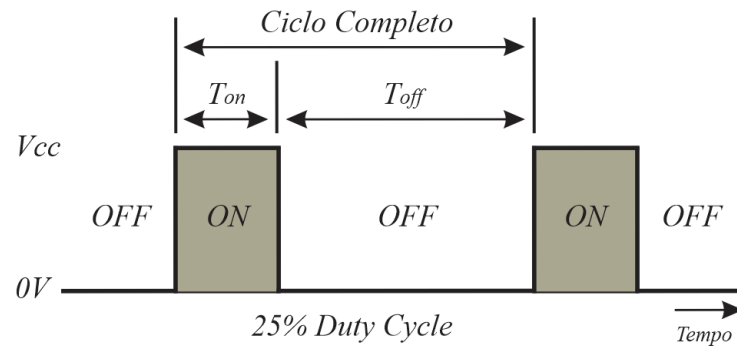
### 2.3.1 Modulação por largura de pulso – PWM

Uma das técnicas mais utilizadas para realizar o controle de conversores é a técnica conhecida como modulação por largura de pulso, PWM, a qual varia o período de *duty-cycle* (razão cíclica) dos interruptores, presentes na entrada do conversor, com uma elevada frequência de chaveamento para alcançar uma tensão média de saída em baixas frequências (HOLMES, LIPO, 2003).

Esta técnica consiste da utilização de uma série de pulsos de uma onda quadrada com razão cíclica variável (Figura 8). A razão cíclica,  $D$ , é definida como a relação em que o interruptor permanece ligado,  $T_{on}$ , com o tempo total de um ciclo,  $T$  (BARBI, 2006). Desta forma,

$$D = \frac{T_{on}}{T} \quad (2.5)$$

Onde  $0 < D < 1$ . O próximo intervalo é definido  $T_{off}$ , e neste tempo o interruptor permanece aberto, cortando a alimentação.



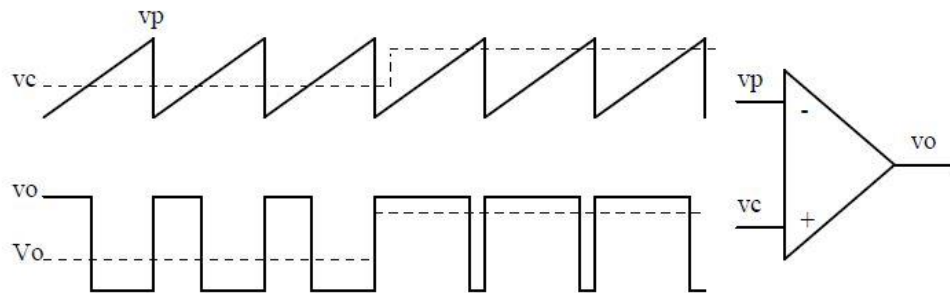
**Figura 8 - Razão cíclica D.**

Fonte: elaborado pelo autor baseado em HOLMES & LIPO (2003).

Ao variar a razão cíclica, está sendo controlada a quantidade de energia que é entregue a carga. Por exemplo, se tivermos um circuito com uma lâmpada alimentada por uma bateria 9V com  $D=0,1$  (ou 10%), com certa frequência de chaveamento, resultaria em uma tensão média disponível equivalente a 0,9V para a lâmpada (BARR, 2001).

Se o sistema da lâmpada permanecer ligado por cinco segundos e desligado por outros cinco segundos (equivalente a um *duty-cycle* de 50%), porém apresentar uma frequência de modulação baixa (menor que 100 Hz), a tensão resultante na lâmpada será de 4,5V. Entretanto, a lâmpada é energizada com a tensão resultante durante os primeiros cinco segundos e no próximo intervalo de tempo permanece desenergizada. Para que o sistema simule a lâmpada ligada durante o período inteiro, com uma intensidade menor, é necessário que a frequência de modulação seja elevada. Frequências comuns de modulação variam de 1 kHz até 200 kHz (BARR, 2001).

Com o intuito de manter uma relação linear entre o sinal de controle e a tensão média de saída, a portadora deve apresentar uma variação linear ( $v_p$ ). Complementando este fato, é necessário que a sua frequência seja no mínimo 10 vezes maior que a frequência do sinal modulador. Esta característica facilita a filtragem do valor médio, mantendo na carga uma tensão contínua de valor proporcional à tensão de controle ( $v_c$ ) (POMILIO, 2009).



**Figura 9 - Modulação por Largura de Pulso.**

Fonte: POMILIO (2009).

A Figura 9 ilustra o comportamento de um modulador PWM com o sinal modulante ( $v_c$ ) contínuo e a onda portadora ( $v_p$ ) como um sinal dente de serra. A variação na largura do pulso resultante ocorre com a variação da tensão  $v_c$ , pois só existe tensão na saída do comparador quando a amplitude do sinal de referência ( $v_c$ ) é maior do que a amplitude da portadora, logo, mantendo as características da portadora, para se alterar a largura de pulso na saída é necessário alterar a amplitude da tensão de referência.

### 2.3.2 Modulação Senoidal

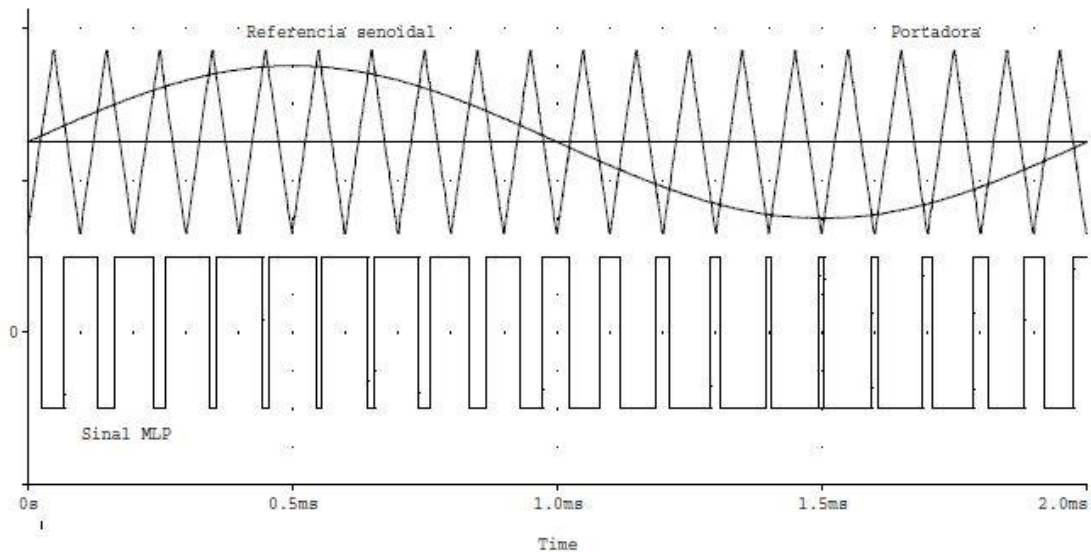
Dentre diversas técnicas de modulação utilizadas, pode-se citar a técnica por largura de pulso senoidal (*Sinusoidal Pulse Width Modulation* - SPWM), que funciona de forma análoga a PWM, mas para gerar uma onda quadrada, é realizada comparação entre dois sinais de tensão, sendo estes um sinal senoidal de referência normalmente em baixa frequência (modulante) e o outro um sinal triangular em alta frequência, por exemplo, o chamado sinal dente-de-serra (portadora) (HOLMES, LIPO, 2003)

O citado sinal dente-de-serra consiste numa série de pulsos triangulares. Quando a onda referência, modulante, possui amplitude maior que a portadora, o pulso de onda quadrada tem nível alto, e nível baixo quando a sua amplitude é menor, como pode ser visto na Figura 10.

A frequência do sinal senoidal de referência ( $f_m$ ) é igual à frequência fundamental da tensão de saída do inversor, ou seja, constante. Já a frequência da

forma de onda triangular ( $f_p$ ) determina a frequência de chaveamento do conversor e geralmente é mantida constante. A razão entre essas duas frequências ( $f_p / f_m$ ) define-se como índice de frequência de modulação  $mf$  (BACON, 2015).

A figura a seguir exemplifica a operação citada, apresentando a comparação das entradas sobrepostas e o resultado de saída.



**Figura 10 – Pulso PWM gerado através da comparação entre a onda portadora e a referência senoidal.**

**Fonte: POMILIO (2009).**

A vantagem da comparação com uma senoidal é que o fator de distorção e os harmônicos de mais baixa ordem são reduzidos significativamente (RASHID, 1999). A escolha do sinal de referência é outro ponto importante, pois a forma de onda utilizada na modulação determina a quantidade de conteúdo harmônico. Ondas triangulares são preferíveis às ondas dentes de serra porque sua simetria fornece menos componentes harmônicos (TREVISIO, 2006)

### 2.3.3 Modulação Espacial Vetorial

A modulação espacial vetorial (*Space Vector Modulation* - SVM) é uma técnica de modulação muito utilizada, que pode ser aplicada tanto em retificadores quanto em inversores. Quando utilizada, apresenta vantagens em relação às técnicas PWM comuns, como um menor número de comutações nas chaves de potência e redução

das componentes harmônicas das correntes de entrada dos retificadores (HOLMES, LIPO, 2003). Outro importante fator a ser considerado na comparação dos métodos é o índice de modulação mais elevado da SVM quando comparado com a técnica SPWM, apesar da relativa dificuldade de implementação da primeira técnica em relação a segunda.

Inicialmente, este tipo de modulação foi utilizado em inversores trifásicos, sendo posteriormente aplicada em conversores estáticos CA-CA trifásicos e monofásicos, e em outras topologias de inversores trifásicos (BATISTA, 2006; PINHEIRO, 2005). Nesta análise, a modulação SVM é aplicada ao conversor CA-CC trifásico, conforme relatado anteriormente.

Cinco etapas são necessárias para a correta implementação da técnica de modulação vetorial. São elas: determinação dos vetores de comutação; identificação dos planos de separação; identificação dos planos limites; obtenção das matrizes de decomposição e definição da sequência de distribuição dos vetores (PINHEIRO, 2005).

A técnica de modulação vetorial está baseada no princípio conhecido como campo girante, as tensões de alimentação de um circuito obedecem a este princípio, o qual, determina que a tensão resultante tem amplitude constante e gira com velocidade igual a  $\omega$  (FONT et al., 2003).

Os conceitos de campo girante são a base para a aplicação da técnica de modulação vetorial tanto em retificadores quanto em inversores. As determinações dos vetores disponíveis, os vetores resultantes e o sinal de controle em cada uma das chaves são dependentes da topologia de cada conversor, por isso, no capítulo 3, o tema de modulação será abordado novamente, mas com o foco específico para a topologia escolhida, com o modelamento e detalhamento necessários.

## 2.4 MODELAGEM DE SISTEMAS

A modelagem consiste em uma técnica de análise das características dinâmicas de um sistema através de um modelo matemático. Este modelo matemático é definido como de um conjunto de equações que representa as características do sistema de forma precisa ou aproximada. Entretanto, um sistema

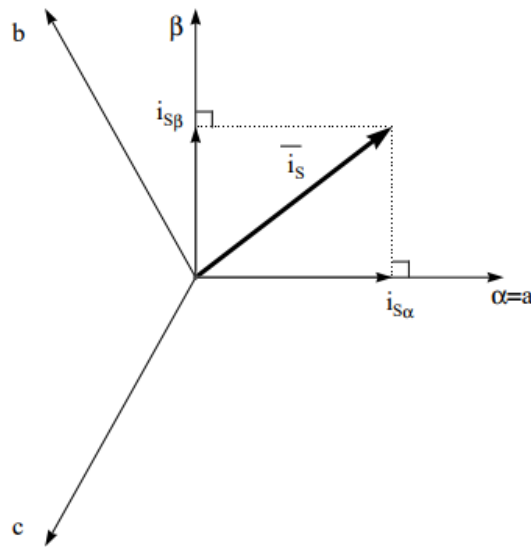
não necessariamente será representando por apenas um modelo matemático. Existem diversas formas, dependendo de um ponto de vista, de se encontrar este conjunto de equações que satisfaça as condições do sistema (OGATA, 2010).

A dinâmica de muitos sistemas, sendo eles mecânicos, elétricos, térmicos, econômicos, entre outros, devem ser descritos em termos de equações diferenciais. Para se obter estas equações diferenciais, devem ser seguidas as leis físicas que regem um sistema em particular – por exemplo, as Leis de Newton para sistemas mecânicos ou as Leis de Kirchhoff para sistemas elétricos (OGATA, 2010).

Um dos pontos que devem ser levados em conta na modelagem do sistema é a relação entre a simplicidade e precisão do modelo. Durante a obtenção do modelo matemático, as vezes é necessário ignorar certas condições, como não linearidades, para que se tenha uma análise simples do problema. Quanto mais complexa a modelagem, mais precisa ela será. Porém, na maioria das vezes, pode-se desconsiderar estas não linearidades pois os seus efeitos na resposta de um sistema são pequenos (OGATA, 2010).

A modelagem de retificadores trifásicos apresenta grande complexidade utilizando-se metodologias mais comuns, e, na maioria das vezes, o modelo obtido não é muito confiável devido às considerações feitas durante a obtenção do conjunto de equações. Tendo em vista esse problema, o sistema deste trabalho será modelado através das transformadas de Clarke ( $\alpha\beta 0$ ) e Park ( $dq0$ ), as quais fornecem um modelo matemático mais preciso para conversores CA-CC, utilizando uma metodologia simples (FONT et al., 2003).

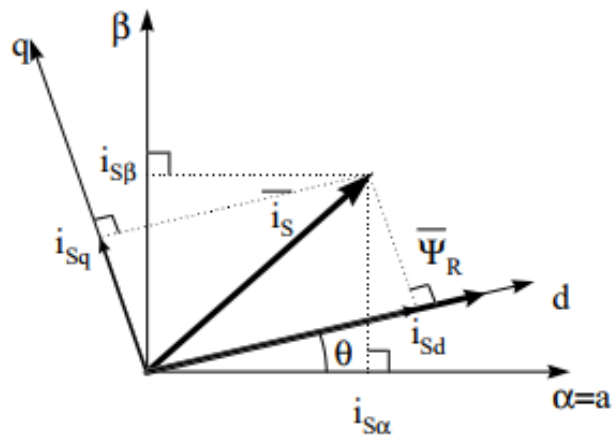
A transformada de Clarke (Figura 11) é utilizada para representar um sistema trifásico através de um sistema bifásico estacionário de eixos  $\alpha$  e  $\beta$  (BARBI, 1985).



**Figura 11 - Transformada de Clarke  $\alpha\beta 0$ .**

Fonte: TEXAS INSTRUMENTS (1998).

Já a transformada de Park atua sobre o sistema ortogonal estático  $\alpha\beta$  transformando-o em um referencial rotacional de duas dimensões,  $d$  e  $q$ , como pode ser visto na Figura 12 (BARBI, 1985).



**Figura 12 - Transformada de Park dq0.**

Fonte: TEXAS INSTRUMENTS (1998).

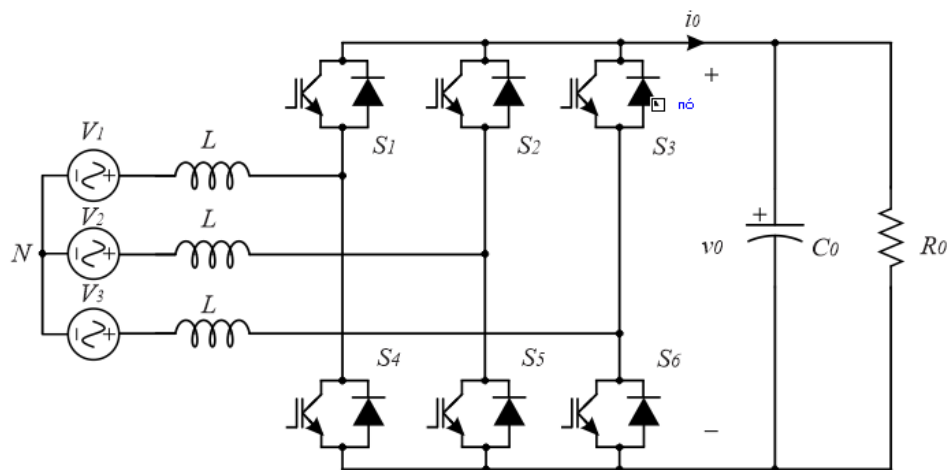
Ambas transformadas constituem uma ferramenta de grande importância que simplifica a modelagem do sistema e facilita a implementação de seus compensadores (FONT et al., 2003).



### 3 MODELAGEM E DIMENSIONAMENTO DO SISTEMA

A topologia definida para este trabalho é a do retificador *boost* trifásico bidirecional (representada na Figura 13), por se tratar de uma configuração clássica e amplamente discutida.

#### 3.1 ANÁLISE DA TOPOLOGIA



**Figura 13 - Conversor CA-CC *boost* trifásico bidirecional.**

**Fonte: elaborado pelo autor com base em BARBI et al. (2010).**

Considerando o circuito de alimentação trifásico, a tensão em cada uma das fases está defasada  $120^\circ$  em relação às outras duas (BARBI, 2010). Dessa forma, podemos representar as tensões na entrada como:

$$\begin{cases} V_1(t) = V_p \cdot \sin(\omega.t) \\ V_2(t) = V_p \cdot \sin(\omega.t - 120^\circ) \\ V_3(t) = V_p \cdot \sin(\omega.t + 120^\circ) \end{cases} \quad (3.1)$$

Para que o vetor resultante, após a transformação de Park, fique em fase com o eixo direto do sistema  $dq0$ , é necessário realizar uma defasagem de  $90^\circ$  em (3.1), resultando em:

$$\begin{cases} V_1(t) = V_p \cdot \sin(\omega.t + 90^\circ) \\ V_2(t) = V_p \cdot \sin(\omega.t - 30^\circ) \\ V_3(t) = V_p \cdot \sin(\omega.t + 210^\circ) \end{cases} \quad (3.2)$$

Ao analisar o funcionamento deste retificador, considera-se que as indutâncias de entrada possuem o mesmo valor e tensão de saída como fonte de tensão  $V_{CC}$ . Outra consideração é que cada ramo do retificador é equivalente a um interruptor, de maneira que as chaves do mesmo ramo abrem e fecham de forma complementar, simplificando o circuito (Figura 14).

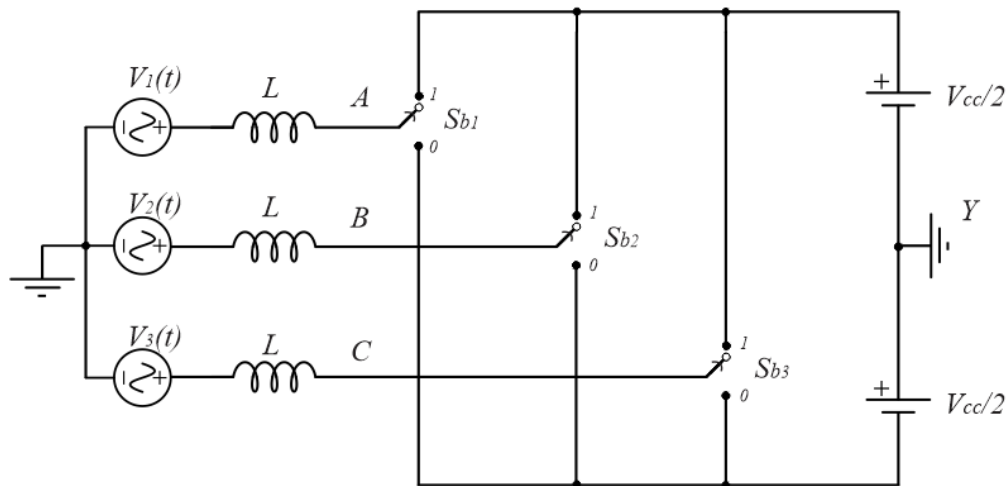


Figura 14 - Retificador bidirecional simplificado.

Fonte: elaborado pelo autor com base em BARBI et al. (2010).

Como foi definido no tópico 2.3.1, a razão cíclica é a relação entre o tempo que a chave permanece fechada,  $T_{ON}$ , e o período de chaveamento. Sendo que a chave permanecerá aberta ( $T_{OFF}$ ) no intervalo complementar.

$$D = \frac{T_{ON}}{T} \quad (3.3)$$

$$T_{OFF} = 1 - D \quad (3.4)$$

A partir de (3.3) e (3.4) definem-se as expressões da tensão média de cada chave em relação o ponto  $Y$ . Com elas é possível ter uma representação do circuito elétrico equivalente do retificador, como pode ser visto na Figura 15.

$$\begin{cases} V_{S1}(t) = \left( D_1(t) \cdot \frac{V_o}{2} \right) - (1 - D_1(t)) \cdot \frac{V_o}{2} = V_o \cdot (D_1(t) - 0.5) \\ V_{S2}(t) = \left( D_2(t) \cdot \frac{V_o}{2} \right) - (1 - D_2(t)) \cdot \frac{V_o}{2} = V_o \cdot (D_2(t) - 0.5) \\ V_{S3}(t) = \left( D_3(t) \cdot \frac{V_o}{2} \right) - (1 - D_3(t)) \cdot \frac{V_o}{2} = V_o \cdot (D_3(t) - 0.5) \end{cases} \quad (3.5)$$

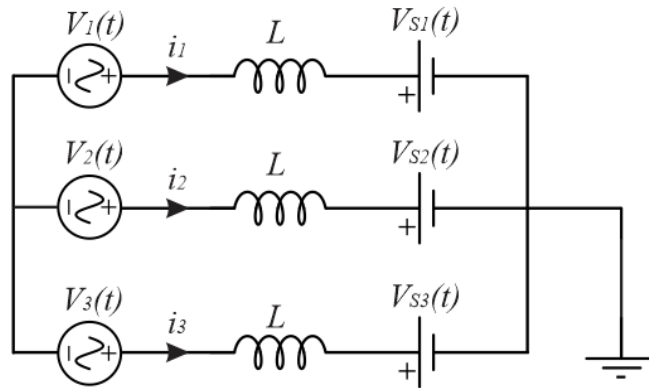


Figura 15 - Circuito elétrico equivalente do retificador.

Fonte: elaborado pelo autor com base em BARBI et al. (2010).

Sabe-se que o sistema é equilibrado, logo:

$$V_{S1}(t) + V_{S2}(t) + V_{S3}(t) = 0 \quad (3.6)$$

Em um sistema equilibrado, as fases podem ser analisadas separadamente, e, a partir da Figura 15, é possível escrever o seguinte grupo de equações:

$$\begin{cases} -V_1(t) + L \cdot \frac{di_1(t)}{dt} + V_{S1}(t) = 0 \\ -V_2(t) + L \cdot \frac{di_2(t)}{dt} + V_{S2}(t) = 0 \\ -V_3(t) + L \cdot \frac{di_3(t)}{dt} + V_{S3}(t) = 0 \end{cases} \quad (3.7)$$

Substituindo a equação (3.5) na equação (3.7), resulta em:

$$\begin{cases} -V_1(t) + L \cdot \frac{di_1(t)}{dt} + V_o \cdot (D_1(t) - 0,5) = 0 \\ -V_2(t) + L \cdot \frac{di_2(t)}{dt} + V_o \cdot (D_2(t) - 0,5) = 0 \\ -V_3(t) + L \cdot \frac{di_3(t)}{dt} + V_o \cdot (D_3(t) - 0,5) = 0 \end{cases} \quad (3.8)$$

### 3.1.1 Análise dos vetores disponíveis

As descrições dos vetores disponíveis, assim como as técnicas de controle apresentadas, são diretamente relacionadas à topologia escolhida, necessitando de uma nova análise no caso de aplicada em outro modelo de conversor. Os tópicos 3.1.1, 3.1.2 e 3.1.3 foram baseados em (FONT et al., 2003).

O início da aplicação da técnica de modulação vetorial consiste na determinação dos vetores disponíveis e conseqüentemente os estados topológicos do conversor.

Para sinais de tensão senoidal nas entradas do retificador, os valores de tensão e tensões nos pontos A, B e C podem assumir valores positivos (P), quando se encontram no semiciclo positivo do seno, ou valores negativos (N), quando se encontram no semiciclo negativo. Para a estrutura apresentada anteriormente são três tensões na entrada, com elas podendo assumir dois valores (P ou N), dessa forma verifica-se a presença de oito ( $2^3$ ) vetores disponíveis para retratar os estados topológicos do conversor (FONT et al., 2003). A Tabela 2 demonstra os vetores possíveis no conversor. Cada coordenada nos vetores apresentados representa o estado das chaves superiores em cada um dos ramos ( $S_{A1}$   $S_{B1}$   $S_{C1}$ ), sendo o valor “1” para a chave fechada e “0” para aberta, o estado das chaves nos ramos inferiores sempre será o oposto ao valor da chave superior correspondente ao mesmo ramo. A Figura 16 representa o estado topológico do circuito para cada combinação de vetores possível.

**Tabela 1 - Combinação vetorial.**

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Vetor	Ponto A	Ponto B	Ponto C	$V_{AB}$	$V_{BC}$	$V_{CA}$
$\vec{V}_0(0 \ 0 \ 0)$	N	N	N	0	0	0
$\vec{V}_1(1 \ 0 \ 0)$	P	N	N	$+V_0$	0	$-V_0$
$\vec{V}_2(1 \ 1 \ 0)$	P	P	N	0	$+V_0$	$-V_0$
$\vec{V}_3(0 \ 1 \ 0)$	N	P	N	$-V_0$	$+V_0$	0
$\vec{V}_4(0 \ 1 \ 1)$	N	P	P	$-V_0$	0	$+V_0$

Tabela 2 - Combinação vetorial.

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Vetor	Ponto A	Ponto B	Ponto C	$V_{AB}$	$V_{BC}$	$V_{CA}$
$\vec{V}_5(0 \ 0 \ 1)$	N	N	P	0	$-V_0$	$+V_0$
$\vec{V}_6(1 \ 0 \ 1)$	P	N	P	$+V_0$	$-V_0$	0
$\vec{V}_7(1 \ 1 \ 1)$	P	P	P	0	0	0

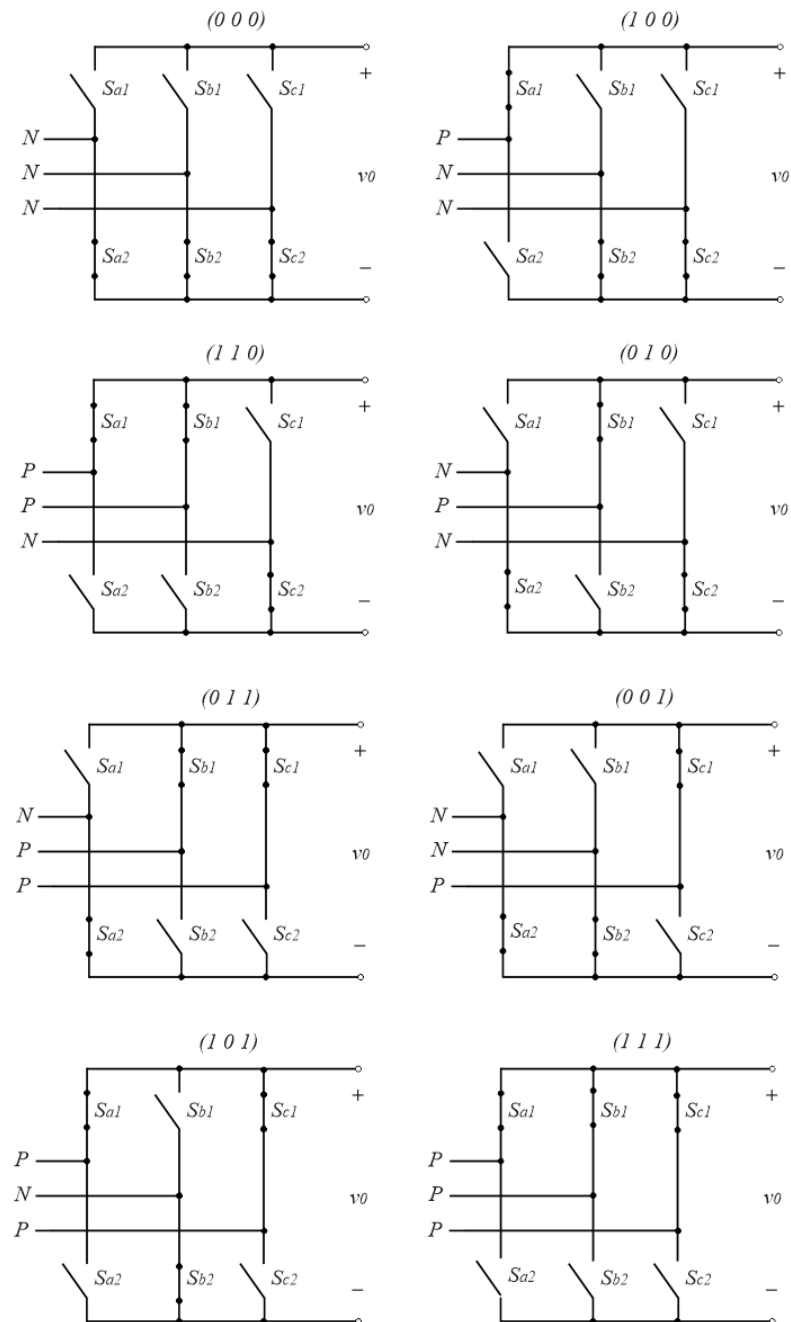


Figura 16 – Estados Topológicos de chaveamento.

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Com o modelo obtido anteriormente agora é possível reduzir o sistema composto por três eixos para um sistema composto por apenas dois eixos, simplificando as técnicas de controle que serão futuramente empregadas ao conversor (BOGDAN & IRWIN, 2011).

A transformada  $\alpha\beta 0$  é definida por:

$$M_{\alpha\beta} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \quad (3.9)$$

Aplicando a equação (3.9) aos vetores disponíveis apresentados anteriormente, têm-se como resultado seis vetores, não nulos, representados no sistema de coordenadas  $\alpha\beta$ . Dois destes vetores ( $\vec{V}_0$  e  $\vec{V}_7$ ) apresentam módulo igual a zero e os demais tem o valor de módulo igual a  $\sqrt{2/3}$ , como observado na equação (3.10). Todos os vetores apresentam ângulo de separação de  $60^\circ$  entre cada um deles, formando um hexágono regular, que pode ser observado na Figura 17.

**Tabela 3 - Vetores nos eixos  $\alpha\beta$ .**

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Vetor	Coordenadas [ $\alpha \beta$ ]
$\vec{V}_0(0 \ 0 \ 0)$	$[0 \ 0]$
$\vec{V}_1(1 \ 0 \ 0)$	$\left[ \frac{\sqrt{2}}{3} \ 0 \right]$
$\vec{V}_2(1 \ 1 \ 0)$	$\left[ \frac{1}{\sqrt{6}} \ \frac{\sqrt{2}}{2} \right]$
$\vec{V}_3(0 \ 1 \ 0)$	$\left[ -\frac{1}{\sqrt{6}} \ \frac{\sqrt{2}}{2} \right]$
$\vec{V}_4(0 \ 1 \ 1)$	$\left[ -\frac{\sqrt{2}}{3} \ 0 \right]$

**Tabela 4 - Vetores nos eixos  $\alpha\beta$ .**

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Vetor	Coordenadas [ $\alpha$ $\beta$ ]
$\vec{V}_5(0 \ 0 \ 1)$	$\begin{bmatrix} -\frac{1}{\sqrt{6}} & -\frac{\sqrt{2}}{2} \end{bmatrix}$
$\vec{V}_6(1 \ 0 \ 1)$	$\begin{bmatrix} \frac{1}{\sqrt{6}} & -\frac{\sqrt{2}}{2} \end{bmatrix}$
$\vec{V}_7(1 \ 1 \ 1)$	$[0 \ 0]$

Os vetores representados nos eixos  $\alpha\beta$  podem ser resumidos pela seguinte expressão:

$$\vec{V}_i = \begin{cases} \sqrt{\frac{2}{3}} \cdot e^{j\frac{\pi}{3}(i-1)} & i = 1 \dots 6 \\ 0 & i = 0, 7 \end{cases} \quad (3.10)$$

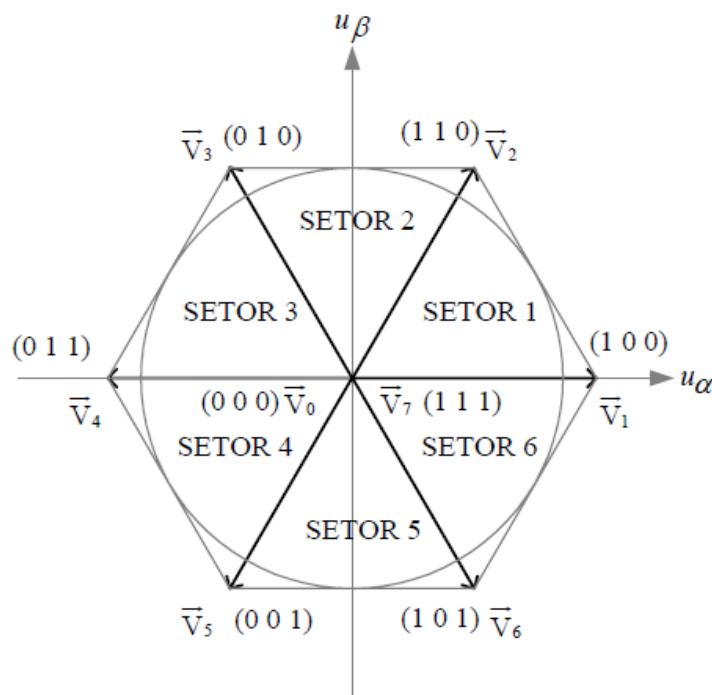


Figura 17 - Vetores representados nos eixos  $\alpha\beta$ .

Fonte: FONT et al. (2003).

Vale ressaltar que a transformada alterou os valores de amplitude dos vetores, e que estes estão diretamente relacionados aos estados topológicos do conversor (FONT et al., 2003).

### 3.1.2 Implementação dos vetores

Observa-se na Figura 17 que os vetores não nulos dividem o plano em seis setores simétricos. O sinal de comando dos interruptores, ligados as fases  $A$ ,  $B$  e  $C$ , é um vetor sintetizado ( $\vec{V}_s$ ) obtido através do uso de dois vetores não nulos adjacentes em cada setor. O vetor  $\vec{V}_s$  é responsável pela realização dos estados topológicos do conversor (PINHEIRO et al., 2005).

Utilizando como referência o setor 3, a projeção do vetor  $\vec{V}_s$  no plano  $\alpha\beta$  pode ser vista na Figura 18. O módulo do vetor resultante é definido pela média ponderada dos vetores  $\vec{V}_3$  e  $\vec{V}_4$  em seus respectivos intervalos de aplicação,  $T_3$  e  $T_4$ .

$$\vec{V}_s = T_3 \cdot \vec{V}_3 + T_4 \cdot \vec{V}_4 \quad (3.11)$$

E o intervalo de aplicação do vetor  $\vec{V}_s$  é calculado pela soma dos intervalos de aplicação dos vetores não nulos adjacentes, no respectivo setor, e o intervalo de aplicação do vetor nulo ( $\vec{V}_0$  ou  $\vec{V}_7$ ).

$$T_s = T_0 + T_3 + T_4 \quad (3.12)$$



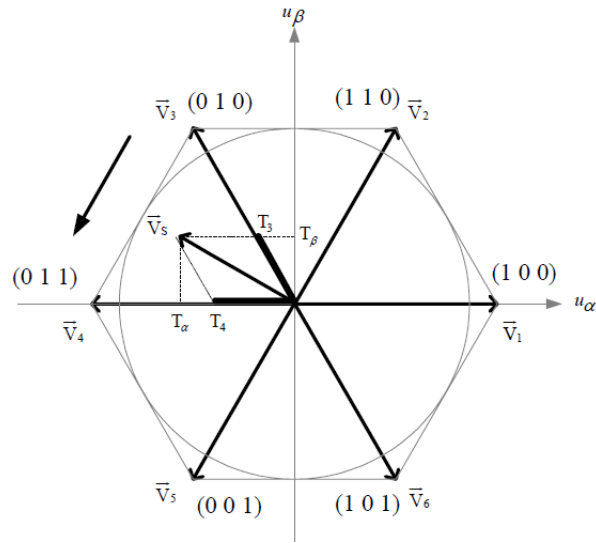


Figura 18 - Vetor  $\vec{V}_S$  representado no setor 3.

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Relacionando os valores de módulo da Tabela 3 com a equação (3.11), tem-se a seguinte expressão:

$$\vec{V}_S = T_3 \cdot \left( \frac{-1}{\sqrt{6}} u_\alpha + j \frac{\sqrt{2}}{2} u_\beta \right) + T_4 \cdot \left( -\sqrt{\frac{2}{3}} u_\alpha \right) = T_\alpha u_\alpha + j T_\beta u_\beta \quad (3.13)$$

Para determinar os valores de  $T_3$  e  $T_4$  iguala-se as partes reais e imaginárias da equação (3.13), obtendo:

$$\begin{cases} T_3 = \sqrt{2} T_\beta \\ T_4 = -\sqrt{\frac{3}{2}} T_\alpha - \frac{1}{\sqrt{2}} T_\beta \end{cases} \quad (3.14)$$

Para definir o intervalo de aplicação dos vetores nulos, basta isolar  $T_0$  na equação (3.12), resultando em:

$$T_0 = T_S - (T_3 + T_4) \quad (3.15)$$

Repetindo o procedimento para os demais setores definem-se os intervalos de aplicação conforme a Tabela 5.

Tabela 5 - Intervalos de aplicação para os setores de  $\alpha\beta$ .

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Setor	Intervalos de aplicação	
Setor 1	$T_1 = \sqrt{\frac{3}{2}}.T_\alpha - \frac{1}{\sqrt{2}}.T_\beta$	$T_2 = \sqrt{2}.T_\beta$
Setor 2	$T_2 = \sqrt{\frac{3}{2}}.T_\alpha + \frac{1}{\sqrt{2}}.T_\beta$	$T_3 = -\sqrt{\frac{3}{2}}.T_\alpha + \frac{1}{\sqrt{2}}.T_\beta$
Setor 3	$T_3 = \sqrt{2}.T_\beta$	$T_4 = -\sqrt{\frac{3}{2}}.T_\alpha - \frac{1}{\sqrt{2}}.T_\beta$
Setor 4	$T_4 = -\sqrt{\frac{3}{2}}.T_\alpha + \frac{1}{\sqrt{2}}.T_\beta$	$T_5 = -\sqrt{2}.T_\beta$
Setor 5	$T_5 = -\sqrt{\frac{3}{2}}.T_\alpha - \frac{1}{\sqrt{2}}.T_\beta$	$T_6 = \sqrt{\frac{3}{2}}.T_\alpha - \frac{1}{\sqrt{2}}.T_\beta$
Setor 6	$T_6 = -\sqrt{2}.T_\beta$	$T_1 = \sqrt{\frac{3}{2}}.T_\alpha + \frac{1}{\sqrt{2}}.T_\beta$

O círculo inscrito no hexágono formado pelos seis setores é a região de operação linear, na qual os intervalos de aplicação são válidos.

Seguindo esta trajetória circular tem-se que a amplitude máxima de  $\vec{V}_s$  é igual a  $1/\sqrt{2}$ , implicando que o valor da tensão de saída do conversor CA-CC seja de  $\sqrt{2}$  vezes o valor de pico da tensão de linha na entrada.

### 3.1.3 Sequência dos vetores

O número de comutações por período de chaveamento está relacionado com os intervalos de aplicação dos vetores e é determinado pela sequência de vetores a ser aplicada. Essa distribuição caracteriza certo tipo de modulação e permite analisar a composição do espectro harmônico do sinal de saída (PINHEIRO, 2005).

A sequência dos vetores utilizada faz uso dos vetores vizinhos ao setor em que  $\vec{V}_s$  se encontra, com uma comutação por ramo durante o período de chaveamento, obtendo os valores desejados de forma alternada. A sequência se inicia e termina

em um dos vetores nulos fazendo com que os interruptores estejam bloqueados no início e término do período de chaveamento. Esta distribuição é simétrica em relação à metade do período. Esta abordagem permite que, para a implementação dos vetores, o número de comutações das chaves seja mínimo.

Seguindo o exemplo da seção anterior, para o setor 3 a sequência de vetores é:  $\vec{V}_0 \vec{V}_3 \vec{V}_4 \vec{V}_7 \vec{V}_4 \vec{V}_3 \vec{V}_0$ , com os respectivos intervalos de aplicação mostrados na Tabela 6.

**Tabela 6 - Sequência de vetores para setor 3.**

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Vetor	Sequência	Duração
$\vec{V}_0$	0 0 0	$T_0 / 4$
$\vec{V}_3$	0 1 0	$T_3 / 2$
$\vec{V}_4$	0 1 1	$T_4 / 2$
$\vec{V}_7$	1 1 1	$T_0 / 2$
$\vec{V}_4$	0 1 1	$T_4 / 2$
$\vec{V}_3$	0 1 0	$T_3 / 2$
$\vec{V}_0$	0 0 0	$T_0 / 4$

Para obter os vetores basta observar o estado topológico de cada uma das chaves (apresentados na Figura 16) pois estes estão diretamente relacionados com os sinais de comando dos interruptores. A Tabela 7 exemplifica o caso para o vetor  $\vec{V}_3(0 \ 1 \ 0)$ .

**Tabela 7 - Sinais de comando para obtenção do vetor  $\vec{V}_3$ .**

Fonte: elaborado pelo autor com base em FONT et al. (2003).

$S_{A1}$ - Aberto (OFF)	$S_{A2}$ - Fechado (ON)
$S_{B1}$ - Fechado (ON)	$S_{B2}$ - Aberto (OFF)
$S_{C1}$ - Aberto (OFF)	$S_{C2}$ - Fechado (ON)

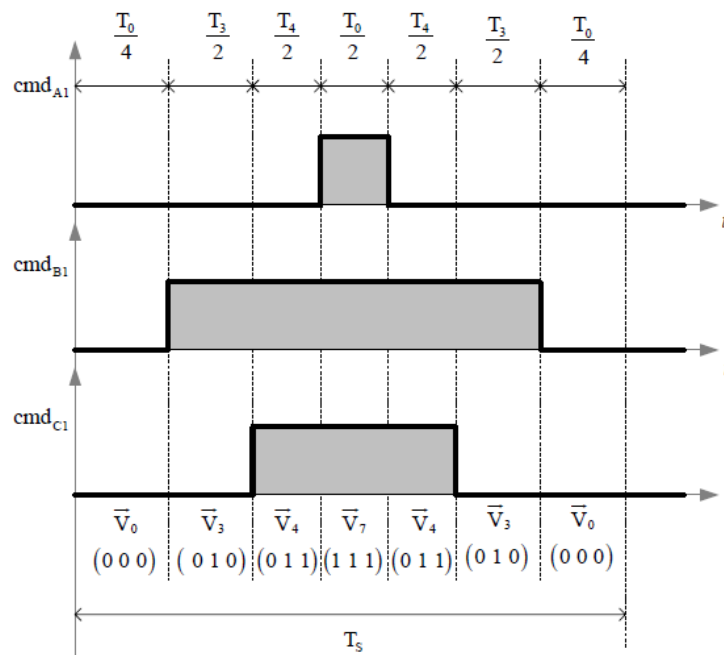


Figura 19 - Sinais de comando para o setor 3.

Fonte: FONT et al. (2003).

Considerando-se as mesmas condições utilizadas para o setor 3, as demais seqüências de vetores podem ser vistas na tabela a seguir.

Tabela 8 - Seqüência de vetores para os setores 1 a 6.

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Setor	Seqüência de vetores
Setor 1	$\vec{V}_0 \vec{V}_1 \vec{V}_2 \vec{V}_7 \vec{V}_2 \vec{V}_1 \vec{V}_0$
Setor 2	$\vec{V}_0 \vec{V}_2 \vec{V}_3 \vec{V}_7 \vec{V}_3 \vec{V}_2 \vec{V}_0$
Setor 3	$\vec{V}_0 \vec{V}_3 \vec{V}_4 \vec{V}_7 \vec{V}_4 \vec{V}_3 \vec{V}_0$
Setor 4	$\vec{V}_0 \vec{V}_4 \vec{V}_5 \vec{V}_7 \vec{V}_5 \vec{V}_4 \vec{V}_0$
Setor 5	$\vec{V}_0 \vec{V}_5 \vec{V}_6 \vec{V}_7 \vec{V}_6 \vec{V}_5 \vec{V}_0$
Setor 6	$\vec{V}_0 \vec{V}_1 \vec{V}_6 \vec{V}_7 \vec{V}_6 \vec{V}_1 \vec{V}_0$

Através da Figura 19, retiram-se as expressões (3.16) que definem os intervalos de aplicação dos sinais de comando para as chaves  $S_{A1}$ ,  $S_{B1}$  e  $S_{C1}$ , sendo os sinais de comando das chaves inferiores complementares a estes.

$$\begin{cases} T_A = \frac{T_0}{2} \\ T_B = \frac{T_0}{2} + T_3 + T_4 \\ T_C = \frac{T_0}{2} + T_4 \end{cases} \quad (3.16)$$

Com as expressões de cada setor, e analisando-se a Tabela 5, calculam-se as razões cíclicas para cada interruptor dos ramos  $A$ ,  $B$  e  $C$ .

$$\begin{cases} D_A = \frac{1}{2} \cdot \left( 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right) \\ D_B = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right) \\ D_C = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right) \end{cases} \quad (3.17)$$

Sendo:

$$D_\alpha = \frac{T_\alpha}{T_s} \quad (3.18)$$

$$D_\beta = \frac{T_\beta}{T_s} \quad (3.19)$$

Os intervalos de aplicação juntamente com as razões cíclicas dos interruptores de cada ramo do conversor estão na Tabela 9.

**Tabela 9 - Intervalo de aplicação e razões cíclicas dos sinais de comando dos interruptores.**

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Setor	Intervalo de aplicação dos sinais de comando	Razões cíclicas dos Interruptores
Setor 1	$T_A = \frac{T_0}{2} + T_1 + T_2$ $T_B = \frac{T_0}{2} + T_2$ $T_C = \frac{T_0}{2}$	$D_A = \frac{1}{2} \cdot \left( 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_B = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_C = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$

Tabela 10 - Intervalo de aplicação e razões cíclicas dos sinais de comando dos interruptores.

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Setor	Intervalo de aplicação dos sinais de comando	Razões cíclicas dos Interruptores
Setor 2	$T_A = \frac{T_0}{2} + T_2$ $T_B = \frac{T_0}{2} + T_2 + T_3$ $T_C = \frac{T_0}{2}$	$D_A = \frac{1}{2} + \sqrt{\frac{3}{2}} \cdot D_\alpha$ $D_B = \frac{1}{2} + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_C = \frac{1}{2} - \frac{1}{\sqrt{2}} \cdot D_\beta$
Setor 3	$T_A = \frac{T_0}{2}$ $T_B = \frac{T_0}{2} + T_3 + T_4$ $T_C = \frac{T_0}{2} + T_4$	$D_A = \frac{1}{2} \cdot \left( 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_B = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_C = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$
Setor 4	$T_A = \frac{T_0}{2}$ $T_B = \frac{T_0}{2} + T_4$ $T_C = \frac{T_0}{2} + T_4 + T_5$	$D_A = \frac{1}{2} \cdot \left( 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_B = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_C = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$
Setor 5	$T_A = \frac{T_0}{2} + T_6$ $T_B = \frac{T_0}{2}$ $T_C = \frac{T_0}{2} + T_5 + T_6$	$D_A = \frac{1}{2} + \sqrt{\frac{3}{2}} \cdot D_\alpha$ $D_B = \frac{1}{2} + \frac{1}{\sqrt{2}} \cdot D_\beta$ $D_C = \frac{1}{2} - \frac{1}{\sqrt{2}} \cdot D_\beta$
Setor 6	$T_A = \frac{T_0}{2} + T_6 + T_1$ $T_B = \frac{T_0}{2}$ $T_C = \frac{T_0}{2} + T_6$	$D_A = \frac{1}{2} \cdot \left( 1 + \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_B = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha + \frac{1}{\sqrt{2}} \cdot D_\beta \right)$ $D_C = \frac{1}{2} \cdot \left( 1 - \sqrt{\frac{3}{2}} \cdot D_\alpha - \frac{1}{\sqrt{2}} \cdot D_\beta \right)$

Pode-se observar na Figura 20 a evolução dos sinais de comando, para um período de chaveamento, em cada um dos setores utilizando-se a modulação vetorial. A transição de um vetor para outro é obtida com a comutação de apenas um ramo.

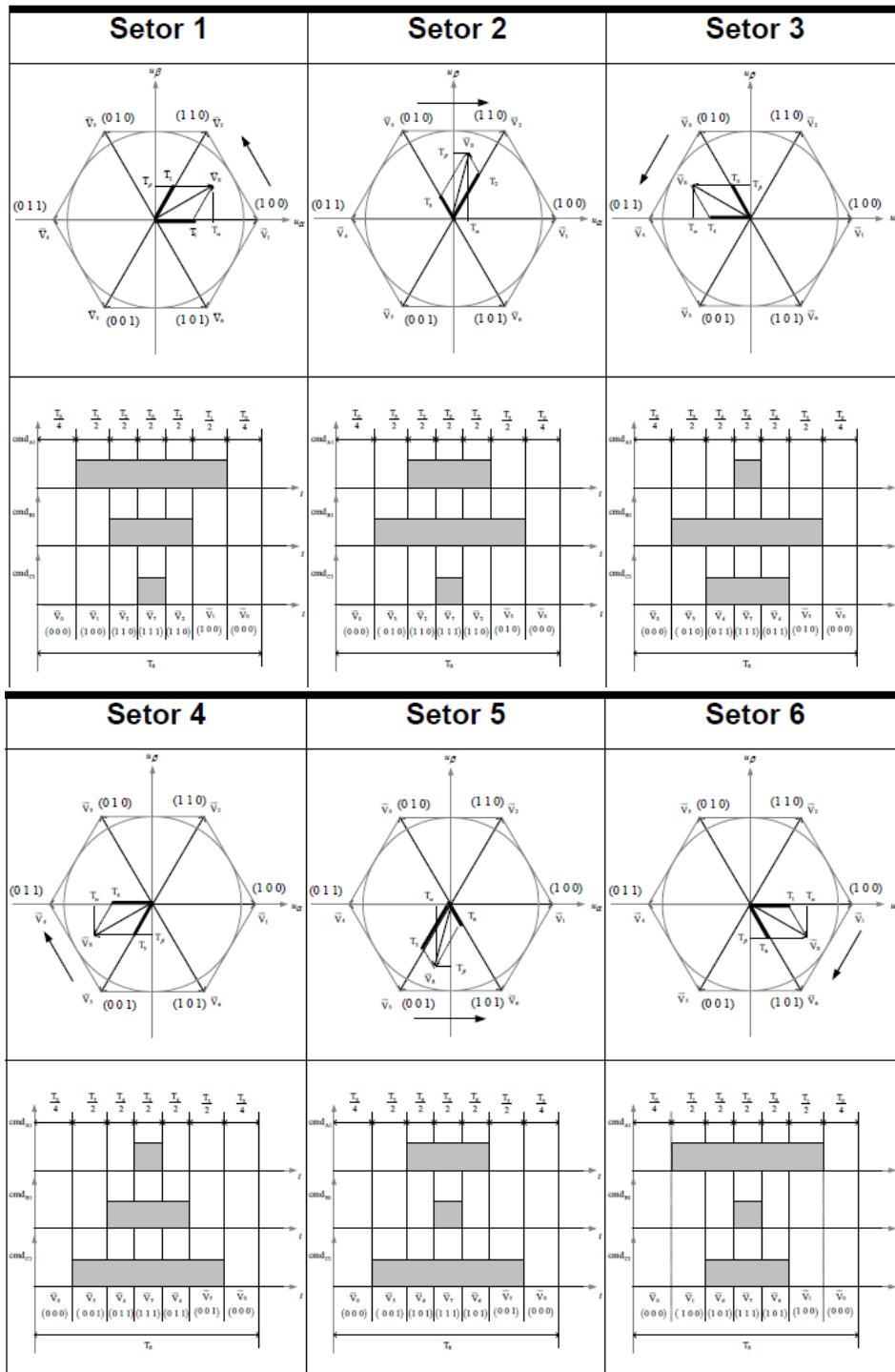


Figura 20 - Sinais de comando em cada um dos setores.

Fonte: FONT et al. (2003).

A transformada utilizada juntamente com a sequência de fases influencia na definição dos setores. Por exemplo, a transição do setor 3 para o setor 4 ocorre quando  $\vec{V}_s = \vec{V}_4$  e nesta situação a componente fundamental da tensão  $V_{AN}$  tem valor máximo negativo com posição angular igual a  $\frac{3\pi}{2}$ .

Utilizando a mesma análise para as transições entre os outros setores, obtém-se o resultado da Figura 21.

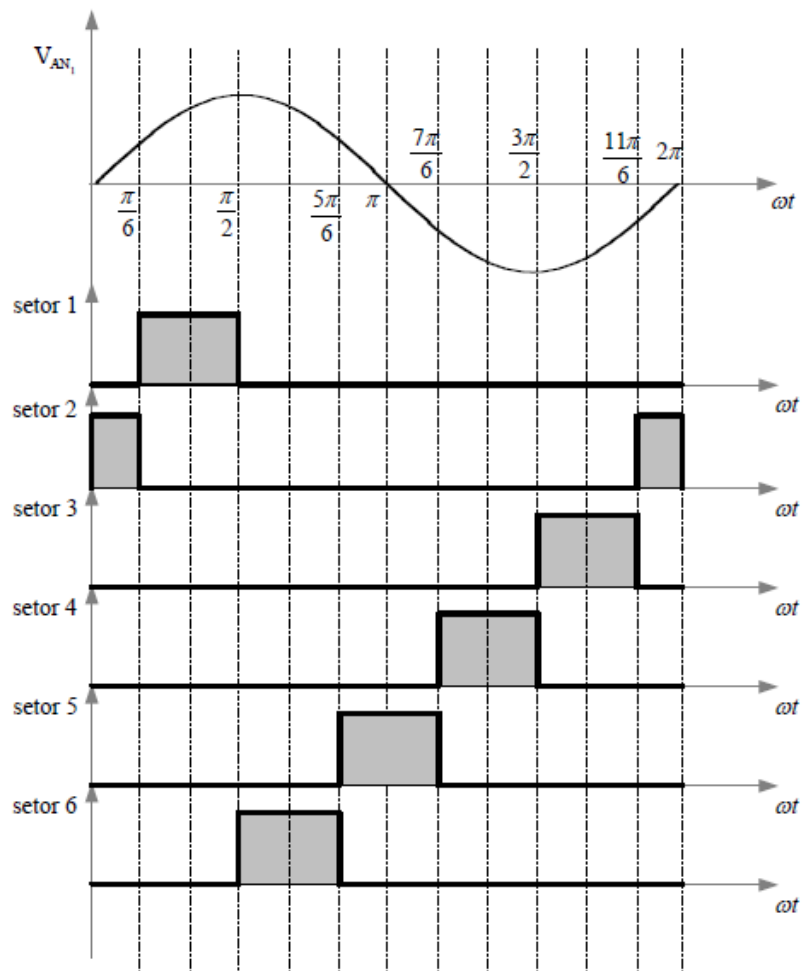


Figura 21 - Definição dos setores.

Fonte: FONT et al. (2003).



### 3.2 ESTRATÉGIA DE CONTROLE

A seção 3.2 teve como referência as demonstrações apresentadas em (BARBI, et al., 2010; FONT et al., 2003).

Para realizar o controle do retificador *boost* bidirecional e fazer com ele tenha uma tensão CC na saída constante, é necessária a implementação de malhas de controle de corrente e tensão no sistema. A principal função da malha de tensão é manter a tensão de barramento CC constante. Já a malha de corrente é responsável pela sincronização das correntes de entrada de fase senoidais com as tensões de fase para que se obtenha um elevado fator de potência para o conversor.

O controle das correntes de fase será feito através das transformadas Park. Pode-se desprezar a componente de sequência zero já que o sistema é a três fios e não possui neutro. O diagrama esquemático representando o retificador juntamente com o sistema de controle está disposto na Figura 22.

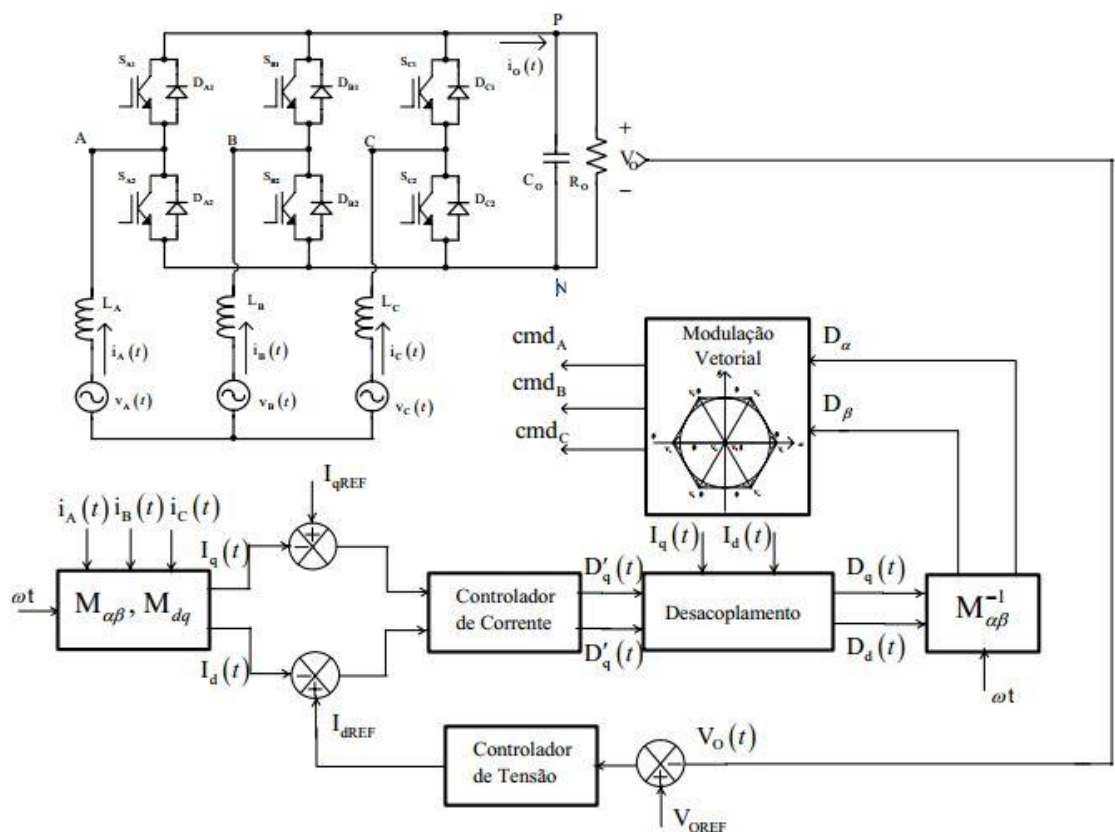


Figura 22 - Diagrama de controle para o retificador *boost* bidirecional.

Fonte: FONT et al. (2003).

### 3.2.1 Modelagem do Retificador

A proposta de controle do retificador *boost* bidirecional é através das transformadas Park. Com isso, o conversor é modelado em variáveis  $dq0$ . Através da transformada de Park, é possível obter um modelo preciso do retificador trifásico com uma metodologia rápida e simples. A modelagem será feita utilizando variáveis de fase, resultando na obtenção direta das razões cíclicas de fase.

Através do sistema de equações (3.8) em forma matricial, obtêm-se: em forma matricial, obtêm-se:

$$\begin{aligned}\vec{V}_{123} &= \begin{bmatrix} V_1(t) \\ V_2(t) \\ V_3(t) \end{bmatrix} \\ \vec{i}_{123} &= \begin{bmatrix} i_1(t) \\ i_2(t) \\ i_3(t) \end{bmatrix} \\ \vec{D}_{123} &= \begin{bmatrix} D_1(t) \\ D_2(t) \\ D_3(t) \end{bmatrix} \\ \vec{V}_{cc} &= \begin{bmatrix} V_{cc} \\ V_{cc} \\ V_{cc} \end{bmatrix}\end{aligned}\tag{3.20}$$

Este sistema pode ser expresso em sua forma reduzida:

$$\vec{V}_{123} = L \cdot \frac{d\vec{i}_{123}}{dt} + V_{cc} \cdot \vec{D}_{123} - \frac{\vec{V}_{cc}}{2}\tag{3.21}$$

A equação (3.22) vem do produto entre a transformada de Park com a equação (3.9) da transformada de Clarke:

$$\vec{B}^{-1} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\sin(\omega t) & -\sin(\omega t - 120^\circ) & -\sin(\omega t + 120^\circ) \end{bmatrix}\tag{3.22}$$

Para que a potência do sistema seja invariante, é necessário que a transformada seja ortogonal. Assim, a transformada inversa de (3.22) é:

$$\vec{B} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \cos(\omega t) & -\sin(\omega t) \\ \frac{1}{\sqrt{2}} & \cos(\omega t - 120^\circ) & -\sin(\omega t - 120^\circ) \\ \frac{1}{\sqrt{2}} & \cos(\omega t + 120^\circ) & -\sin(\omega t + 120^\circ) \end{bmatrix} \quad (3.23)$$

Aplicando a transformada de Park à equação (3.20), têm-se:

$$\begin{aligned} \vec{V}_{123} &= \vec{B} \cdot \vec{V}_{dq0} \\ \vec{i}_{123} &= \vec{B} \cdot \vec{i}_{dq0} \\ \vec{D}_{123} &= \vec{B} \cdot \vec{D}_{dq0} \end{aligned} \quad (3.24)$$

Logo, aplicando a transformada de Park na equação (3.21), resulta em:

$$\vec{V}_{dq0} = L \cdot \frac{d\vec{i}_{dq0}}{dt} + L \cdot \vec{B}^{-1} \cdot \left[ \frac{d\vec{B}}{dt} \right] \cdot \vec{i}_{dq0} + V_{cc} \cdot \vec{D}_{dq0} - \vec{B}^{-1} \cdot \frac{\vec{V}_{cc}}{2} \quad (3.25)$$

O produto da transformada inversa com a matriz derivada da transformada é igual a:

$$\vec{B}^{-1} \cdot \left[ \frac{d\vec{B}}{dt} \right] = \omega \cdot \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & -1 \\ 0 & 1 & 0 \end{bmatrix} \quad (3.26)$$

Fazendo a substituição do produto (3.26) na equação (3.25):

$$\begin{bmatrix} V_0(t) \\ V_d(t) \\ V_q(t) \end{bmatrix} = L \cdot \begin{bmatrix} \frac{di_0(t)}{dt} \\ \frac{di_d(t)}{dt} \\ \frac{di_q(t)}{dt} \end{bmatrix} + L \cdot \omega \cdot \begin{bmatrix} 0 \\ -i_q(t) \\ i_d(t) \end{bmatrix} + V_{cc} \cdot \begin{bmatrix} D_0(t) \\ D_d(t) \\ D_q(t) \end{bmatrix} - \begin{bmatrix} \frac{\sqrt{3}}{2} \\ 0 \\ 0 \end{bmatrix} \quad (3.27)$$

Aplicando a transformada de Park nas tensões de fase definidas em (3.2) obtém-se a equação (3.29):

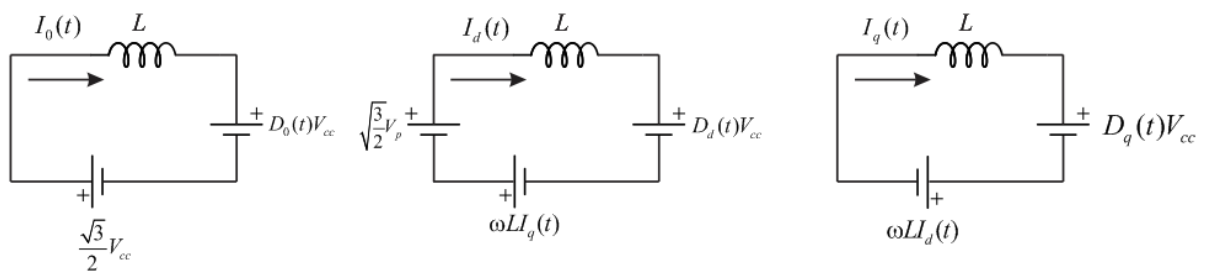
$$\vec{V}_{dq0} = \vec{B}^{-1} \cdot [\vec{V}_{123}] = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\sin(\omega t) & -\sin(\omega t - 120^\circ) & -\sin(\omega t + 120^\circ) \end{bmatrix} \cdot [\vec{V}_{123}] \quad (3.28)$$

$$\begin{bmatrix} V_0(t) \\ V_d(t) \\ V_q(t) \end{bmatrix} = \begin{bmatrix} 0 \\ \frac{\sqrt{3}}{2} \cdot V_P \\ 0 \end{bmatrix} \quad (3.29)$$

Dessa forma, utilizando o resultado da equação (3.29) e substituindo em (3.27), têm-se:

$$\begin{cases} 0 = L \cdot \frac{di_0(t)}{dt} + V_{cc} \cdot D_0(t) - \frac{\sqrt{3}}{2} \cdot V_{cc} \\ \sqrt{\frac{3}{2}} \cdot V_P(t) = L \cdot \frac{di_d(t)}{dt} + L \cdot \omega \cdot i_q(t) + V_{cc} \cdot D_d(t) \\ 0 = L \cdot \frac{di_q(t)}{dt} + L \cdot \omega \cdot i_d(t) + V_{cc} \cdot D_q(t) \end{cases} \quad (3.30)$$

Na Figura 23 estão representados os circuitos equivalentes para as componentes de corrente  $dq0$ .



**Figura 23 - Circuitos equivalentes para as componentes de corrente.**

Fonte: elaborado pelo autor com base em FONT et al. (2003).

Pode-se desprezar a componente de sequência zero já que o sistema é a três fios e não possui neutro. Através do ponto de operação de  $i_d$  e  $i_q$ , calculam-se as componentes  $dq0$  das razões cíclicas:

$$\begin{cases} D_0 = \frac{\sqrt{3}}{2} \\ D_d = \sqrt{\frac{3}{2}} \cdot \frac{V_p}{V_{cc}} + \frac{L \cdot \omega \cdot i_q}{V_{cc}} \\ D_q = -\frac{L \cdot \omega \cdot i_d}{V_{cc}} \end{cases} \quad (3.31)$$

O cálculo de potências, ativa e reativa, do retificador é:

$$\begin{cases} P = V_d \cdot I_d + V_q \cdot I_q \\ Q = V_d \cdot I_q - V_q \cdot I_d \end{cases} \quad (3.32)$$

E a relação de pico por fase é:

$$V_d = \sqrt{\frac{3}{2}} \cdot V_p \quad (3.33)$$

Substituindo as equações (3.32) e (3.33) em (3.31):

$$\begin{cases} D_0 = \frac{\sqrt{3}}{2} \\ D_d = \sqrt{\frac{3}{2}} \cdot \frac{V_p}{V_{cc}} + \sqrt{\frac{2}{3}} \frac{L \cdot \omega \cdot Q}{V_p \cdot V_{cc}} \\ D_q = -\sqrt{\frac{2}{3}} \frac{L \cdot \omega \cdot P}{V_p \cdot V_{cc}} \end{cases} \quad (3.34)$$

Aplicando a transformada inversa de Park em (3.34) conforme equação (3.35), obtém-se(3.36):

$$\vec{D}_{123} = \vec{B} \cdot \vec{D}_{dq0} \quad (3.35)$$

$$\begin{bmatrix} D_1(t) \\ D_2(t) \\ D_3(t) \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} \frac{1}{\sqrt{2}} & \cos(\omega t) & -\sin(\omega t) \\ \frac{1}{\sqrt{2}} & \cos(\omega t - 120^\circ) & -\sin(\omega t - 120^\circ) \\ \frac{1}{\sqrt{2}} & \cos(\omega t + 120^\circ) & -\sin(\omega t + 120^\circ) \end{bmatrix} \cdot \begin{bmatrix} \sqrt{\frac{3}{2}} \cdot V_{cc} \\ \sqrt{\frac{3}{2}} \frac{V_p}{V_{cc}} \\ -\sqrt{\frac{2}{3}} \frac{L \cdot \omega \cdot P}{V_p \cdot V_{cc}} \end{bmatrix} \quad (3.36)$$

Resolvendo o sistema (3.36), têm-se o sistema de equações para as razões cíclicas  $D_{123}$ .

$$\begin{cases} D_1(t) = \frac{1}{2} + \frac{V_P}{V_{cc}} \cdot \cos(\omega t) + \frac{2}{3} \cdot \frac{L \cdot \omega \cdot P}{V_P \cdot V_{cc}} \cdot \sin(\omega t) \\ D_2(t) = \frac{1}{2} + \frac{V_P}{V_{cc}} \cdot \cos(\omega t - 120^\circ) + \frac{2}{3} \cdot \frac{L \cdot \omega \cdot P}{V_P \cdot V_{cc}} \cdot \sin(\omega t - 120^\circ) \\ D_3(t) = \frac{1}{2} + \frac{V_P}{V_{cc}} \cdot \cos(\omega t + 120^\circ) + \frac{2}{3} \cdot \frac{L \cdot \omega \cdot P}{V_P \cdot V_{cc}} \cdot \sin(\omega t + 120^\circ) \end{cases} \quad (3.37)$$

Realizando manipulações matemáticas:

$$\begin{cases} D_1(t) = \frac{1}{2} + \frac{V_P}{V_{cc}} \cdot \sin(\omega t + 90^\circ) + \frac{2}{3} \cdot \frac{L \cdot \omega \cdot P}{V_P \cdot V_{cc}} \cdot \cos(\omega t + 90^\circ) \\ D_2(t) = \frac{1}{2} + \frac{V_P}{V_{cc}} \cdot \sin(\omega t - 30^\circ) + \frac{2}{3} \cdot \frac{L \cdot \omega \cdot P}{V_P \cdot V_{cc}} \cdot \cos(\omega t - 30^\circ) \\ D_3(t) = \frac{1}{2} + \frac{V_P}{V_{cc}} \cdot \sin(\omega t + 210^\circ) + \frac{2}{3} \cdot \frac{L \cdot \omega \cdot P}{V_P \cdot V_{cc}} \cdot \cos(\omega t + 210^\circ) \end{cases} \quad (3.38)$$

A resistência de entrada de cada ramo do retificador, isto é, resistência dos semicondutores e dos indutores, pode ser substituída por uma resistência equivalente ( $R_L$ ). Assim, adiciona-se essa resistência na equação (3.30) e colocando em evidência as derivadas das correntes, resultando em:

$$\begin{cases} L \cdot \frac{di_d(t)}{dt} = \sqrt{\frac{3}{2}} \cdot V_P + L \cdot \omega \cdot i_q(t) - V_{cc} \cdot D_d(t) - R_L \cdot i_d(t) \\ L \cdot \frac{di_q(t)}{dt} = -L \cdot \omega \cdot i_d(t) - V_{cc} \cdot D_q(t) - R_L \cdot i_q(t) \end{cases} \quad (3.39)$$

Na Figura 24 está representado o diagrama de blocos do retificador *boost* trifásico bidirecional em componentes  $dq0$ .

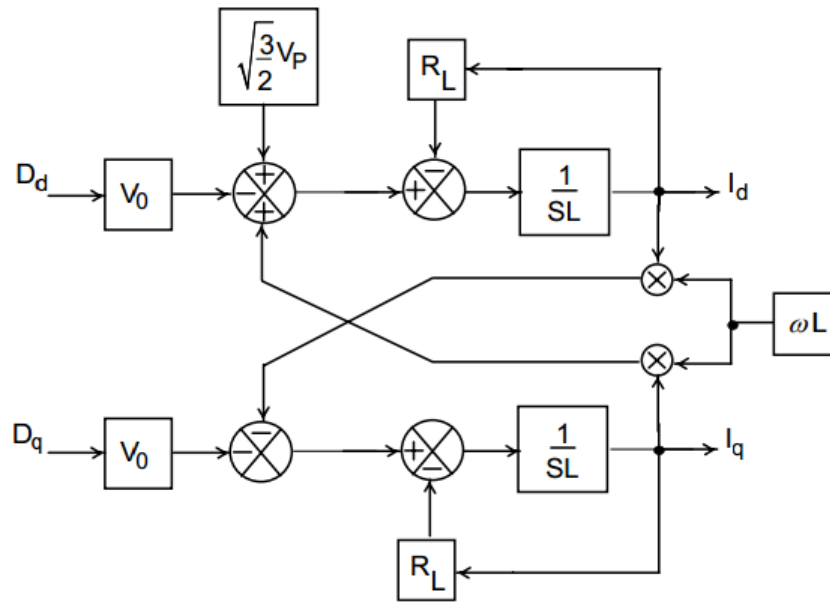


Figura 24 - Diagrama de blocos do retificador em componentes dq0.

Fonte: (FONT et al., 2003).

Considerando a resistência equivalente para o ponto de operação, a equação (3.31) resulta em:

$$\left\{ \begin{array}{l} D_0 = \frac{\sqrt{3}}{2} \\ D_d = \sqrt{\frac{3}{2}} \cdot \frac{V_p}{V_{cc}} + \sqrt{\frac{2}{3}} \frac{L \cdot \omega \cdot i_q}{V_{cc}} - \frac{R_L \cdot i_d}{V_{cc}} \\ D_q = -\frac{L \cdot \omega \cdot i_d}{V_{cc}} - \frac{R_L \cdot i_q}{V_{cc}} \end{array} \right. \quad (3.40)$$

Observando a Figura 24, pode-se concluir que é necessário desacoplar as variáveis de eixo direto e de quadratura. Para tal, define-se as variáveis auxiliares  $D_d'(t)$  e  $D_q'(t)$ .

$$\left\{ \begin{array}{l} D_d'(t) = D_d(t) - \frac{L \cdot \omega}{V_{cc}} \cdot i_q(t) \\ D_q'(t) = D_q(t) - \frac{L \cdot \omega}{V_{cc}} \cdot i_d(t) \end{array} \right. \quad (3.41)$$

Substituindo em (3.39) e realizando as devidas simplificações, têm-se:

$$\begin{cases} L \cdot \frac{di_d(t)}{dt} = \sqrt{\frac{3}{2}} \cdot V_p - V_{cc} \cdot D_d'(t) - R_L \cdot i_d(t) \\ L \cdot \frac{di_q(t)}{dt} = -V_{cc} \cdot D_q'(t) - R_L \cdot i_q(t) \end{cases} \quad (3.42)$$

Aplicam-se então pequenas perturbações em torno do ponto de operação do sistema, adquirindo-se o sistema de equações (3.43).

$$\begin{cases} D_d'(t) = D_d(t) + d_d'(t) \\ D_q'(t) = D_q(t) + d_q'(t) \\ i_d(t) = i_d(t) + i_d'(t) \\ i_q(t) = i_q(t) + i_q'(t) \end{cases} \quad (3.43)$$

Substituindo as relações de (3.43) na equação(3.42):

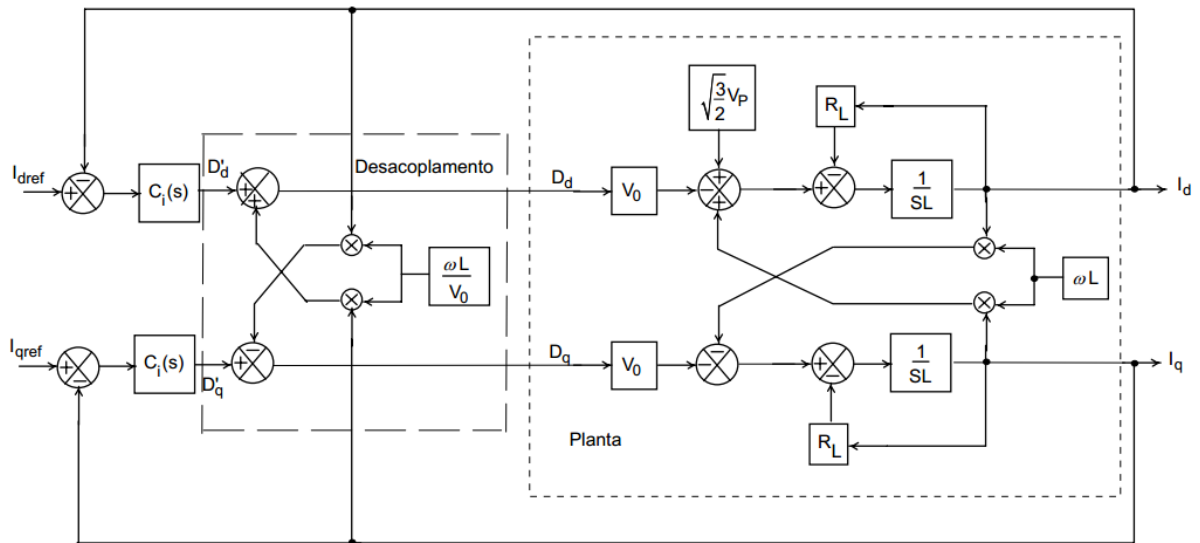
$$\begin{cases} \sqrt{\frac{3}{2}} \cdot V_p = L \cdot \frac{d[i_d(t) + i_d'(t)]}{dt} + V_{cc} \cdot [D_d(t) + d_d'(t)] + R_L \cdot [i_d(t) + i_d'(t)] \\ 0 = L \cdot \frac{d[i_q(t) + i_q'(t)]}{dt} + V_{cc} \cdot [D_q(t) + d_q'(t)] + R_L \cdot [i_q(t) + i_q'(t)] \end{cases} \quad (3.44)$$

E por final, subtraindo-se a equação (3.44) pela equação (3.42) e aplicando a transformada de Laplace, obtém-se a equação

$$\begin{cases} \frac{i_d(s)}{d_d'(s)} = -\frac{V_{cc}}{L \cdot s + R_L} \\ \frac{i_q(s)}{d_q'(s)} = -\frac{V_{cc}}{L \cdot s + R_L} \end{cases} \quad (3.45)$$

A figura a seguir (Figura 25) contém o diagrama de blocos do retificador acompanhado da malha de controle de corrente e desacoplamento.





**Figura 25 - Diagrama de blocos do retificador, controle de corrente e desacoplamento em componentes dq0.**

Fonte: (FONT et al., 2003).

O ganho de desacoplamento ( $K_{dq}$ ) representado pela equação (3.46) é aplicado em casos em que os ganhos de amostragem de corrente e a amplitude da onda triangular são diferentes de um.

$$K_{dq} = \frac{V_T}{K_{sh}} \cdot \frac{\omega L}{V_{cc}} \quad (3.46)$$

Sendo:

- $\omega = 2\pi f_r$ , com  $f_r$  igual a frequência da rede (60 Hz);
- $K_{sh}$  igual ao ganho estático.

A função de transferência de saída do retificador é definida pela equação (3.47) (BORGONOVO, 2001).

$$\frac{v_o(s)}{i_d(s)} = \sqrt{\frac{3}{2}} \cdot \frac{V_p \cdot R_0}{V_{cc}} \cdot \frac{1 - \frac{2}{3} \cdot \frac{L \cdot P}{V_p^2} \cdot s}{1 + C_0 \cdot R_0 \cdot s} \quad (3.47)$$

### 3.2.2 Controle de Corrente

O funcionamento do sistema de controle começa com a amostragem das correntes de entrada do conversor para então aplicar a transformada de Park, resultando nas correntes em componentes  $dq0$ . Considerando uma corrente de quadratura ( $I_q$ ) igual a zero, o fator de potência do conversor será unitário pois a potência reativa do sistema é nula.  $I_q$  será usada como referência para o compensador do eixo de quadratura, já para o compensador de eixo direto a referência será a corrente resultante da saída do bloco compensador de tensão ( $I_d$ ).

Após o processo de compensação das correntes obtêm-se as razões cíclicas do plano  $dq0$ . Esses valores passam pelo bloco de desacoplamento e em seguida passam pela transformada inversa de Park para finalmente sofrer o processo de modulação vetorial espacial.

Para determinar as características do compensador de corrente considera-se que um bom compensador deve possuir as seguintes características em regime permanente: ganho elevado em baixas frequências, margem de fase maior que zero e filtrar as componentes de alta frequência.

A equação de transferência para um controlador PID pode ser vista a seguir.

$$u(t) = K_p \cdot e(t) + K_i \cdot \int_0^t e(\tau) \cdot d\tau + K_d \cdot \frac{de(t)}{dt} \quad (3.48)$$

Onde:

$u(t)$  : saída do controlador;

$K_p$  : ganho proporcional;

$K_i$  : ganho integral;

$K_d$  : ganho derivativo;

$e(t)$  : erro, diferença entre o valor de referência e o valor medido na saída;

$t$  : tempo instantâneo;

$\tau$  : variável de integração.

No domínio de Laplace, a equação (3.48) resulta em:

$$L(s) = K_p + \frac{K_i}{s} + K_d \cdot s \quad (3.49)$$

Sendo que:

$$T_i = \frac{K_p}{K_i} \quad (3.50)$$

$$T_d = \frac{K_d}{K_p}$$

Como a malha de corrente apresenta uma dinâmica rápida, a frequência de corte do controlador de corrente deve ser elevada e de mesma grandeza da frequência de chaveamento.

O posicionamento dos polos e zeros irá ditar o comportamento do compensador. A alocação de um polo na origem resultará em um ganho elevado para baixas frequências, garantindo erro estático nulo. O segundo polo deve ser alocado de maneira a atenuar as componentes de alta frequência. O zero é responsável pela estabilidade do sistema, definindo a margem de fase do sistema.

Um controlador Proporcional-Integral (PI) será suficiente para desenvolver esta tarefa, e sua função de transferência é apresentada a seguir.

$$C_I(s) = -K_I \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \quad (3.51)$$

Para o sistema desacoplado, as funções de transferência relacionando as correntes de eixo e de quadratura com as razões cíclicas são obtidas a partir do sistema equivalente monofásico, demonstradas na equação (3.45).

Os diagramas de blocos das compensações considerando o uso do controlador PI são apresentados a seguir (Figura 26).

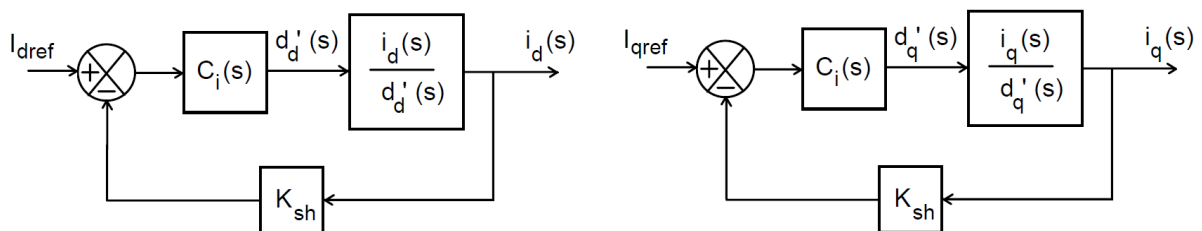


Figura 26 – Diagrama de blocos dos compensadores de corrente.

Fonte: (FONT et al., 2003).

É desejável que o sistema esteja em sua faixa plana na frequência de corte. Para tal, a seguinte condição tem de ser satisfeita:

$$|G_{FP} \cdot G_{PWM} \cdot H_i(j\omega_c) \cdot G_i| = 1 \quad (3.52)$$

Onde  $G_{FP}$  é o ganho de faixa plana,  $G_{pwm}$  é o ganho do PWM,  $H_i$  é a função de transferência do sistema,  $G_i$  é o ganho do controlador e  $\omega_c$  é a frequência de corte do sistema.

### 3.2.3 Controle de Tensão

No controle de tensão, como  $I_q$  segue uma referência igual a zero, é possível considerar um sistema com apenas o compensador da malha de corrente direta, resultando em uma função de transferência de saída do retificador em função de  $I_d$ . O sistema responsável pelo controle de tensão está representado no diagrama de blocos da Figura 27.

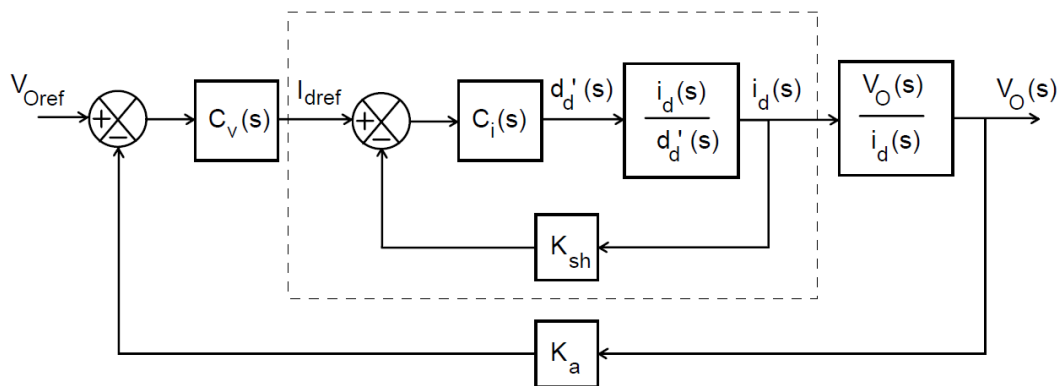


Figura 27 – Diagrama de blocos do compensador de tensão.

Fonte: (FONT et al., 2003).

A parte em destaque na Figura 27 representa a malha de corrente, a qual pode ser identificada pela seguinte função de transferência.

$$FTMC(s) = \frac{K_I \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \cdot \frac{V_{cc}}{L \cdot s}}{1 + K_{sh} \cdot K_I \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \cdot \frac{V_{cc}}{L \cdot s}} \quad (3.53)$$

Diferente da malha de controle para a corrente, a malha de tensão deve possuir uma dinâmica muito mais lenta, permitindo o desacoplamento dinâmico entre elas. Sua principal função será regular a tensão de saída do retificador, controlando o fluxo de potência entre a fonte de entrada e saída, em períodos de rede. Dessa forma, devido a velocidade da malha de corrente a equação (3.53) pode ser reduzida apenas ao ganho estático da malha de corrente.

$$\lim_{s \rightarrow 0} \left( s \cdot \frac{K_I \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \cdot \frac{V_{cc}}{L \cdot s}}{1 + K_{sh} \cdot K_I \frac{s + \omega_{ZI}}{s \cdot (s + \omega_{PI})} \cdot \frac{V_{cc}}{L \cdot s}} \cdot \frac{1}{s} \right) = \frac{1}{K_{sh}} \quad (3.54)$$

O diagrama de blocos reduzido é representado na Figura 28.

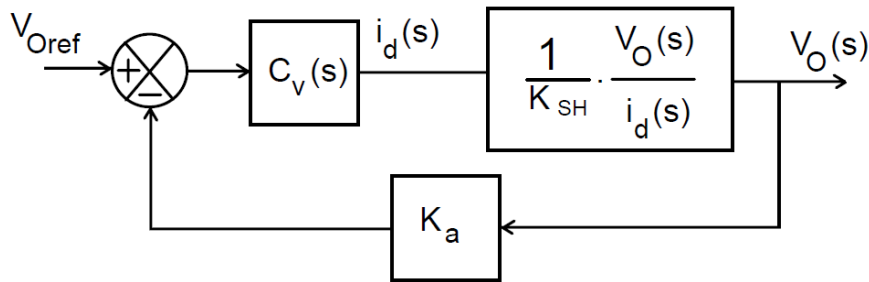


Figura 28 - Diagrama de blocos simplificado para a malha de tensão.

Fonte: (FONT et al., 2003).

Por fim temos a função de transferência:

$$\frac{v_o(s)}{i_d(s)} = \frac{1}{K_{sh}} \sqrt{\frac{3}{2}} \cdot \frac{V_p \cdot R_0}{V_{cc}} \cdot \frac{1 - \frac{2}{3} \cdot \frac{L \cdot P}{V_p^2} \cdot s}{1 + C_0 \cdot R_0 \cdot s} \quad (3.55)$$

As mesmas especificações utilizadas para o compensador de corrente podem ser aplicadas ao compensador de tensão, visto que este deve possuir as mesmas características em regime permanente. Entretanto, como sua dinâmica é muito mais lenta que a do compensador de corrente, o controlador de tensão deve possuir uma frequência de corte diferente, na mesma ordem da frequência de rede.

A mesma estrutura de controlador será utilizada para o controle de tensão, isto é, um controlador PI. Porém, não é necessário um segundo polo para atenuar as

altas frequências, logo a função de transferência para o controlador pode ser escrita como:

$$C_v(s) = K_v \cdot \frac{s + \omega_{zV}}{s} \quad (3.56)$$

Outra diferença está na condição a ser satisfeita pelo sistema para que este se encontre em sua faixa plana na frequência de corte:

$$|G_{FP} \cdot H_v(j\omega_c) \cdot G_m \cdot G_{MI} \cdot G_{pk} \cdot G_{vo}| = 1 \quad (3.57)$$

Com  $G_{FP}$  e  $\omega_c$  já definidos e sendo que:  $H_v$  é a função de transferência do sistema de tensão,  $G_m$  é o ganho do multiplicador,  $G_{MI}$  é o ganho da malha de corrente,  $G_{pk}$  é o ganho que relaciona a corrente de carga e as correntes de pico e  $G_{vo}$  é o ganho do sensor de corrente de barramento CC.

### 3.3 SIMULAÇÃO PRELIMINAR

De acordo com as estratégias de controle apresentadas na seção 3.2, foi elaborada uma simulação preliminar utilizando os softwares Matlab para o dimensionamento do sistema de controle e PSIM para simulação do sistema elétrico. Os arquivos utilizados no Matlab e PSIM estão na seção de Anexos.

Para a simulação, considerou-se o sistema com os seguintes parâmetros (Tabela 11):

**Tabela 11 - Parâmetros de simulação do sistema**

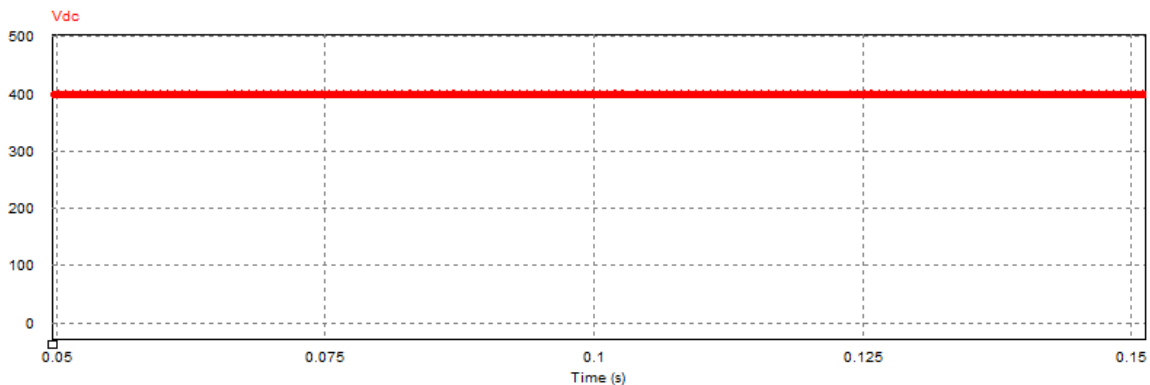
Fonte: elaborado pelo autor.

Parâmetro	Valor
Tensão de Linha	220 V
Frequência da Rede	60 Hz
Indutância de Entrada	250 $\mu$ H
Resistência de Carga	20 $\Omega$
Capacitância de Saída	470 $\mu$ F
Resistência série equivalente do capacitor	50 m $\Omega$
Frequência de Comutação	19,2 kHz
Tensão de Saída	400 V

Um detalhe importante a ser observado é que o bloco da transformada de Park no software PSIM implementa uma matriz diferente da apresentada na equação (3.22). Essa transformada é apresentada a seguir pela equação (3.58).

$$\vec{B}^{-1} = \frac{2}{3} \begin{bmatrix} \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\sin(\omega t) & -\sin(\omega t - 120^\circ) & -\sin(\omega t + 120^\circ) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \quad (3.58)$$

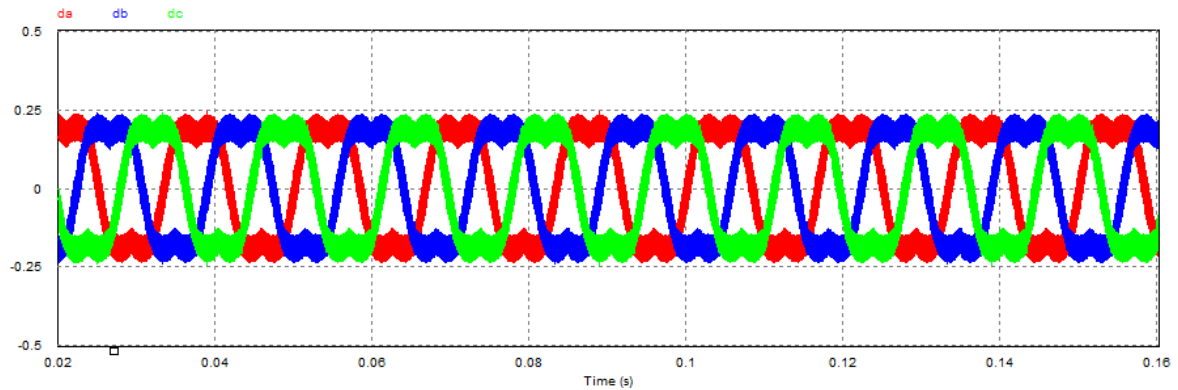
Após o projeto do sistema de controle via Matlab, inseriram-se os valores resultantes do dimensionamento na simulação PSIM (Anexo A). Na Figura 29 é possível observar a tensão de saída na carga e constatar que esta permanece em 400 V, que é o valor de referência.



**Figura 29 - Forma de onda de tensão de saída,  $V_{ref} = 400V$ .**

**Fonte: elaborado pelo autor.**

A Figura 30 representa as razões cíclicas  $D_a$ ,  $D_b$  e  $D_c$  na saída do bloco SVPWM. Essas formas de onda são então comparadas com um sinal triangular de frequência de 19,2 kHz para gerar os pulsos PWM que comandarão os IGBT's na entrada do retificador.

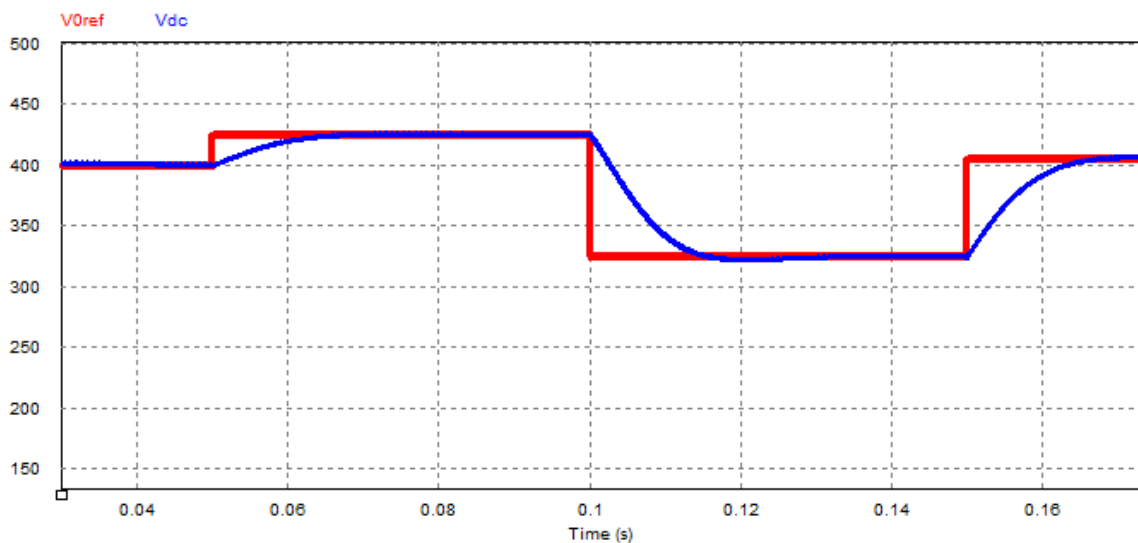


**Figura 30 – Razões cíclicas na saída do bloco de SVPWM.**

Fonte: elaborado pelo autor.

Para testar o comportamento do sistema de controle, realizaram-se dois testes: o primeiro aplicando degraus de tensão, ou seja, alterando o valor da tensão de referência; e o segundo através de degraus de carga que equivalem a distúrbios no sistema.

A Figura 31 demonstra o resultado para o primeiro teste. Foram aplicados três degraus de tensão. O primeiro acrescentou-se 20 V na tensão de referência no instante de 50 ms, o segundo no instante de 100 ms diminuindo em 100 V e o terceiro e último, em 150 ms, aumentou em 80 V o valor de referência retornando para 400 V. Percebe-se que o controle do sistema é eficaz, pois não apresenta *Overshoot* nem oscilações e consegue levar o sistema à estabilização em torno de 10 ms em cada degrau.

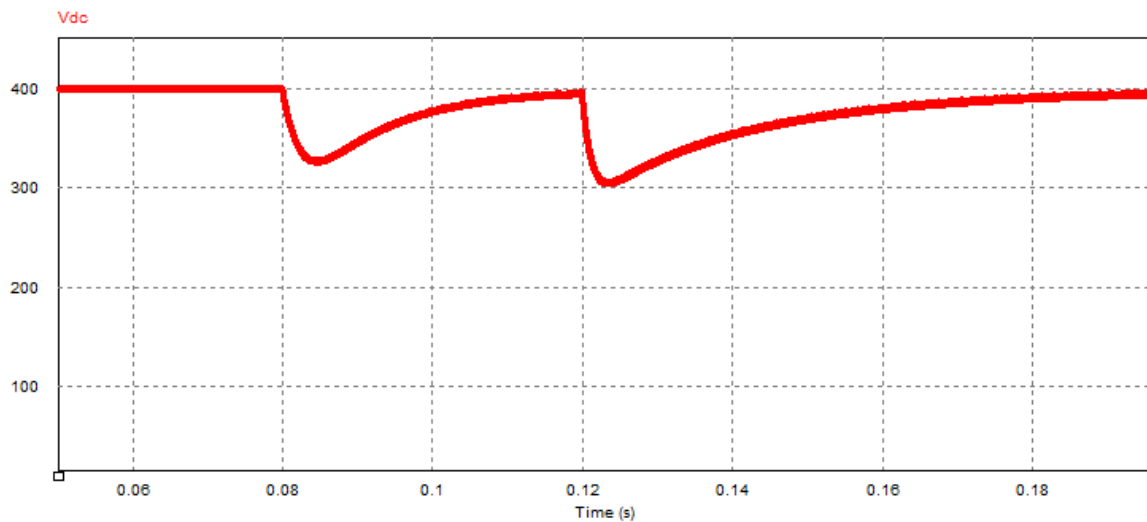


**Figura 31 – Perfil da onda de saída na carga com degraus de tensão.**

Fonte: elaborado pelo autor.



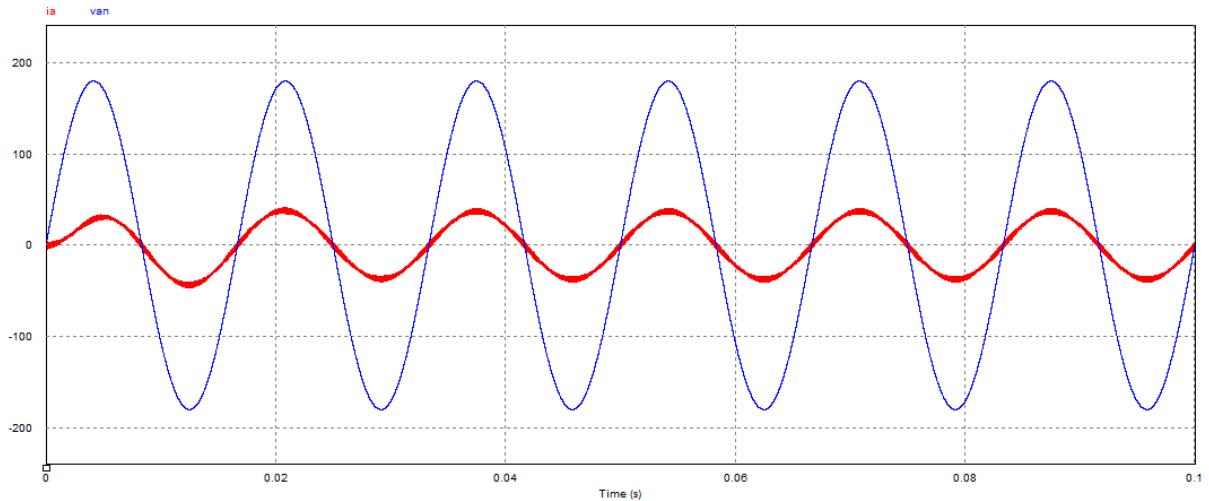
Para o segundo teste, aplicaram-se degraus de carga, adicionando resistências em paralelo à resistência de carga nos instantes de 80 ms e 120 ms. Os valores de resistência foram de  $R_0$  e  $R_0/2$  respectivamente. Novamente pode-se observar que o controle do sistema atende as especificações do projeto e consegue rapidamente reestabelecer a tensão de saída para o valor de referência.



**Figura 32 - Perfil da onda de saída na carga com degraus de carga.**

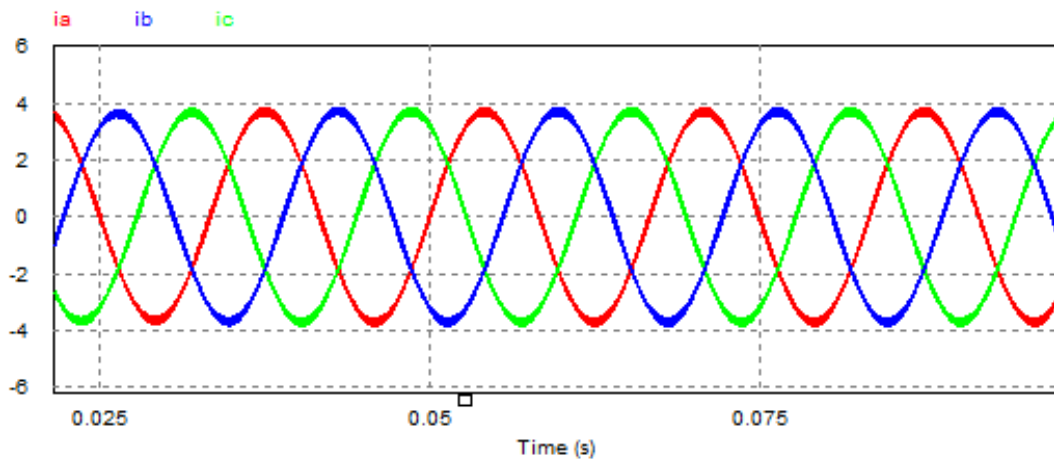
**Fonte: elaborado pelo autor.**

Através da simulação, obteve-se um FP na entrada do retificador aproximadamente igual 1. A partir da Figura 33, obtêm-se um fator de potência igual a 0,9987, ou seja, muito maior quando comparada com as topologias apresentadas anteriormente na seção 2.2 (obs: Foi aplicado um ganho de 10 vezes no valor da corrente para melhor visualização). Na Figura 34 é apresentada a distorção harmônica total de corrente com um valor igual a 2,23%, justificando a implementação da técnica de modulação.



**Figura 33 - Formas de onda de tensão e corrente na entrada do retificador controlado.**

Fonte: elaborado pelo autor.



**Figura 34 - Formas de onda das correntes de entrada do retificador controlado.**

Fonte: elaborado pelo autor.

Através das simulações conclui-se que a modelagem do sistema utilizando as transformadas de Clarke e Park juntamente com as estratégias de controle pela modulação SVPWM são eficientes e permitem a tentativa de implementação prática do projeto, além de mostrarem, através de dados, uma melhoria entre 15% e 20% em relação às técnicas tradicionais.

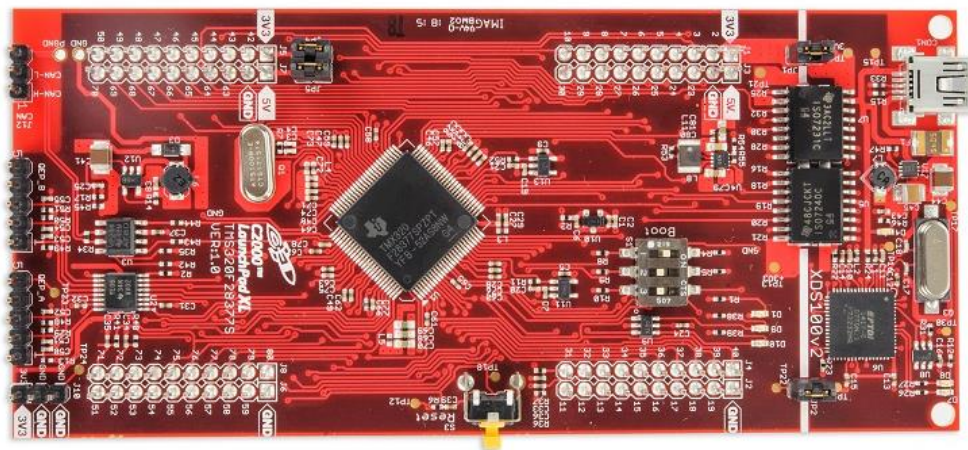
## 4 DESENVOLVIMENTO DO PROTÓTIPO

### 4.1 DIMENSIONAMENTO DO HARDWARE

Com o intuito de comprovar a técnica de modulação vetorial espacial no retificador proposto, foi desenvolvido um protótipo, confeccionado em placa de circuito impressa. Os meios de implementação, bem como os equipamentos utilizados e os circuitos complementares serão demonstrados a seguir.

#### 4.1.1 Microcontrolador

Devido a necessidade de um meio de controle capaz de realizar lógicas complexas como a modulação vetorial espacial, alvo deste trabalho, optou-se pela utilização do microprocessador C2000 Delfino MCUs TMS320F28377S *LaunchPad* da Texas Instruments, apresentado na Figura 35.



**Figura 35 – LAUNCHXL-F28377S *LaunchPad*.**

**Fonte: Texas Instruments Incorporated (2018).**

Este equipamento possibilita aplicações de alto desempenho através do Delfino™ TMS320F2837xS, uma unidade microcontroladora de 32-bits desenvolvida para aplicações de controle de malha fechada com viés industrial, tais como controle de motores industriais, controle digital, detecção e processamento de sinais de precisão, entre outros. A CPU C28x permite execuções rápidas de algoritmos com operações trigonométricas e reduz o tempo de operações matemáticas complexas comuns em aplicações codificadas. (TI, 2018).

Além disso, o microcontrolador possui 1024 kB de memória flash, 164 kB de RAM, 14 canais de conversão analógica-digital (ADC) com resolução de 16 bits e 14 canais destinados a função *pulse width modulator* (PWM). (TI, 2015). A Figura 36 apresenta as funções relacionadas a cada porta do Launchpad.

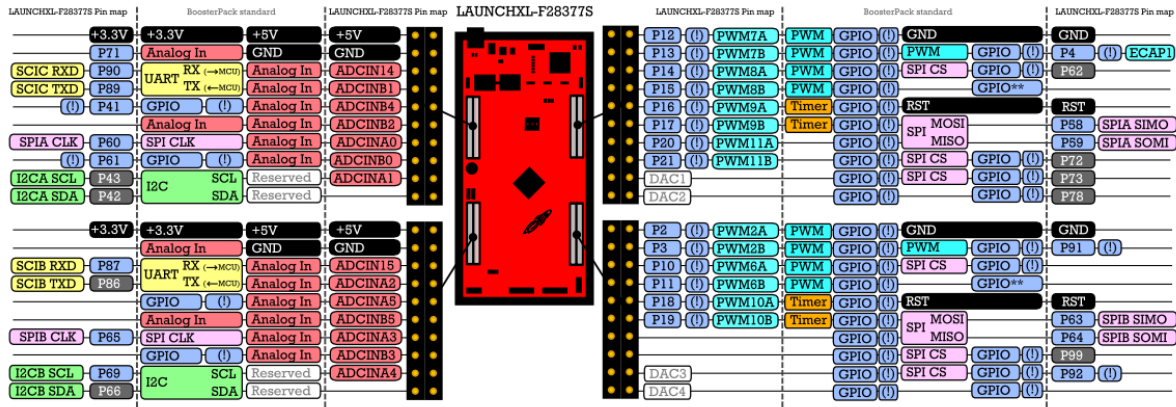


Figura 36 – Mapa de pinagem do LAUNCHXL-F28377S.

Fonte: Texas Instruments Incorporated (2018).

#### 4.1.2 Módulo de Potência

A escolha do módulo de potência inteligente *FSBB30CH60 Motion SPM 3 Series* da *Fairchild*, deve-se a necessidade de uma solução compacta e com alto rendimento para o sistema retificador, características apresentadas por este equipamento, mostrado na Figura 37.

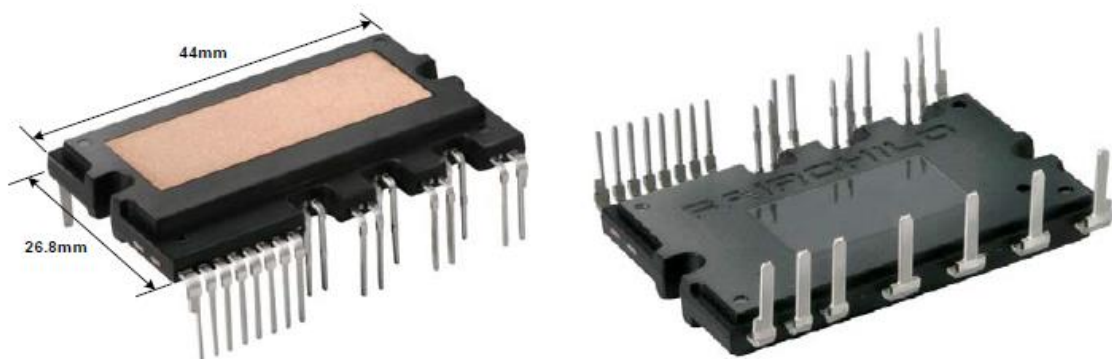


Figura 37 – FSBB30CH60C *Motion SPM 3 Series*.

Fonte: Fairchild Semiconductor (2016).

Os módulos SPM3 combinam a proteção de circuitos otimizada e acionamento combinado nos IGBTs para minimizar as perdas. Também incluem múltiplas características de proteção no módulo, como bloqueios de falta de tensão e controle térmico (FAIRCHILD, 2008). Algumas de suas principais características são:

- Resistência térmica muito baixa devido ao uso do DBC;
- Fácil implementação na placa de circuito impressa (PCB);
- 600V - 30A com ponte inversora IGBT trifásica;
- Grau de isolamento de 2500Vrms/min;
- Cada corrente de fase pode ser monitorada individualmente devido a três terminais negativos dc separados.

A Figura 38 ilustra ao diagrama interno das portas do módulo SPM3. Nota-se que os equipamentos da série Mini DIP SPM são constituídos por blocos de potência com circuitos inversores IGBTs trifásicos para controle de funções. Informações detalhadas sobre cada porta podem ser encontradas no *datasheet* do equipamento. (FAIRCHILD, 2008).

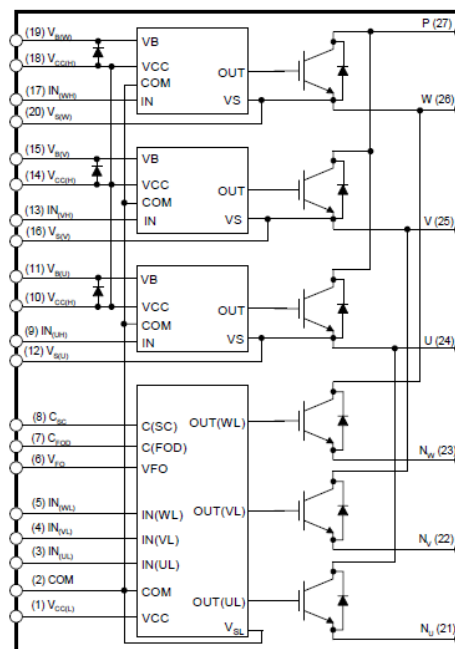


Figura 38 – Mapa de pinagem do FSBB30CH60C.

Fonte: Fairchild Semiconductor (2016).

#### 4.1.3 Indutores

A aplicação no retificador boost exigiu a realização do projeto dos indutores de forma que o núcleo deste componente garanta elevada potência processada em cada uma das fases, a minimização das perdas e tamanho reduzido dos indutores, e graças a estes requisitos foi selecionado o núcleo de formato toroidal com entreferro distribuído. Os cálculos do dimensionamento do indutor foram realizados com base na dissertação realizada por (BARAUNA, 2003) e são mostrados adiante. Para obter-se a indutância necessária, aplica-se a equação (4.1):

$$L = \frac{((\sqrt{2} \cdot V_{ef}) - 3 \cdot (\sqrt{2} \cdot V_{ef}))^2}{2 \cdot V_0 \cdot (\Delta I \cdot I_p \cdot fs)} = 3,51 \text{ mH} \quad (4.1)$$

A equação (4.2) é utilizada para determinação do produto  $A_e A_w$  do núcleo do indutor, adotando a densidade de fluxo máxima ( $B_{\max}$ ) igual a 0,35T.

$$A_e \cdot A_w = \frac{I_p^2 \cdot L}{K_w \cdot J \cdot B_{\max}} = 8.85 \quad (4.2)$$

Utilizando o resultado da equação (4.2) e fazendo uso das informações do fornecedor de materiais magnéticos Magmattec, obtém-se o núcleo toroidal de pó de ferro MMT026T4718. As especificações são apresentadas na Tabela 12.

**Tabela 12 - Especificações do núcleo MMT026T4718**

Fonte: Magmattec (2018).

Parâmetro	Valor
$A_L$	169 nH/esp <sup>2</sup>
Volume	21 cm <sup>3</sup>
Comprimento médio da espira	11,2 cm
Diametro interno	24,1 mm
Diametro externo	46,7 mm
Permeabilidade relativa ( $\mu_r$ )	75
$B_{SAT}$	1,38T
Massa	147 g

Para construção do indutor, é necessária a definição do número de espiras do indutor - equação (4.3); e a área de fio necessária para conduzir a corrente eficaz no indutor - equação (4.4).

$$N = \frac{L \cdot I_{sp}}{B_{\max} \cdot A_e} = 144 \quad (4.3)$$

$$S_F = \frac{I_{Fef}}{J} = 0.00537 \text{ cm}^2 \quad (4.4)$$

Utilizando tabelas de fabricante de fio esmaltado baseadas no padrão americano para fios AWG e com o uso do resultado obtido em (4.4), encontra-se o fio AWG19. As especificações deste condutor são apresentadas na Tabela 13.

**Tabela 13 - Especificações do condutor AWG19**

Fonte: Padrão AWG.

Parâmetro	Valor
Diâmetro	0,9116 mm
Secção	0,650 mm <sup>2</sup>
Resistência	26,15 Ω/km
Capacidade	2 A

Para verificar a possibilidade de execução do magnético, utiliza-se a equação (4.5), considerando o valor do coeficiente de ocupação da janela ( $K_w$ ) como 0,7, padrão para indutores.

$$A_{w_{\min}} = \frac{1}{K_w} \cdot \sum_{e=1}^j n_e \cdot n_{\text{condutores}} \cdot S_{\text{efio}} = 1,3138 \quad (4.5)$$

$$\frac{A_{w_{\text{utilizada}}}}{A_w} = 0,5255 < 1 \quad (4.6)$$

Para se acomodar os enrolamentos na área de janela de núcleo disponível, a relação da equação (4.6) deve ser menor que 1.

Para se determinar a potência dissipada no enrolamento, deve-se primeiramente calcular o comprimento total do enrolamento pela equação (4.7), posteriormente calcula-se a resistência do enrolamento aplicando a equação (4.8).

$$I_{chicote} = n \cdot l_T = 13,6879 \text{ m} \quad (4.7)$$

$$R_{cobre} = \frac{R_{fio} \cdot I_{chicote}}{n_{condutores}} = 0,003613\Omega \quad (4.8)$$

Calculando os valores de dissipação no conjunto, a equação (4.9) obtém a potência dissipada no enrolamento e a equação (4.10) a potência dissipada no núcleo.

$$P_{cobre} = R_{cobre} \cdot I_{ef}^2 = 0,03150\text{W} \quad (4.9)$$

$$P_{nucleo} = P_V \cdot V_{nucleo} = 0,09982\text{W} \quad (4.10)$$

Finalmente, a elevação de temperatura do indutor é obtida pela equação (4.11).

$$\Delta T = \left[ \frac{(P_{cobre} + P_{nucleo}) \cdot 10^3}{A_s} \right]^{0,833} = 0,7679 \quad (4.11)$$

As características obtidas para os três indutores são apresentadas na Tabela 14, com aspecto final conforme Figura 39.

**Tabela 14 - Resumo do projeto dos indutores**

Fonte: elaborado pelo autor.

Componentes	Quantidade	Especificações
L1, L2 e L3	3	Núcleo Toroidal MMT026T4718
		144 espiras
		Fio AWG 19
		4mH





**Figura 39 – Aspecto final dos indutores com núcleo toroidal construídos.**

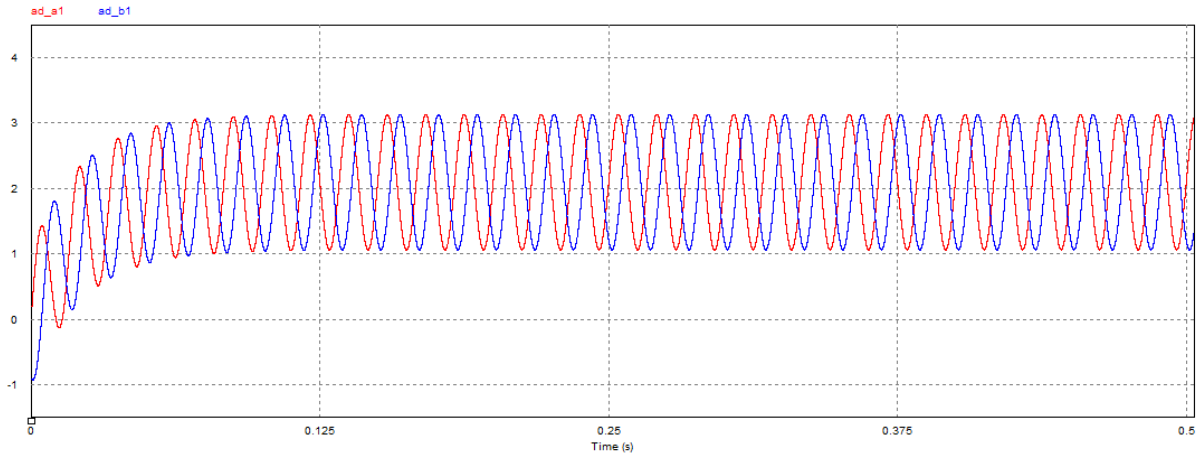
**Fonte: elaborado pelo autor.**

#### 4.1.4 Circuitos de Condicionamento

O microcontrolador escolhido possui restrições referentes as amplitudes de sinal a serem aplicados nos canais conversores A/D, com entradas analógicas que possuem tensão máxima suportada entre 0 e 3,3 Volts, inviabilizando a conexão direta da rede ao protótipo, isto posto, é necessário realizar um condicionamento dos sinais de entrada para que se enquadrem nas características descritas.

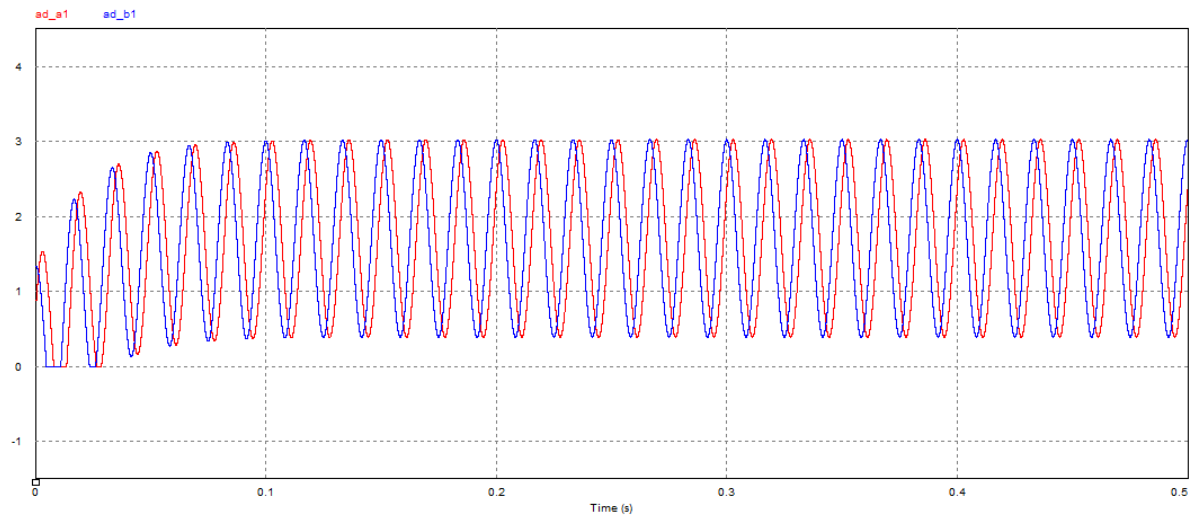
Para condicionamento dos sinais a serem conectados nas portas ADC do microcontrolador são implantados circuitos para tratamento do sinal obtido da rede, levando os níveis de tensão as características desejadas. Outra característica desejada para alimentação das entradas analógicas do microcontrolador é que deve ser possível a leitura do sinal senoidal obtido da rede independente da excursão (semiciclos positivos e negativos), resultado obtido através da adição de um nível médio do sinal de entrada.

Os circuitos de condicionamento do sinal contínuo e alternado foram baseados em (ORTMANN, 2012) e são apresentados no Anexo C. As figuras abaixo apresentam as simulações dos níveis de tensão obtidos em tais circuitos.



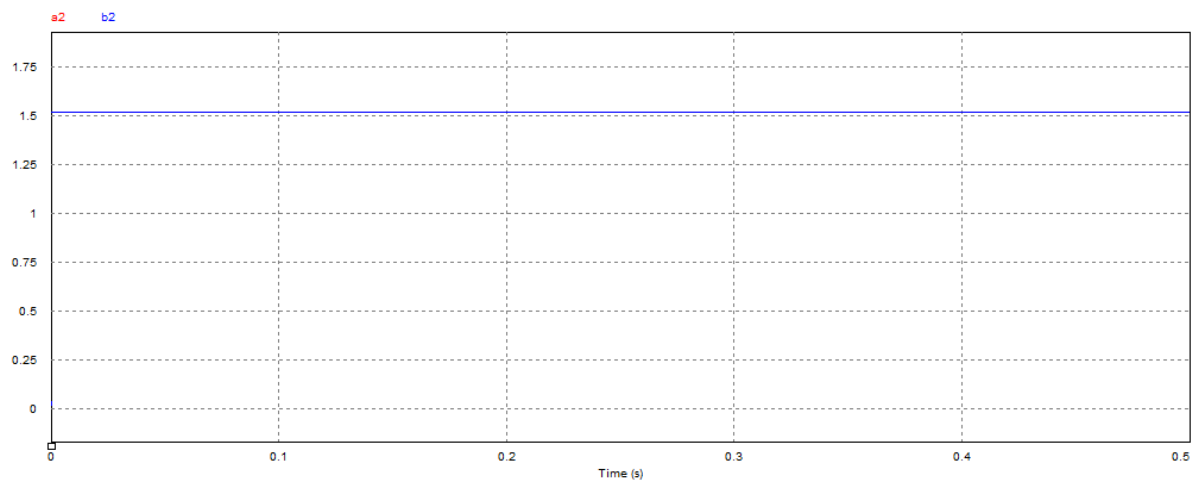
**Figura 40 – Resultado do condicionamento de corrente CA.**

Fonte: elaborado pelo autor.



**Figura 41 – Resultado do condicionamento de tensão CA.**

Fonte: elaborado pelo autor.



**Figura 42 – Resultado do condicionamento de tensão CC.**

Fonte: elaborado pelo autor.

Os sinais de alimentação condicionados são então encaminhados ao Launchpad da Texas, responsável pela implementação do código de modulação vetorial.

#### 4.1.5 Desenvolvimento do Protótipo

No desenvolvimento do protótipo utilizou-se o software *SoftCAD Eagle (Printed Circuit Board Software)* para a elaboração dos circuitos de controle e acionamento assim como definir o layout da placa.

Os circuitos de controle e de condicionamento, como dito no tópico anterior, foram baseados no estudo apresentado por (ORTMANN, 2012), enquanto que as estruturas de entrada e saída do circuito retificador apresentando no capítulo 3 foram adaptadas para a utilização em conjunto com o módulo de potência.

A Figura 43 mostra o design final do circuito utilizado no projeto. A mesma imagem com maior resolução pode ser vista no Anexo C. Do lado esquerdo está a entrada em tensão alternada juntamente com os indutores. No meio têm-se os capacitores de saída e o módulo de potência. Por fim, do lado direito, a parte responsável pelo controle do projeto.

A lista de materiais utilizada no projeto encontra-se no Anexo D – Lista de materiais.

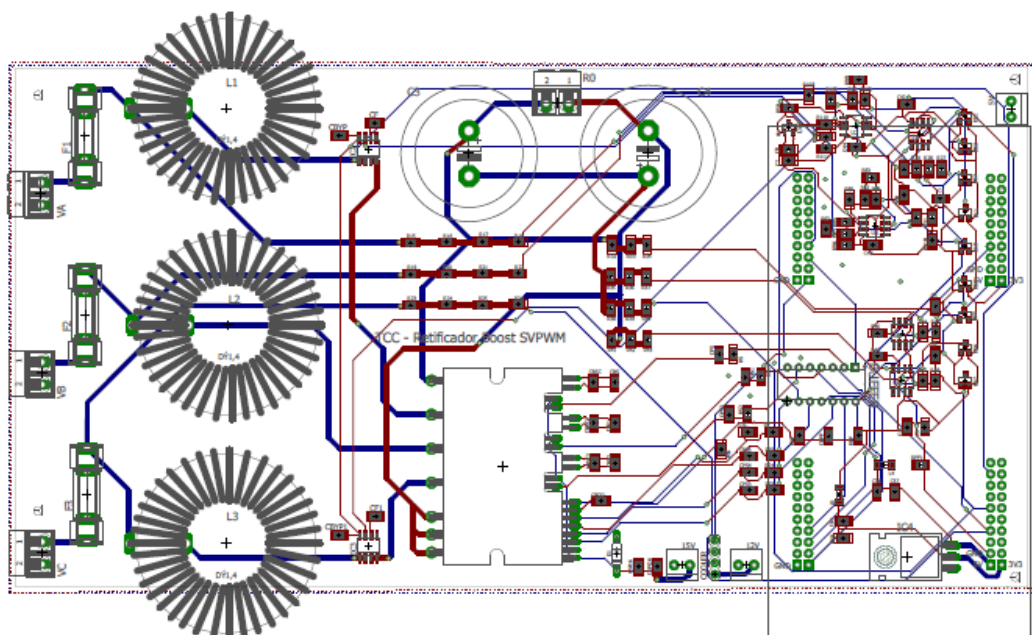


Figura 43 - Layout do protótipo elaborado no SoftCAD Eagle.

Fonte: elaborado pelo autor.

## 4.2 PROGRAMAÇÃO DO SISTEMA DE CONTROLE

A seguir será apresentada a programação do sistema de controle responsável pelo SVPWM e aquisição de dados da placa. O LaunchPad é programado através do software *Codecomposer Studio* com integração ao software *ControlSUITE*, que juntos fornecem diversos recursos para projetos com aplicações acadêmicas e industriais. Aliado a estes, novamente o software *PSIM* fornece as simulações dos circuitos elétricos implementados.

A plataforma *ControlSUITE* é um software específico para aplicações nos microcontroladores C2000, fornecido pelo fabricante *Texas Instruments*, e apresenta diversos exemplos de códigos com as mais variadas aplicações. Para elaboração da programação da modulação vetorial espacial foram estudados e implementados diversos exemplos de códigos com aplicações mais intuitivas, tais como elaborações de códigos com funções de piscar led, elaboração de senos individuais, modulação PWM, entre outras. O intuito destas implementações foi a familiarização com o software de programação para a posterior aplicação focada na robusta modulação vetorial.

Nos tópicos a seguir serão apresentadas algumas funções consideradas fundamentais para compreensão do código de controle desenvolvido, bem como seu funcionamento.

### 4.2.1 Conversão Analógico-Digital (ADC)

A função ADC - *Analog-to-Digital Converter* (ou Conversor Analógico-Digital) é responsável pela transformação do sinal de entrada através de amostras contínuas do estado analógico para digital. Na construção do protótipo foram utilizados os canais A e B do módulo ADC para receber os sinais condicionados, com as conexões apresentadas na Tabela 15.

Tabela 15 – Conexões da função ADC.

Fonte: Elaborado pelo autor.

Sinal Analógico	Porta Utilizada
<u>Ia</u>	ADC A0
<u>Va</u>	ADC A1
<u>Vdc+</u>	ADC A2
<u>Ic</u>	ADC B0
<u>Vc</u>	ADC B1
<u>Vdc-</u>	ADC B2

A conversão ADC foi inicializada na função “ConfigureADC()” (ControlSUITE, 2018), definindo parâmetros como a resolução de conversão, tempo de leitura para ser possível realizar esta conversão e o comando em si para inicialização da função.

A função “SetupADCContinuous()” (ControlSUITE, 2018) define os canais do módulo ADC a serem utilizados, referenciado pelo bit CHSEL, e a janela de aquisição do ADC (bit ACQPS) que varia de acordo com a resolução do ADC. As funções descritas anteriormente encontram-se no anexo E, ao final deste documento.

As leituras feitas pelo ADC são processadas e obtidas a cada interrupção gerada na placa, função “\_\_interrupt void cpu\_timer1\_isr(void)”. O ADC é acionado nas interrupções do módulo EPWM, ou seja, na mesma frequência de clock do PWM.

```
EALLOW; // This is needed to write to EALLOW protected registers
PieVectTable.ADCB1_INT = &cpu_timer0_isr;
EDIS; // This is needed to disable write to EALLOW protected register
```

A cada interrupção, a função “\_\_interrupt void cpu\_timer1\_isr(void)”. é chamada e realiza-se a leitura e conversão dos sinais nos pinos AD.

```
__interrupt void cpu_timer1_isr(void)
{
    CpuTimer0.InterruptCount++;
    (...)
    AdcaRegs.ADCSOCFR1.all = 0x0007; //SOC0, SOC1 and SOC2

    //start conversions immediately via software, ADCB
    AdcbRegs.ADCSOCFR1.all = 0x0007; //SOC0, SOC1 and SOC2

    //wait for ADCA to complete, then acknowledge flag
    while(AdcaRegs.ADCINTFLG.bit.ADCINT1 == 0);
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
```

```
(...)
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}
```

Ao final das configurações do ADC, as informações das entradas do sistema estão disponíveis para manipulação no restante do programa de controle.

#### 4.2.2 Modulação por Largura de Pulso (PWM)

O periférico ePWM - *Enhanced Pulse Width Modulator* (ou Modulação por Largura de Pulso Melhorada) é elemento chave da construção de diversos módulos de potência em equipamentos comerciais e industriais. O módulo ePWM tipo-4, utilizando no Launchpad Texas, é capaz de gerar sinais de onda complexos com a mínima utilização de seu CPU, geração de banda morta, sistemas flexíveis de sincronização, entre outras características de alto desempenho requeridas na aplicação a ser realizada. (Texas Instruments, 2010).

O registrador “CpuSysRegs.PCLKCR2” é responsável por habilitar o ePWM do Launchpad enquanto a função “InitEPwm1Gpio()” inicializa o gerador PWM do módulo correspondente.

```
CpuSysRegs.PCLKCR2.bit.EPWM1=1;
InitEPwm1Gpio();
```

É utilizado o ePWM para controle dos interruptores da entrada do retificador. O Launchpad possui quatro módulos ePWM com três geradores cada, e estes estão conectados e sincronizados com o módulo master (1), onde se encontram o ePWM1, ePWM2 e ePWM3. Logo, para ativar os módulos seguintes, é necessário configurar o master, isto é, o módulo 1.

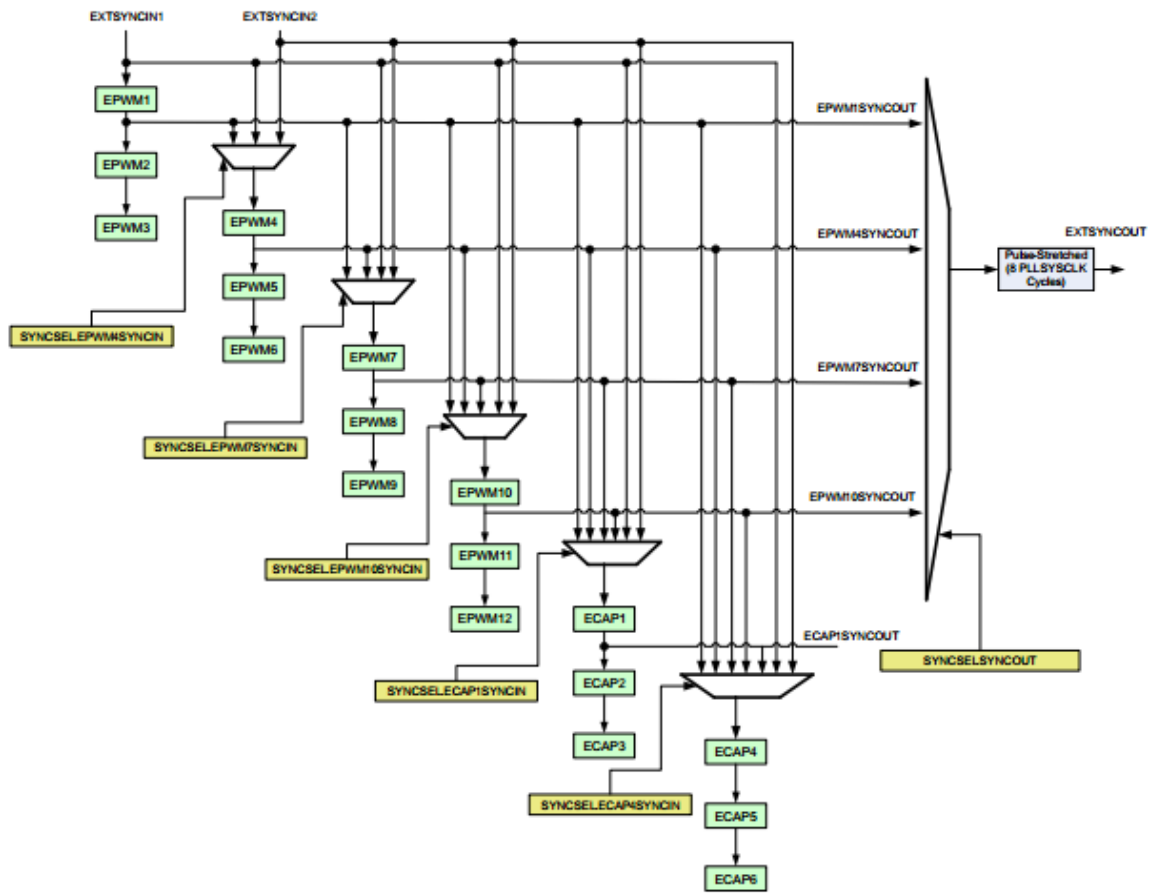


Figura 44 - Esquemático de Sincronização dos módulos ePWM.

Fonte: Texas Instruments, 2015.

Dentro da função de configuração do ePWM, o modo de operação “*Up-Down Count*” é selecionado no bit ‘TBCTL.bit.CTRMODE’. É este bit que define como será estabelecida a razão cíclica através da contagem de bits, sendo que este modo foi selecionado devido a possibilidade do início da leitura do sinal oriundo da porta ADC na metade do ciclo PWM. A frequência de operação do PWM é definida através do registrador ‘EPwm1Regs’. TBPRD e a razão cíclica (CMPA.bit.CMPA), definida como 50% inicialmente, corresponde à  $TBPRD/2$ .

O valor a ser inserido no bit TBPRD para a frequência de operação desejada é calculado através da seguinte fórmula:

$$TPWM = 2 \cdot TBPRD \cdot TBCLK \quad (4.12)$$

Onde,

$$TPWM = \frac{1}{FPWM} \quad (4.13)$$

TBCLK é o período de clock do sistema. O LaunchPad F28377S possui frequência de clock de 200 MHz (SYSCLK). Para as versões de DSP com frequências superiores a 100 MHz, os módulos periféricos possuem como default um divisor de ordem 2 para o correto funcionamento da CPU, isto é, os módulos como o de ePWM são limitados em 100 MHz, dessa forma:

$$TBCLK = \frac{1}{100} \text{ MHz} \quad (4.14)$$

Logo, para uma frequência de chaveamento de 10 kHz, o valor necessário a ser preenchido no registrador TBPRD é:

$$TBPRD = \left( \frac{\left( \frac{1}{10000} \right)}{\left( \frac{1}{100M} \right)} \right) \cdot \frac{1}{2} = 5000 \quad (4.15)$$

O trecho de código apresentado no anexo E demonstra como foi iniciado e configurado o ePWM, através da função “InitEPwm1Example()”.

#### 4.2.3 Modulação Vetorial Espacial (SVPWM)

A parte do código responsável pelo controle do retificador está descrita logo abaixo. As fórmulas descritas no capítulo 3 para implementação da técnica estão elaboradas em código.

Utilizou-se uma máquina de estados para os diversos modos de operação da placa. No estágio 0, não é aplicada nenhum controle, logo é possível testar a placa em malha aberta. Os estágios 1 e 2 são operações em malha fechada do Retificador e Inversor, respectivamente.

```
// Maquina de estados
switch(ctrl.STATE) {
case 0: // Estagio 0 - Verificação e teste iniciais
    stage0();
    break;
case 1: // Estagio 1 - Retificador
    stage1();
```



```

break;

case 2: // Estagio 2 - Inversor - testes iniciais
    stage2();
break;

case 3: // Estagio 3 - Erro, Proteção ou desligamento
    default:
        // stage3();
        ctrl.ENABLE = 0;
break;
}

```

Com a conversão dos valores lidos pelo módulo ADC, dá-se início a aplicação realizando as transformadas necessárias para a aplicação do controle.

```

sincosf(trig.wt, &(trig.senoA), &(trig.coseA));

conv.id = (trig.senoA+trig.coseA*cte1)*conv.ia+cte2*trig.coseA*conv.ic;
conv.iq = (trig.coseA-trig.senoA*cte1)*conv.ia-cte2*trig.senoA*conv.ic;
(...)
//Modulação
conv.da = trig.senoA*conv.dd + trig.coseA*conv.dq;
conv.db = -(cte3*trig.coseA + trig.senoA*0.5)*conv.dd + (-trig.coseA*0.5
+ cte3*trig.senoA)*conv.dq;
conv.dc = (cte3*trig.coseA - trig.senoA*0.5)*conv.dd - (trig.coseA*0.5 +
cte3*trig.senoA)*conv.dq;

```

A modulação do sinal é realizada com a função “MODULATION” utilizando os parâmetros calculados na estrutura “conv”. A modulação é feita através da injeção de vetores de sequência nula ao invés da modulação por setores apresentada nos capítulos anteriores. O motivo da escolha desse método se deve ao fato desta modulação ser executada mais rapidamente pelo DSP.

```

MODULATION(&conv);

if((conv.da+conv.d0)<0) conv.da=0;
if((conv.db+conv.d0)<0) conv.db=0;
if((conv.dc+conv.d0)<0) conv.dc=0;

void MODULATION(struct RETIFICADOR *conv)
{
    float min, max;

    if((conv->da > conv->db) && (conv->da > conv->dc) ) max=conv->da;
else if((conv->db > conv->da) && (conv->db > conv->dc) ) max=conv->db;
    else max=conv->dc;

    if((conv->da < conv->db) && (conv->da < conv->dc) ) min=conv->da;
else if((conv->db < conv->da) && (conv->db < conv->dc) ) min=conv->db;
    else min=conv->dc;
}

```

```
conv->d0=(-0.5*(max+min-1.0));  
return;  
}
```

## 5 RESULTADOS ALCANÇADOS

Com a construção do protótipo concluída, foram realizados testes no sistema conversor para verificar o correto funcionamento de cada uma de suas partes, bem como seus resultados.

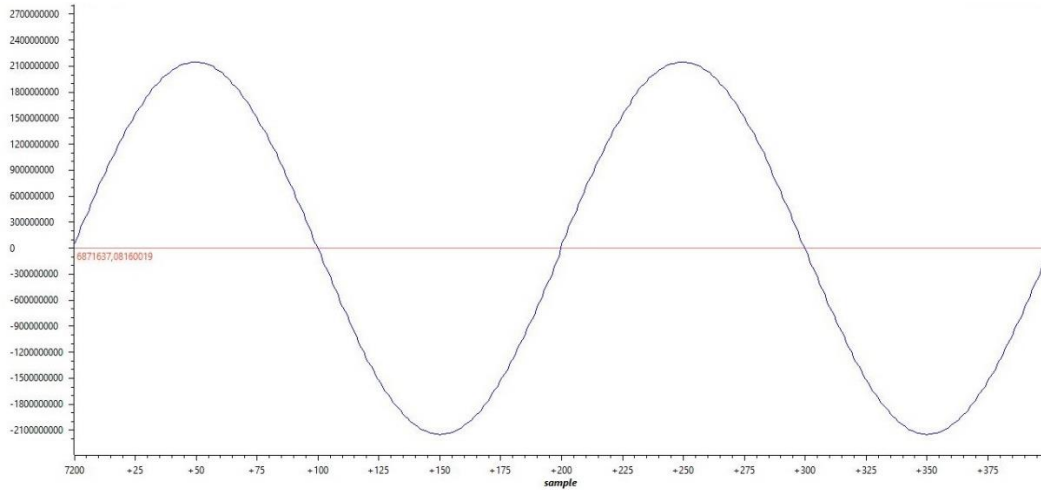
Seguindo a divisão apresentada no capítulo anterior, o circuito foi testado em etapas independentes. Procedendo à conclusão da montagem, foram testadas diferentes funções no software *CodeComposer*.

### 5.1 TESTES INICIAIS

Rotinas de testes foram executadas para chamada das transformadas no microprocessador utilizando as macros da biblioteca da Texas. A geração do espaço vetorial foi executada através de sinais senoidais, gerados via código na própria placa.

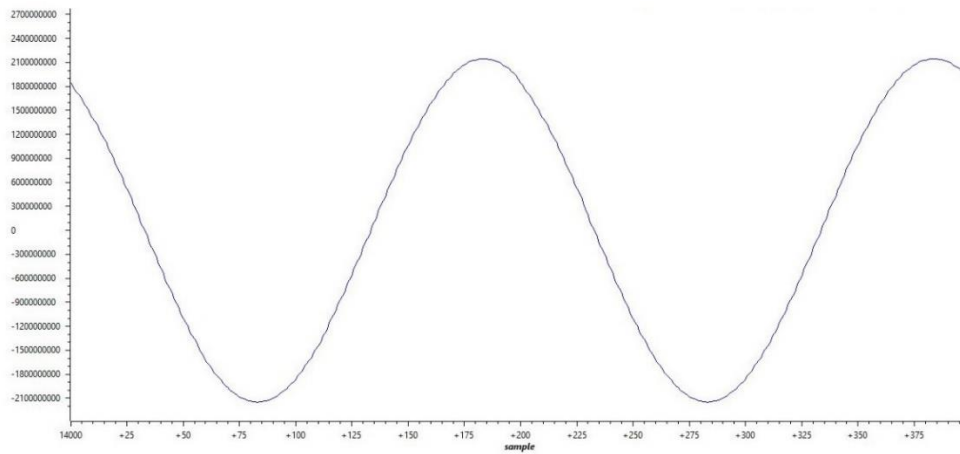
Nas imagens a seguir são apresentados os resultados destes testes, com a obtenção dos resultados desejados para a comprovação do funcionamento das bibliotecas das transformadas e geração do espaço vetorial.

As Figura 45 e Figura 46 apresentam a geração de senos dos sinais a1 e b1, utilizados como parâmetro de entrada na realização do espaço vetorial. A Figura 47 mostra o ângulo entre os sinais de entrada obtido através da relação  $\text{atan2}$  e por fim a Figura 48 apresenta o sinal das razões cíclicas do SVPWM, comprovando o êxito na chamada das transformadas via código quando comparado ao sinal desejado (Figura 30).



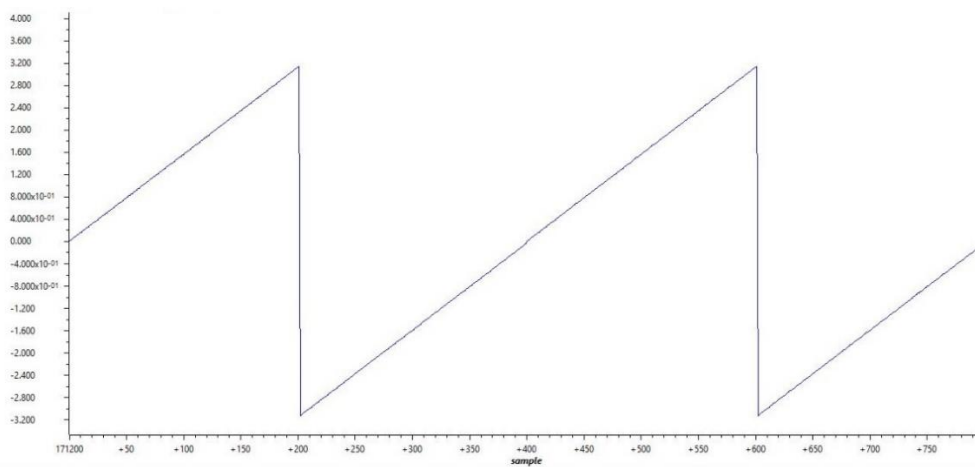
**Figura 45 – Senoide a1 gerada para a aplicação do SVPWM.**

Fonte: elaborado pelo autor.



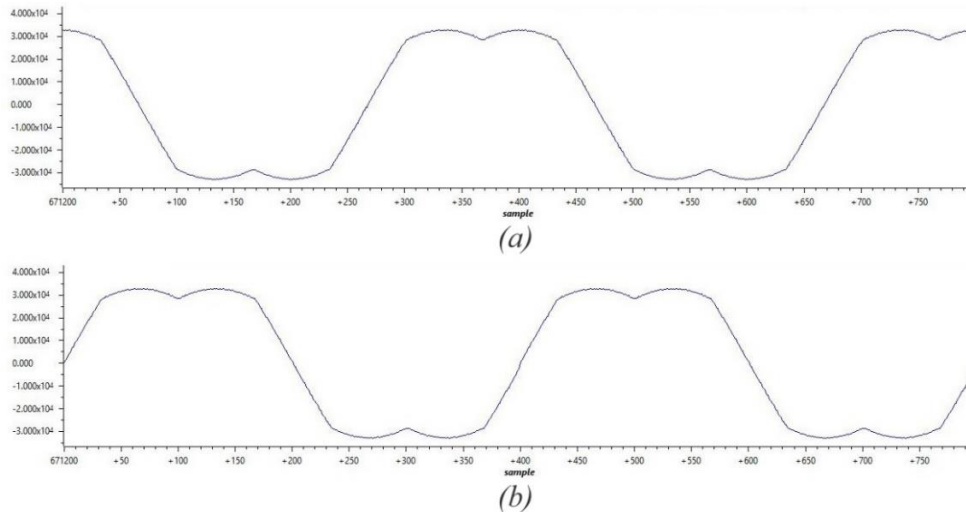
**Figura 46 – Senoide b1 gerada para a aplicação do SVPWM.**

Fonte: elaborado pelo autor.



**Figura 47 – Ângulo entre os sinais de entrada a1 e b1 (atan2).**

Fonte: elaborado pelo autor.



**Figura 48 – Razões cíclicas  $T_a$  e  $T_b$  do SVPWM após implementação das macros via CodeComposer.**

**Fonte: elaborado pelo autor.**

Após a comprovação do funcionamento básico da placa, deu-se início aos testes com os códigos desenvolvidos no software, sendo o primeiro deles a geração dos pulsos PWM.

A conferência do correto funcionamento na geração dos pulsos PWM pode ser vista na Figura 49, onde se observa que o PWM está com a frequência desejada de comutação (10 kHz) e os canais do ramo superior e inferior estão opostos, já na Figura 50 observa-se a banda de tempo morto.

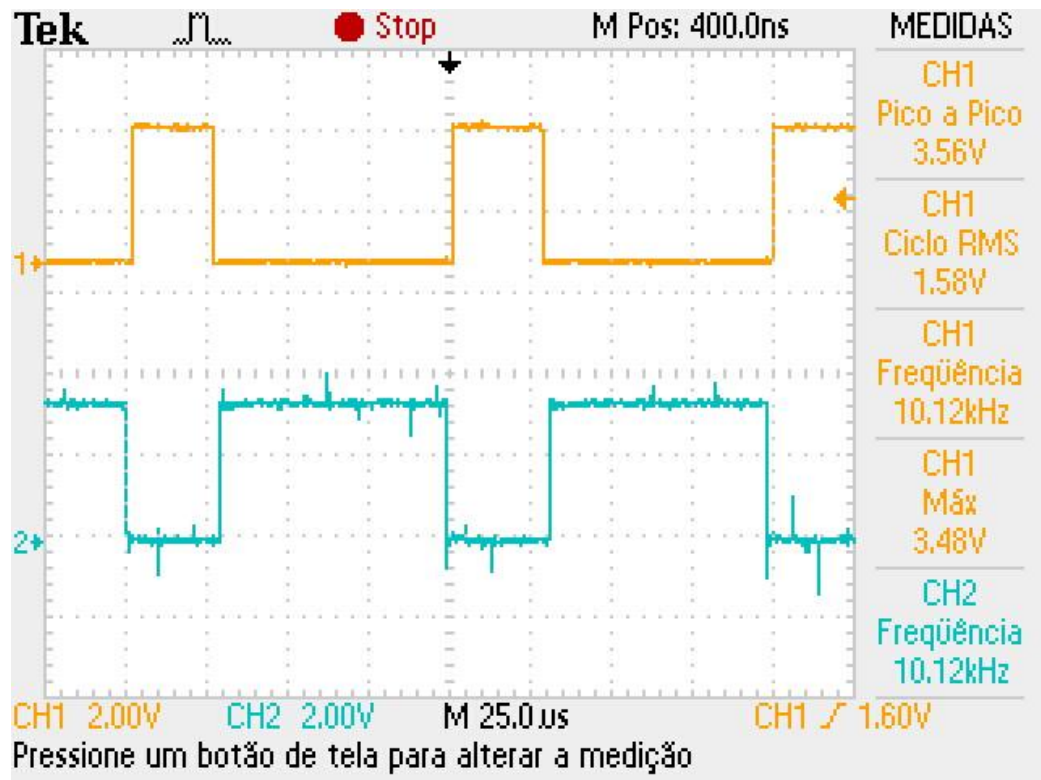


Figura 49 – Sinal PWM fornecido pelo LaunchPad. Canal 1 sinal ePWM6A e Canal2 ePWM6B.

Fonte: elaborado pelo autor.

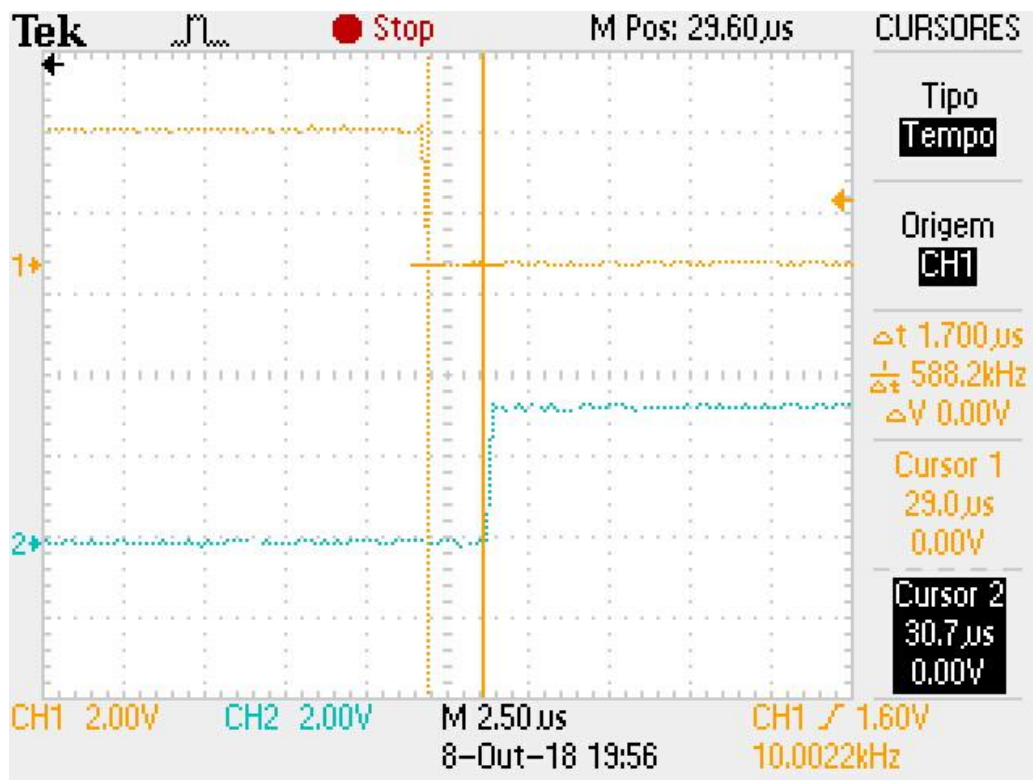


Figura 50 – Deadband entre os sinais ePWM6A e ePWM6B.

Fonte: elaborado pelo autor.

Após as verificações de PWM, teve-se a avaliação da parte do código responsável pela leitura dos sinais analógicos, o ADC.

O sensor de corrente utilizado foi o ACS712 da *Allegro MicroSystems*, com capacidade de leitura de  $\pm 5A$ , o qual fornece um nível de tensão inicial de 2.5V quando a corrente de entrada é igual a 0A (Figura 51). Sabendo disso, foi necessário adaptar o circuito de condicionamento das correntes de entrada e remover o sinal de BIAS da leitura, caso contrário a tensão lida pelo ADC quando a corrente fosse igual a zero seria maior que 3.3V, o que inviabilizaria a leitura correta.

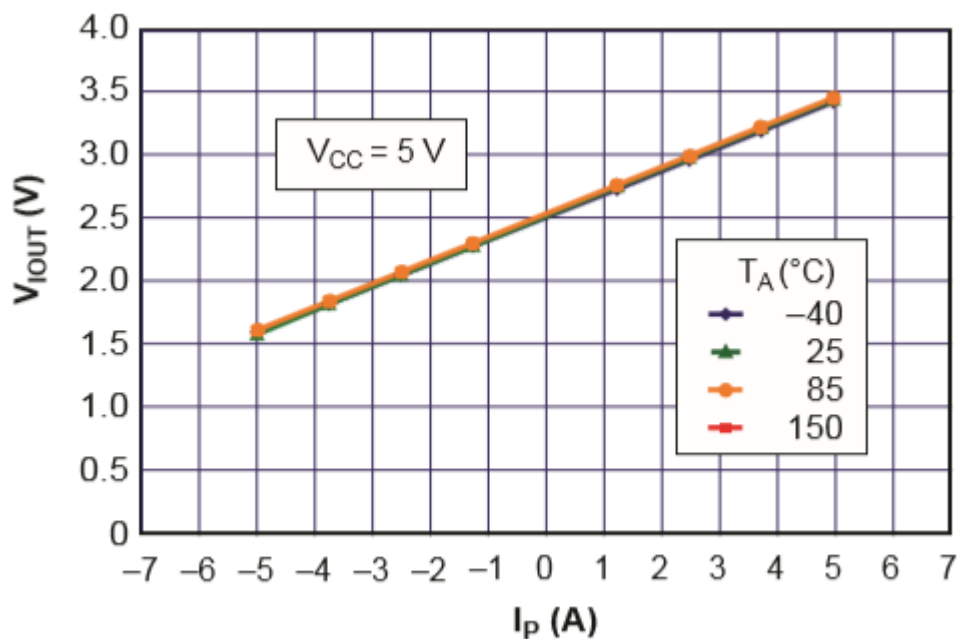


Figura 51 – Gráfico da relação tensão de saída do sensor pela corrente medida.

Fonte: Allegro MicroSystems (2017).

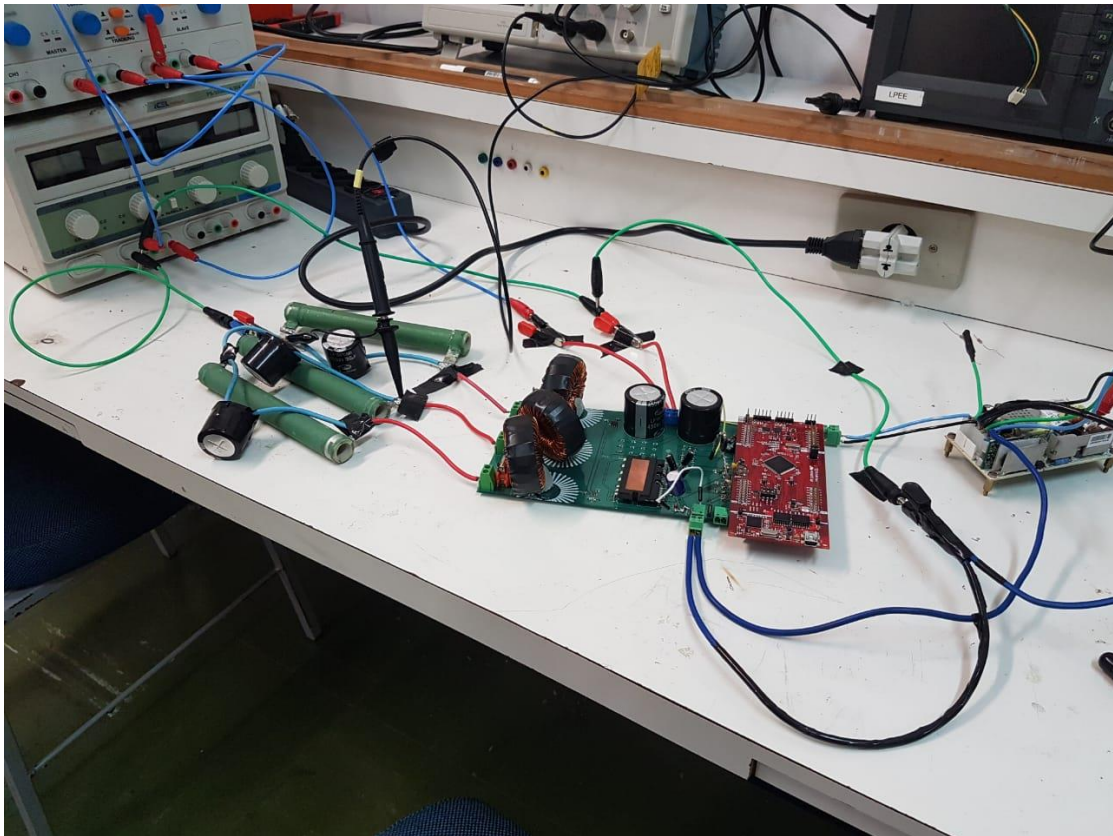
O ADC foi configurado com resolução de 12 bits, isto dá uma faixa de operação entre 0 e  $2^{12}-1 = 0 - 4095$ . A tensão máxima que pode ser aplicada nos pinos do Launchpad é de 3,3V e como forma de proteção, o ADC de 12 bits tem a sua faixa de operação correspondendo a 0 – 3V analógico, logo, 0V fornece uma leitura de variável igual a 0 e 3V fornece a leitura de 4095.

Os 2,5V iniciais do sensor de corrente correspondem a uma leitura de 3412 pelo ADC. No teste variou-se a corrente até 1,5A e obteve-se uma tensão de 2,6V no pino do ADC, correspondendo à leitura de 3549 e comprovando o funcionamento desta parte do código.

## 5.2 TESTES EM MODO CONVERSOR CC-CC (BUCK)

Com os blocos de PWM e ADC funcionando, optou-se por primeiramente executar testes com o protótipo em modo conversor Buck (Figura 52), isto é, aplicando tensão CC nas conexões de saída para a obtenção de um sinal de tensão CC na entrada, porém com amplitude reduzida, conferindo, desta forma o funcionamento da comutação.

Para isso, foi confeccionada uma carga RC trifásica, associando resistores de  $100\Omega$  -  $120W$  com capacitores  $180\mu F$  nas entradas A, B e C do protótipo, que estão conectadas nas fases U, V e W (pinos 24, 25 e 26 – Figura 38) do módulo de potência.



**Figura 52 - Foto do Protótipo durante ensaio como modo Buck.**

**Fonte: elaborado pelo autor.**

Constatou-se a falta de resistores de pull-up para os sinais PWM no esquemático. Logo, foi necessário fazer esta adaptação e resistores de  $750\Omega$  conectados à alimentação +5V, permitindo assim que os pulsos PWM chegassem com o nível de tensão ideal ao módulo.

Ao analisar-se o datasheet do módulo de potência (FAIRCHILD, 2008), observa-se que os capacitores de *bootstrap* (pinos Vb e Vs) necessitam possuir uma tensão entre 13.5V e 18.5V para correto funcionamento do dispositivo.

É necessário criar uma rotina de inicialização para carregamento dos capacitores de *bootstrap*. Esta rotina consiste em aplicar um sinal de nível lógico alto nos ramos inferiores da ponte IGBT durante um intervalo de tempo definido por:

$$t_{carga} \geq C_{BS} \cdot R_{BS} \cdot \frac{1}{\delta} \cdot \ln\left(\frac{V_{CC}}{V_{CC} - V_{BS(\min)} - V_f - V_{LS}}\right) \quad (4.16)$$

Onde:

$C_{BS}$  : Capacitor de *bootstrap*.

$R_{BS}$  : Resistor de *bootstrap*.

$\delta$  : *Duty-cycle*.

$V_{CC}$  : Tensão de alimentação do módulo.

$V_{BS}$  : Tensão mínima do capacitor de *bootstrap*.

$V_f$  : Queda de tensão no diodo de *bootstrap*.

$V_{LS}$  : Queda de tensão no ramo inferior dos IGBT's.

De acordo com (FAIRCHILD, 2016) o valor indicado para o capacitor *bootstrap* é de 33 $\mu$ F, desta forma tem-se que o tempo de carga deve ser maior ou igual a:

$$t_{carga} \geq 33\mu \cdot 15 \cdot \frac{1}{0,5} \cdot \ln\left(\frac{15}{15 - 13 - 0,5 - 0,7}\right) = 2,9ms \quad (4.17)$$

Além desta rotina percebeu-se também a falta da ligação entre as referências de alimentação do módulo e da carga, conforme Figura 53.



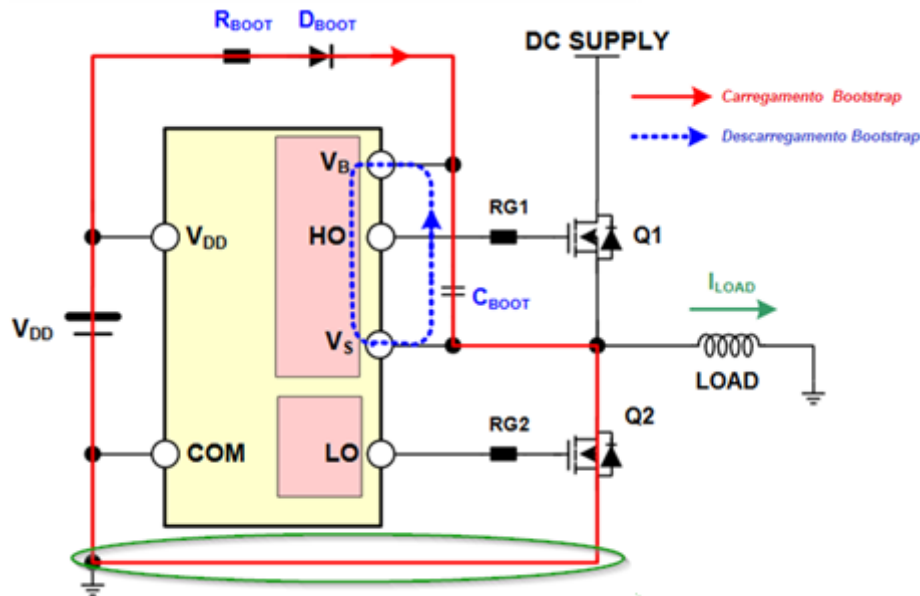


Figura 53 - Conexões no circuito de bootstrap.

Fonte: (FAIRCHILD,2008), modificado pelo autor.

O teste em modo Buck se deu com o *duty-cycle* dos PWM's fixo em 50%. Verifica-se a forma de onda resultante apresentada na Figura 54, onde o canal 1 do osciloscópio indica a tensão na carga e o canal 2 a tensão na entrada do sistema, confirmando o correto funcionamento.

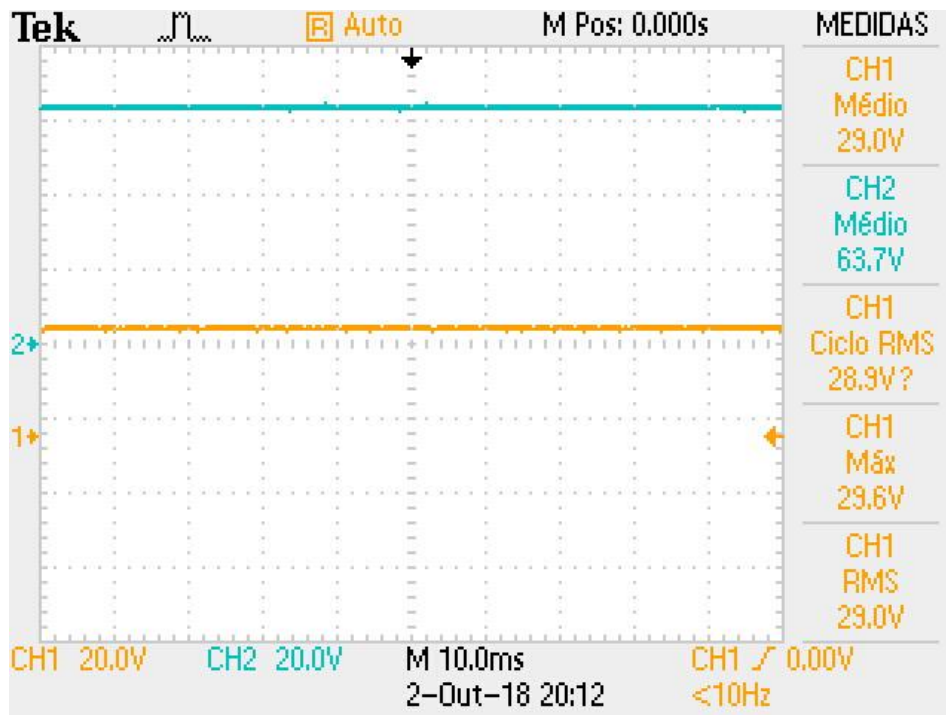


Figura 54 – Resultado do teste do conversor em modo Buck.

Fonte: elaborado pelo autor.

### 5.3 TESTES EM MODO CONVERSOR CC-CA EM MALHA ABERTA (INVERSOR)

Dando continuidade aos testes iniciais a próxima etapa foi verificar a operação em modo inversor em malha aberta. Para tal o *duty-cycle* fixo foi substituído pela rotina de modulação vetorial espacial.

Foram injetados os valores de  $D_q$  e  $D_d$  iguais a 0.5 e 0 respectivamente. Desta forma testa-se o comportamento do sistema sem a variação dos componentes de eixo direto e de quadratura, ou seja, não controlado.

A atualização da razão cíclica dos PWM's é atualizada a cada interrupção do microcontrolador.

Analogamente ao teste realizado em 5.2 aplicou-se 60V na entrada do sistema. Primeiramente mediu-se o sinal na carga para observar a tensão de linha entre as fases V e W (Figura 55).

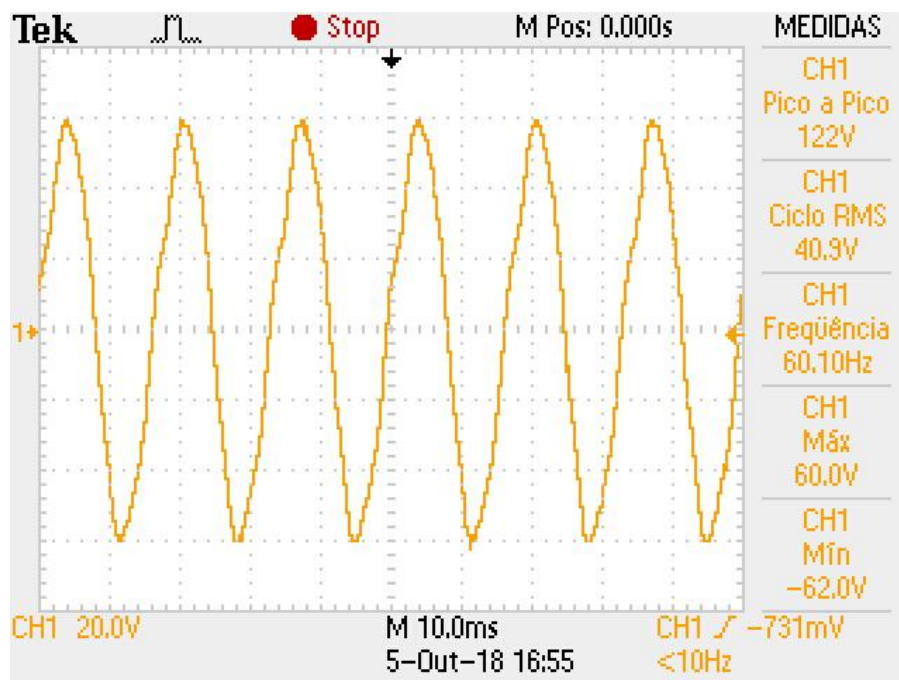


Figura 55 - Tensão de linha para teste em modo inversor em malha aberta.

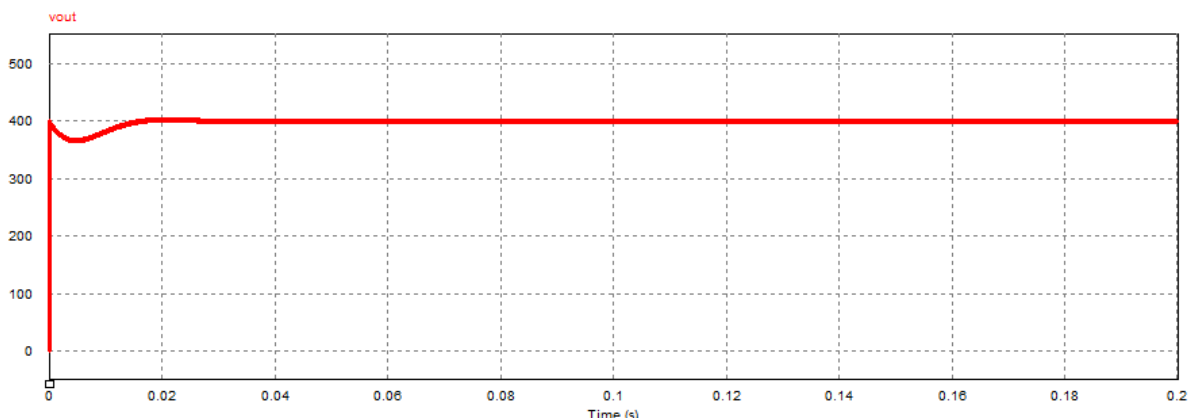
Fonte: elaborado pelo autor.

Através da análise da figura anterior é possível perceber que a tensão de linhas entre as fases V e W apresenta um perfil senoidal com frequência de 60Hz, equivalente a frequência da rede. Logo, afirma-se que os testes em modo inversor em malha aberta ocorreram como o esperado.

#### 5.4 TESTES NOMINAIS – SIMULAÇÃO UTILIZANDO DLL

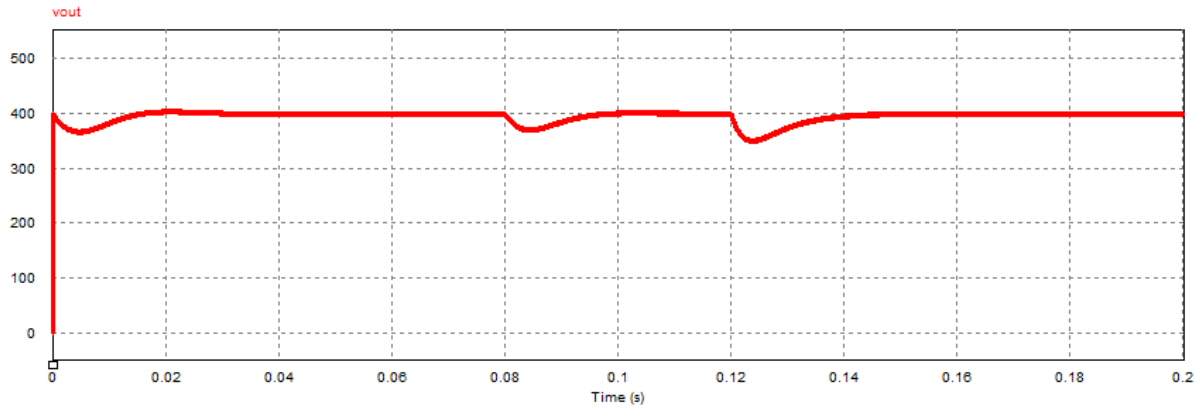
Para o teste da programação do controle utilizou-se uma aplicação DLL, desenvolvida através do software DEV C++. Este código é então importado para o software PSIM através de um bloco específico para a leitura de arquivos no formato dll. Com esta ferramenta é possível simular o comportamento do *firmware* de controle desenvolvido e realizar alterações caso o resultado não seja o esperado, desta forma, é garantida a segurança do protótipo físico através de um código previamente testado, validando todas as malhas de controle implementadas via código e também a utilização da técnica de modulação vetorial no microcontrolador da *Texas Instruments*.

Novamente foram realizados dois testes, o primeiro apenas utilizando de uma carga fixa conectada à saída do retificador, e o segundo aplicando dois degraus de carga em intervalos de tempo distintos para verificar a resposta da malha de controle a estas alterações. Os resultados destes testes são mostrados nas Figura 56 e Figura 57, o código utilizado para o controle está disponível no Anexo F, ao final deste documento.



**Figura 56 - Teste retificador controlado por DLL.**

**Fonte: elaborado pelo autor.**



**Figura 57 - Teste retificador controlado por DLL com degrau de carga.**

**Fonte: elaborado pelo autor.**

Analisando os resultados obtidos percebe-se uma rápida atuação do sistema de controle, em ambas as situações, com o sinal de saída seguindo a referência estipulada em 400V.

## 6 CONCLUSÃO

Ao decorrer deste trabalho foi possível obter um aprofundamento na utilização da técnica de controle utilizando a transformada dq0 aplicada a conversores fazendo uso de um microcontrolador utilizado na indústria.

Obteve-se sucesso na integração entre o módulo de potência Fairchild FSBB30Ch60C com o microcontrolador da Texas F28377S possibilitando um aprendizado na programação dos módulos periféricos necessários para funcionamento do sistema conversor e também futuras aplicações de controle para sistemas de potência.

Apesar do progresso realizado, não foi possível concluir de forma satisfatória a implementação da técnica no sistema físico. Os resultados apresentados até o final deste trabalho correspondem de forma parcial ao objetivo estabelecido na proposta de pesquisa, visto que, foi possível obter um conversor CC-CC (buck), funcionando em malha aberta, um conversor CC-CA (inversor), também com seu funcionamento verificado em malha aberta, porém os resultados para o conversor CA-CC (retificador), assim como o com o desenvolvimento e comprovação do código de controle desenvolvido foram obtidos através de simulações computacionais, não sendo possível a aplicação no protótipo físico desenvolvido.

Dificuldades como falta de experiência com o microcontrolador utilizado, diversos empecilhos elétricos encontrados na construção da placa, aumento do orçamento inicialmente planejado, acarretaram em uma falta de tempo hábil para a conclusão do projeto em sua totalidade.

Entretanto, obtiveram-se resultados em malha aberta para o protótipo desenvolvido e simulações em DLL que comprovam a executabilidade e eficiência do código desenvolvido para o microcontrolador na execução do controle em malha fechada. Recomenda-se a continuidade da pesquisa no tema abordado, visando o funcionamento efetivo do protótipo, pois esta técnica de controle permite uma maior eficiência em sistemas conversores de energia.

## REFERÊNCIAS

- AHMED, Ashfaq. **Eletrônica de Potência, tradução Bazán Tecnologia e Linguística, revisão técnica João Antonio Martino**. São Paulo: Prentice Hall, 2000.
- ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **Especificações de Sistemas Retificadores Chaveados para Telecomunicações**. Rio de Janeiro, 1999.
- BACON, Vinicius Dário; CAMPANHOL, Leonardo Bruno Garcia; DA SILVA, Sérgio Augusto Oliveira. **Análise Comparativa das Técnicas SPWM e SVM Aplicadas a um Inversor de Tensão Trifásico**. UNOPAR Científica Ciências Exatas e Tecnológicas, v. 10, n. 1, 2015.
- BARAUNA, Allan Pierre. **Paralelismo de inversores de tensão controlados pelo valor médio instantâneo da tensão de saída**. Universidade Federal de Santa Catarina – UFSC. 2003.
- BARBI, Ivo. **Eletrônica de potência, edição do autor**. 2006.
- BARBI, Ivo. **Teoria Fundamental do Motor de Indução**. Florianópolis: Editora da UFSC – Eletrobrás. 1985.
- BARBI, Ivo; MOIA, Joabel; PINI, Silvia Helena. **Análise e Controle do Retificador Trifásico Boost PWM em base  $0\alpha\beta$** . Universidade Federal de Santa Catarina – UFSC. 2010.
- BARR, Michael. **"Pulse width modulation", Embedded Systems Programming 14, nº 10**. p. 103-104. 2001.
- BATISTA, F.; BARBI, Ivo. **Modulação Vetorial Para Retificador Trifásico Unidirecional**. In: XV Congresso Brasileiro de Automática – (CBA-2004). Gramado, Setembro, 2004.
- BLAUTH, Yeddo Braga. **Retificadores trifásicos controlados com elevado fator de potência e multiníveis de corrente**. Tese de Doutorado. Universidade Federal de Santa Catarina. 1999.

BOGDAN, M. Wilamowski; IRWIN, J. David (Ed.). **Power electronics and motor drives**. CRC Press, 2011.

BORGONOVO, Deivis. **Modelagem e controle de retificadores PWM trifásicos empregando a transformação de Park**. Tese de Doutorado. Universidade Federal de Santa Catarina, Centro de Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica. 2001.

BURGER, Bruno et al. **98.8% inverter efficiency with SIC transistors**. In: 23rd *European Photovoltaic Solar Energy Conference*. p. 2688-2692. 2008

CARDOSO, Gustavo Dias. **Análise da influência da variação do vento na qualidade da energia elétrica em uma unidade eólica empregando-se o ATP**. 2016.

EUROPE, Texas Instruments. **Field orientated control of 3-phase AC-motors**. Literature Number: BPRA073. 1998.

FAIRCHILD, **Application Note AN-9044**. Disponível em: < <https://www.fairchildsemi.com/application-notes/AN/AN-9044.pdf>>, 2008. Acesso em: Setembro 2018.

FAIRCHILD. **FSBB30CH60C Motion SPM® 3 Series**. Disponível em: < <http://www.onsemi.com/pub/Collateral/FSBB30CH60C-D.pdf>>, 2016. Acesso em: Maio 2018.

FAIRCHILD. **Smart Power Module Motion SPM® in Mini DIP (SPM3 V4) User's Guide**. Disponível em: < <https://www.fairchildsemi.com/application-notes/AN/AN-9044.pdf>>, 2008. Acesso em: Maio 2018.

FONT, Carlos Henrique I.; BATISTA, Flávio Alberto B.; ALVES, Ricardo Luiz **Modelagem e Controle do Retificador Trifásico PWM Bidirecional por Tensão Imposta**. Universidade Federal de Santa Catarina – UFSC. 2003.

HOLMES, D. Grahame; LIPO, Thomas A. **Pulse width modulation for power converters: principles and practice**. John Wiley & Sons, 2003.

Langella, R., and A. Testa. **IEEE Standard Definitions for the Measurement of Electric Power Quantities Under Sinusoidal, Nonsinusoidal, Balanced, or Unbalanced Conditions**. 2010.

LEONHARD, Werner. **Control of electrical drives**. Springer Science & Business Media, 2001.

NETO, Anis César Chehab. **Retificador PWM trifásico de 26KW, três níveis unidirecional, fator de potência unitário e alto rendimento para aplicação em centrais de telecomunicação**. Dissertação (mestrado) - Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica. 2002.

ORTMANN, Márcio Silveira. **Retificadores multiníveis PWM unidirecionais de alto fator de potência com célula de comutação de múltiplos estados**. Universidade Federal de Santa Catarina – UFSC 2012.

PEREIRA FILHO, Nicolau. **Técnicas de Modulação por Largura de Pulso Vetorial para Inversores Fonte de Tensão**. Tese de Doutorado. Universidade Federal de Itajubá. Programa de Pós-Graduação em Engenharia Elétrica. 2007

PINHEIRO, Humberto; BOTTERÓN, Fernando. **Modulação space vector para inversores alimentados em tensão: uma abordagem unificada**. Sba: Controle & Automação Sociedade Brasileira de Automatica 16.1. p. 13-24. 2005. .

RASHID, Muhammad H. **Eletrônica de Potência: Circuitos, dispositivos e aplicações. 2. Ed.** São Paulo: MAKRON Books, 1999.

SASI, Devisree; JISHA KURUVILLA, P. **Modelling and simulation of SVPWM inverter fed permanent magnet brushless dc motor drive**. *International Journal of Advanced Research in Electrical, Electronics and Instrumentation Engineering*, v. 2, n. 5, p. 1947-55, 2013.

TI. **TMS320F2837xS Delfino™ Technical Reference Manual**. Disponível em: <<http://www.ti.com/lit/ds/sprs881f/sprs881f.pdf>>, 2018. Acesso em: Maio 2018.



TI. **Meet the TMS320F28377S LaunchPad Development Kit**. Disponível em: <<http://www.ti.com/lit/ml/sprui26/sprui26.pdf>>, 2015. Acesso em: Maio 2018.

TIBOLA, Gabriel. **Sistema eólico de pequeno porte para geração de energia elétrica com rastreamento de máxima potência**. Universidade Federal de Santa Catarina – UFSC. 2009.

TREVISIO, Carlos H. G. **Apostila de eletrônica de potência**. 2006.

VELAERTS, Bruno; MATHYS, Pierre. **“New Development of 3-Level PWM Strategies”**, in *European Conference Power Electronics and Applications (EPE)*. 1989.

## ANEXOS

### ANEXO A – Dimensionamento do sistema de controle realizado no software MATLAB.

```

clear all
clc

Vll=220; % Tensão eficaz de linha
Vf=Vll/sqrt(3); % Tensão eficaz de fase
Vpf=sqrt(2)*Vf; % Tensão de pico de fase

fr=60; % Frequencia da rede
wr=2*pi*fr;
Lin=4.0e-3; % Indutância de entrada

R0=160; % Resistência de carga

C0=166e-6; % Capacitância de saída

Rse=50e-3; % Resistência série equivalente do capacitor de saída
fs=19200; % Frequência de comutação
V0=400; % Tensão de saída

P0=V0^2/R0; % Potência de saída
Pa=P0/3; % Potência na fase A

Rin=Vf^2/Pa; % Resistência equivalente de entrada
Ipf=Vpf/Rin; % Corrente de pico de fase

Id=Ipf; % Corrente de pico eixo direto
Iq=0; % Corrente de pico eixo de quadratura

kdq = (wr*Lin)/V0; % Ganho do desacoplamento

Dd = Vpf/V0+kdq*Iq; % Razão cíclica de eixo direto
Dq =-kdq*Id;% Razão cíclica de eixo quadratura

Hi = 1; % Ganho do sensor de corrente
Hv = 1; % Ganho do sensor de tensão

%% Controle de corrente pag 128
Gi=tf(-V0,[Lin 1]); % Função de transferência controle corrente

fc=fs/4;
wc=2*pi*fc; % Frequencia de cruzamento
[Ci,Ciinfo] = pidtune(Gi*tf(Hi),'PI',wc); % Projeto do controlador de corrente

[CiNum CiDen]=tfdata(Ci,'v');
CiKp = CiNum(1); % Ganho proporcional
CiKi = CiNum(2); % Ganho do integrador
CiG=CiKp; % Ganho
CiT=CiKp/CiKi; % Constante de tempo

%% Controle de tensão
Gv=tf(R0,[R0*C0 1]); % Função de transferência controle corrente

```

```

% bode (Gv)

wc=2*pi*fr; % Frequencia de cruzamento
[Cv,Cvinfo] = pidtune(Gv*tf(Hv),'PI',wc); % Projeto do controlador de
corrente

[CvNum CvDen]=tfdata(Cv,'v');
CvKp = CvNum(1); % Ganho proporcional
CvKi = CvNum(2); % Ganho do integrador
CvG=CvKp; % Ganho
CvT=CvKp/CvKi; % Constante de tempo

%% Salva arquivo de dados

clear conv CiNum CiDen CvNum CvDen ind temp ans fid % Limpa variáveis não
utilizadas na simulação
save retificador % Salva variáveis
conv=load('retificador.mat'); % Carrega variáveis na forma de estrutura

names = fieldnames(conv);
% call fprintf to print the updated text strings
fid = fopen('retificadorPark.txt','w');
if fid==-1
    disp('Erro ao abrir o arquivo para escrita!')
    return
end

for ind=1:length(names)
    temp = getfield(conv,names{ind});
    if isnumeric(temp) % Apenas imprime o que for numerico
        strdata=[char(names(ind)) ' = ' num2str(temp,'%10.8e')];
        fprintf(fid, '%s%c%c', strdata,13,10);
    end
end

fclose(fid);
winopen('retificadorPark.txt')

```

### Tabela Anexo A - Resultados obtidos nos cálculos.

Fonte: elaborado pelo autor.

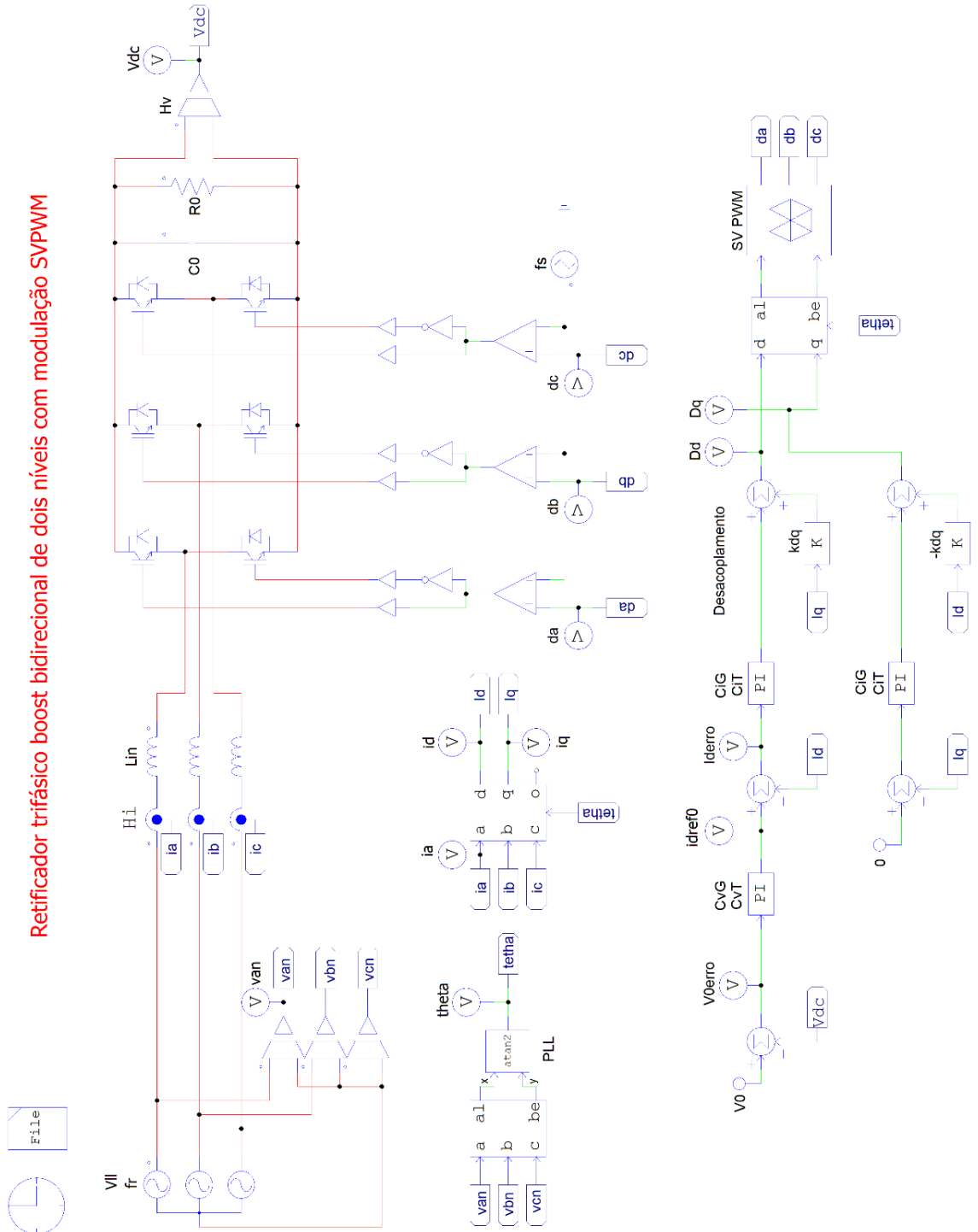
Variável	Valor obtido
C0	1.66000000e-04
CiG	-2.59937108e-01
CiKi	-4.61321049e+03
CiKp	-2.59937108e-01
CiT	5.63462494e-05
CvG	5.10713250e-02
CvKi	1.38366755e+01

**Tabela Anexo A - Resultados obtidos nos cálculos.**

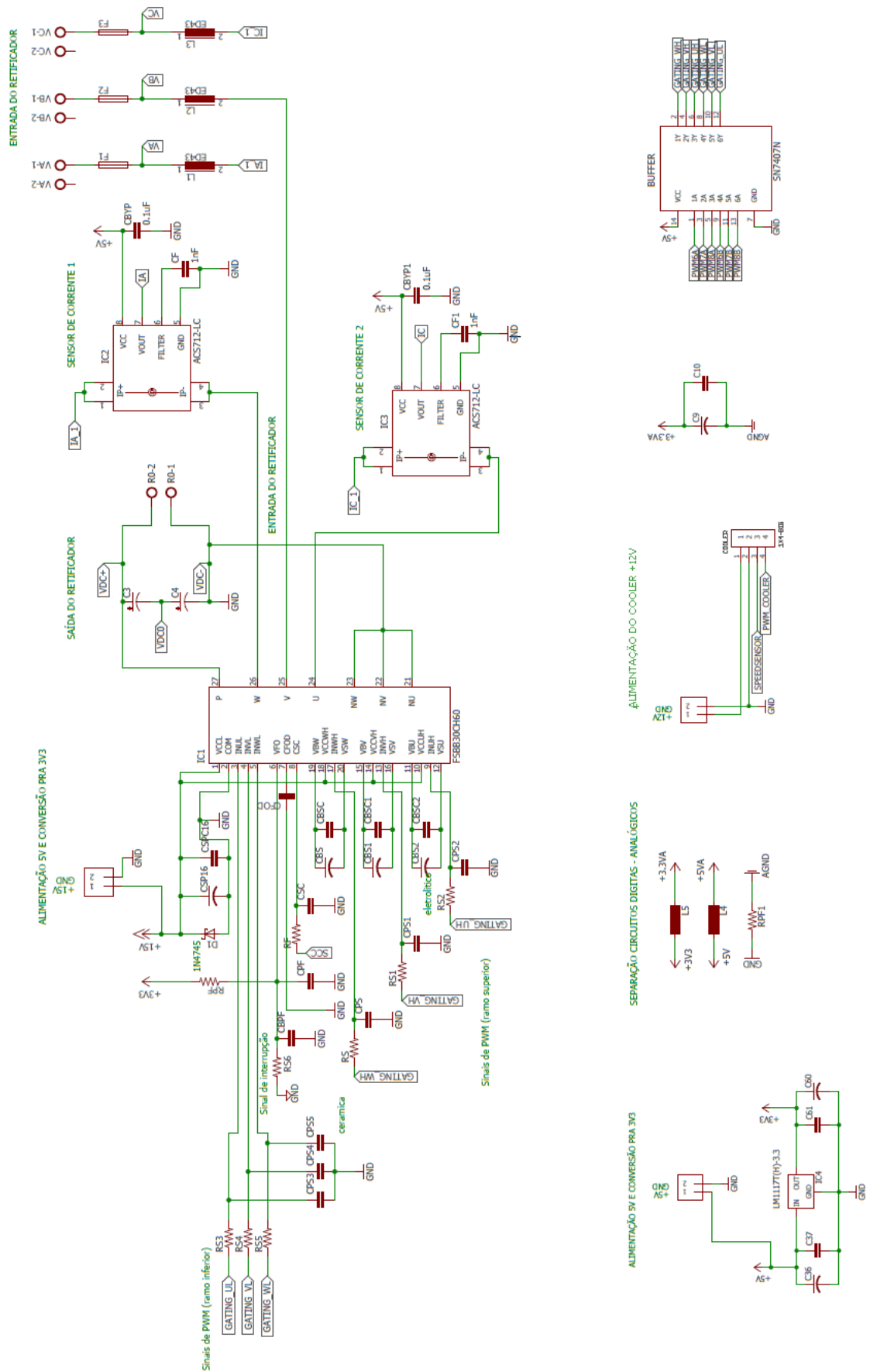
Fonte: elaborado pelo autor.

<b>Variável</b>	<b>Valor obtido</b>
CvKp	5.10713250e-02
CvT	3.69101126e-03
Dd	4.49073120e-01
Dq	-1.39914527e-02
Hi	1.00000000e+00
Hv	1.00000000e+00
Id	3.71134810e+00
Ipf	3.71134810e+00
Iq	0.00000000e+00
Lin	4.00000000e-03
P0	1.00000000e+03
Pa	3.33333333e+02
R0	1.60000000e+02
Rin	4.84000000e+01
Rse	5.00000000e-02
V0	4.00000000e+02
Vf	1.27017059e+02
Vll	2.20000000e+02
Vpf	1.79629248e+02
fc	4.80000000e+03
fr	6.00000000e+01
fs	1.92000000e+04
kdq	3.76991118e-03
WC	3.76991118e+02
WT	3.76991118e+02

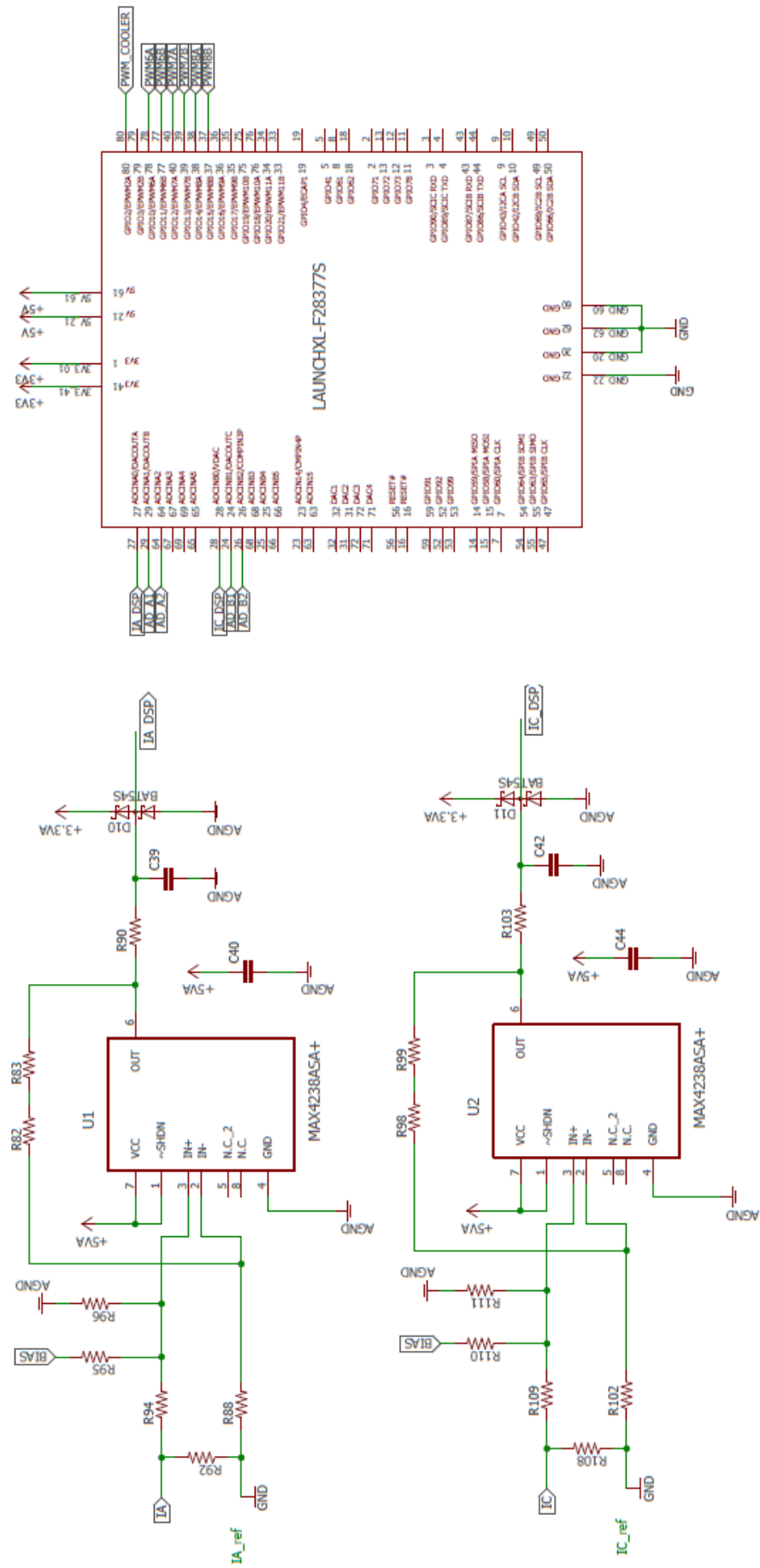
ANEXO B – Simulação realizada no software PSIM.



ANEXO C – Esquemáticos do protótipo no software Eagle.

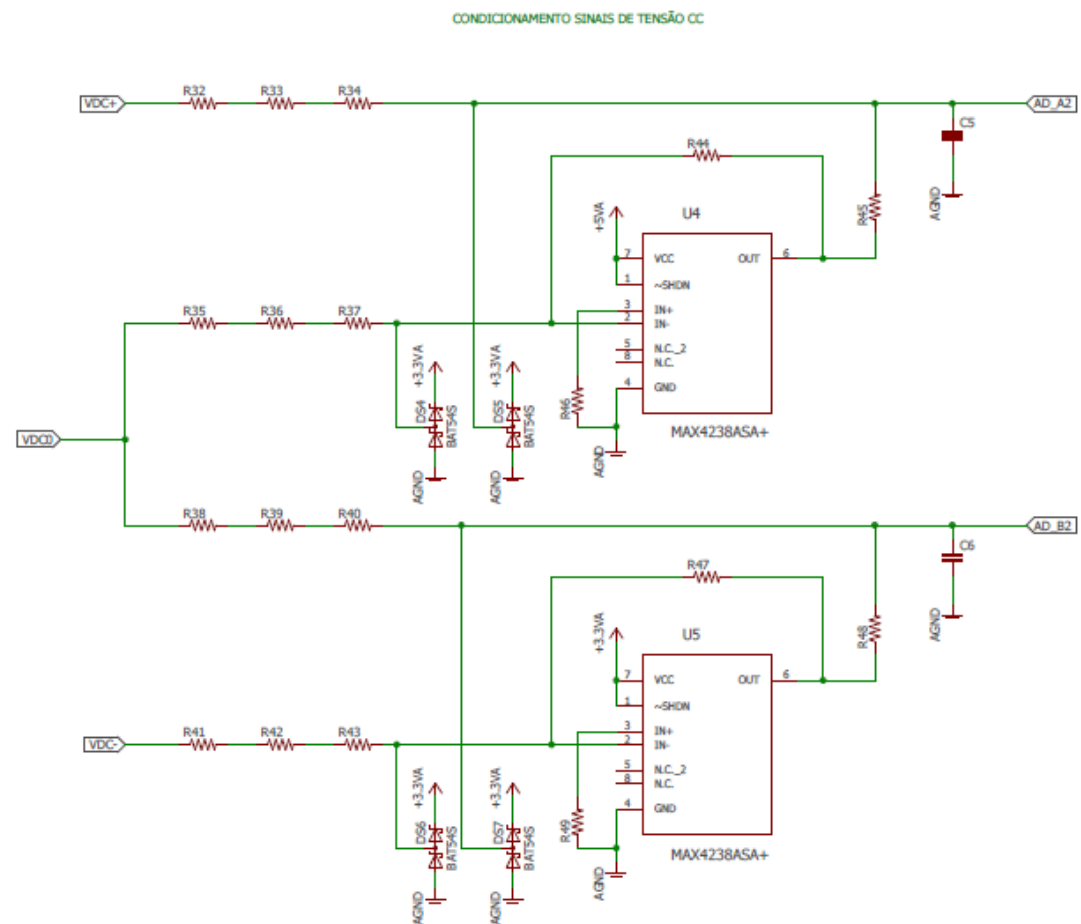
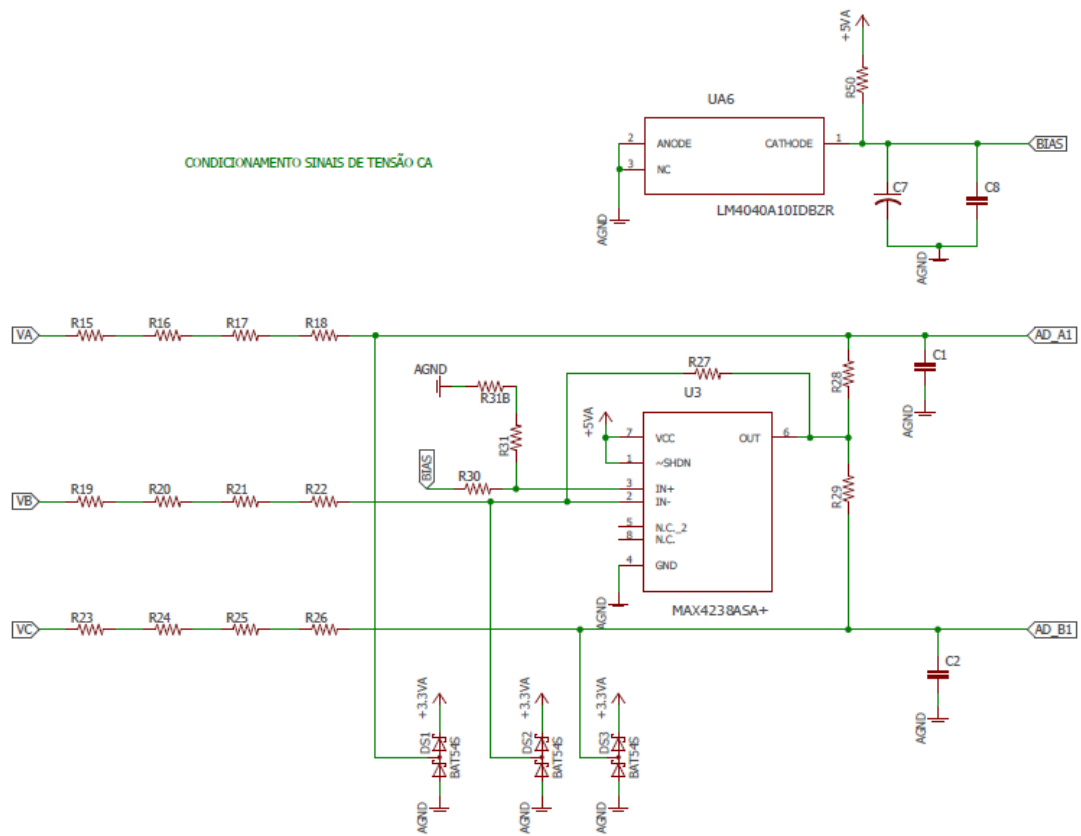


LEITURA DAS CORRENTES DE ENTRADA

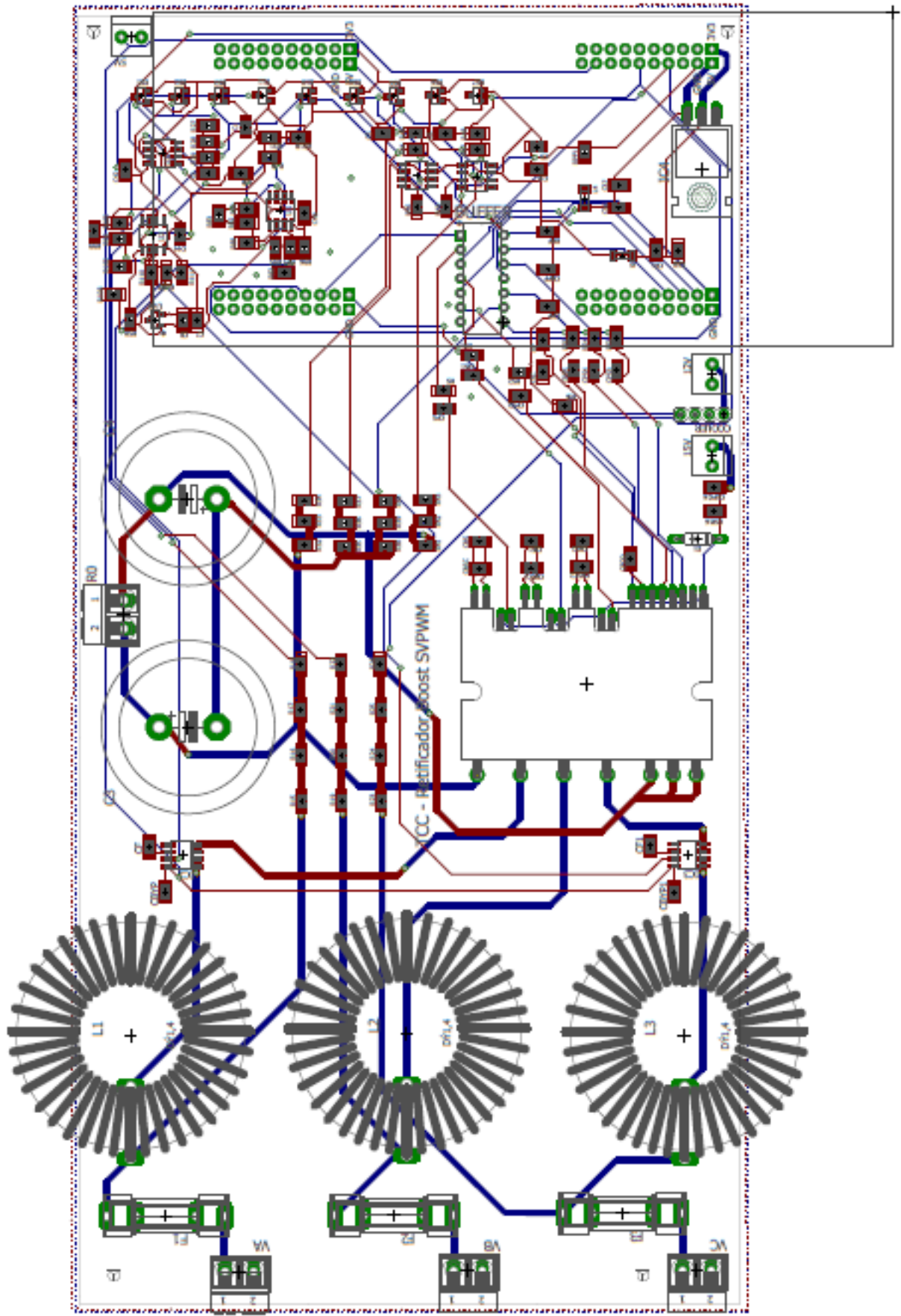


LAUNCHXL-F28377S

1	EPIC13/EPWV13A	3	EPIC01/SDC1 TIO
2	EPIC07	4	EPIC02/SDC1 TIO
3	EPIC02/SDC1 TIO	5	EPIC04
4	EPIC02/SDC1 TIO	6	EPIC08
5	EPIC04	7	EPIC08/SDC1 TIO
6	EPIC08	8	EPIC12
7	EPIC08/SDC1 TIO	9	EPIC12/SDC1 TIO
8	EPIC12	10	EPIC16/SDC1 TIO
9	EPIC12/SDC1 TIO	11	EPIC16/SDC1 TIO
10	EPIC16/SDC1 TIO	12	EPIC20/SDC1 TIO
11	EPIC16/SDC1 TIO	13	EPIC20/SDC1 TIO
12	EPIC20/SDC1 TIO	14	EPIC24/SDC1 TIO
13	EPIC20/SDC1 TIO	15	EPIC24/SDC1 TIO
14	EPIC24/SDC1 TIO	16	EPIC28/SDC1 TIO
15	EPIC24/SDC1 TIO	17	EPIC28/SDC1 TIO
16	EPIC28/SDC1 TIO	18	EPIC32/SDC1 TIO
17	EPIC28/SDC1 TIO	19	EPIC32/SDC1 TIO
18	EPIC32/SDC1 TIO	20	EPIC36/SDC1 TIO
19	EPIC32/SDC1 TIO	21	EPIC36/SDC1 TIO
20	EPIC36/SDC1 TIO	22	EPIC40/SDC1 TIO
21	EPIC36/SDC1 TIO	23	EPIC40/SDC1 TIO
22	EPIC40/SDC1 TIO	24	EPIC44/SDC1 TIO
23	EPIC40/SDC1 TIO	25	EPIC44/SDC1 TIO
24	EPIC44/SDC1 TIO	26	EPIC48/SDC1 TIO
25	EPIC44/SDC1 TIO	27	EPIC48/SDC1 TIO
26	EPIC48/SDC1 TIO	28	EPIC52/SDC1 TIO
27	EPIC48/SDC1 TIO	29	EPIC52/SDC1 TIO
28	EPIC52/SDC1 TIO	30	EPIC56/SDC1 TIO
29	EPIC52/SDC1 TIO	31	EPIC56/SDC1 TIO
30	EPIC56/SDC1 TIO	32	EPIC60/SDC1 TIO
31	EPIC56/SDC1 TIO	33	EPIC60/SDC1 TIO
32	EPIC60/SDC1 TIO	34	EPIC64/SDC1 TIO
33	EPIC60/SDC1 TIO	35	EPIC64/SDC1 TIO
34	EPIC64/SDC1 TIO	36	EPIC68/SDC1 TIO
35	EPIC64/SDC1 TIO	37	EPIC68/SDC1 TIO
36	EPIC68/SDC1 TIO	38	EPIC72/SDC1 TIO
37	EPIC68/SDC1 TIO	39	EPIC72/SDC1 TIO
38	EPIC72/SDC1 TIO	40	EPIC76/SDC1 TIO
39	EPIC72/SDC1 TIO	41	EPIC76/SDC1 TIO
40	EPIC76/SDC1 TIO	42	EPIC80/SDC1 TIO
41	EPIC76/SDC1 TIO	43	EPIC80/SDC1 TIO
42	EPIC80/SDC1 TIO	44	EPIC84/SDC1 TIO
43	EPIC80/SDC1 TIO	45	EPIC84/SDC1 TIO
44	EPIC84/SDC1 TIO	46	EPIC88/SDC1 TIO
45	EPIC84/SDC1 TIO	47	EPIC88/SDC1 TIO
46	EPIC88/SDC1 TIO	48	EPIC92/SDC1 TIO
47	EPIC88/SDC1 TIO	49	EPIC92/SDC1 TIO
48	EPIC92/SDC1 TIO	50	EPIC96/SDC1 TIO
49	EPIC92/SDC1 TIO		
50	EPIC96/SDC1 TIO		







## ANEXO D – Lista de materiais.

Tabela Anexo D - Lista de materiais utilizados na montagem do protótipo.

Fonte: elaborado pelo autor.

Equipamento	Valor	Quantidade
Microprocessador C2000 Delfino LaunchPad da Texas Instruments	TMS320F28377S	1
Módulo de Potência <i>Motion SPM 3</i> <i>Series da Fairchild.</i>	FSBB30CH60	1
Circuito Integrado	SN7407N	1
Amplificador Operacional	MAX4238ASA+	5
Shunt de Precisão	LM4040A	1
Transistor	BAT54S	9
Indutores	Núcleo M46T018 + AWG19	3
Dissipador (Cooler)	-	1
Fusíveis	10A	3
Transistor Regulador	LM1117T	1
Diodo Schottky Zener	1N4745	1
Indutores Analógicos	2.2 uH	2
Bornes Potência	KRE AK500/2-H	3
Bornes Alimentação	Molex 2 Pinos	3
Sensor de Corrente	ACS712 (30A)	2
Conector Macho	4 Pinos	2
Resistor SMD 0805	100Ω	4
Resistor SMD 0805	9.1kΩ	4
Resistor SMD 0805	11kΩ	2
Resistor SMD 0805	22kΩ	4
Resistor SMD 0805	270Ω	3
Resistor SMD 0805	22kΩ	4
Resistor SMD 0805	30kΩ	12
Resistor SMD 0805	100Ω	2
Resistor SMD 0805	1.6kΩ	4

Tabela Anexo D - Lista de materiais utilizados na montagem do protótipo.

Fonte: elaborado pelo autor.

<b>Equipamento</b>	<b>Valor</b>	<b>Quantidade</b>
Resistor SMD 0805	9.1k $\Omega$	12
Resistor SMD 0805	4.7k $\Omega$	1
Resistor SMD 0805	510 $\Omega$	10
Resistor SMD 0805	0R $\Omega$	1
Capacitor cerâmico SMD 0805	100nF	3
Capacitor eletrolítico SMD	100uF	1
Capacitor cerâmico SMD 0805	22nF	2
Capacitor cerâmico SMD 0805	47nF	2
Capacitor cerâmico SMD 0805	1nF	9
Capacitor cerâmico SMD 0805	33nF	1
Capacitor cerâmico SMD 0805	0.1uF	5
Capacitor eletrolítico SMD	1uF	1
Capacitor cerâmico SMD 0805	22uF	5
Capacitor eletrolítico SMD	1000uF	1
Capacitor eletrolítico	180uF	2

## ANEXO E – Configurações das funções periféricas f28377S.

```

void ConfigureADC(void)
{
    EALLOW;
    //
    //write configurations ADCA
    //
    AdcaRegs.ADCCTL2.bit.PRESCALE = 6; //set ADCCLK divider to /4
    AdcSetMode(ADC_ADCA, ADC_RESOLUTION_12BIT, ADC_SIGNALMODE_SINGLE);
    AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;
    AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1;
    //
    //write configurations ADCB
    //
    AdcbRegs.ADCCTL2.bit.PRESCALE = 6; //set ADCCLK divider to /4
    AdcSetMode(ADC_ADCB, ADC_RESOLUTION_12BIT, ADC_SIGNALMODE_SINGLE);
    AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1;
    AdcbRegs.ADCCTL1.bit.ADCPWDNZ = 1;

    DELAY_US(1000);

    EDIS;
}

```

```

void SetupADCContinuous()
{
    Uint16 acqps;

    if(ADC_RESOLUTION_12BIT == AdcaRegs.ADCCTL2.bit.RESOLUTION)
    {
        acqps = 14; //75ns
    }
    else //resolution is 16-bit
    {
        acqps = 63; //320ns
    }

    EALLOW;
    //setup ADCA
    AdcaRegs.ADCSOC0CTL.bit.CHSEL = 0;
    AdcaRegs.ADCSOC0CTL.bit.ACQPS = acqps;
    (...)
    EDIS;
}

void InitEPwm1Example()
{
    EPwm1Regs.ETSEL.bit.SOCAEN = 1;           // Enable SOC on A group
    EPwm1Regs.ETSEL.bit.SOCASEL = 1;         // Select SOC from from CPMA on
upcount
    EPwm1Regs.ETPS.bit.SOCAPRD = 1;          // Generate pulse on 1st event
    EPwm1Regs.TBPRD = 2604;                  // Set timer period
    EPwm1Regs.TBPHS.bit.TBPHS = 0;          // Phase is 0
    EPwm1Regs.TBCTR = 0x0000;                // Clear counter

    // Setup TBCLK
    EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
}

```

```

    EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
(Master)
    EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; //TB_DIV4; // Clock ratio to
SYSCLKOUT
    EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1; //TB_DIV4;

    EPwm1Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
    EPwm1Regs.TBCTL.bit.PRDL = TB_SHADOW;
    EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

    // Setup compare
    EPwm1Regs.CMPA.bit.CMPA = 1302;

    // Set actions
    EPwm1Regs.AQCTLA.bit.CAU = AQ_SET; // Set PWM1A on Zero
    EPwm1Regs.AQCTLA.bit.CAD = AQ_CLEAR;
    EPwm1Regs.AQCTLB.bit.CAU = AQ_CLEAR; // Set PWM1B on Zero
    EPwm1Regs.AQCTLB.bit.CAD = AQ_SET;

    // Active Low PWMs - Setup Deadband
    EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
    EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_LOC;
    EPwm1Regs.DBCTL.bit.IN_MODE = DBA_ALL;
    EPwm1Regs.DBRED.bit.DBRED = 0; //EPWM6_MIN_DB;
    EPwm1Regs.DBFED.bit.DBFED = 0; //EPWM6_MIN_DB;

    // Interrupt where we will change the Deadband
    EPwm1Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO; // Select INT on Zero event
    EPwm1Regs.ETSEL.bit.INTEN = 1; // Enable INT
    EPwm1Regs.ETPS.bit.INTPRD = ET_1ST; //ET_3RD // Generate INT on 3rd
event
}

```

```

__interrupt void cpu_timer0_isr(void)
{

    CpuTimer0.InterruptCount++;
    GpioDataRegs.GPATOGGLE.bit.GPIO12 = 1; // LED D09
    GpioDataRegs.GPATOGGLE.bit.GPIO13 = 1; // LED D10

    count++;

    if(count<20){
    EPwm6Regs.CMPA.bit.CMPA = epwm_duty*2;
    EPwm7Regs.CMPA.bit.CMPA = epwm_duty*2;
    EPwm8Regs.CMPA.bit.CMPA = epwm_duty*2;
    }

    if(count>20){
    // Maquina de estados
    switch(ctrl.STATE){
    case 0: // Estagio 0 - Verificação e teste iniciais
        stage0();
        break;
    case 1: // Estagio 1 - Retificador
        stagel();
        break;

```

```
case 2: // Estagio 2 - Inversor - testes iniciais
    stage2();
break;
case 3: // Estagio 3 - Erro, Proteção ou desligamento
default:
    stage3();
    ctrl.ENABLE = 0;
break;
}

MODULATION(&conv);

if((conv.da+conv.d0)<0) conv.da=0;
if((conv.db+conv.d0)<0) conv.db=0;
if((conv.dc+conv.d0)<0) conv.dc=0;

// Atualização das razões cíclicas - Conversor
EPwm6Regs.CMPA.bit.CMPA=(unsigned int) ((conv.da+conv.d0)*5000);
EPwm7Regs.CMPA.bit.CMPA=(unsigned int) ((conv.db+conv.d0)*5000);
EPwm8Regs.CMPA.bit.CMPA=(unsigned int) ((conv.dc+conv.d0)*5000);
}

PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}
```

## ANEXO F – Códigos DLL.

```

/* Replace "dll.h" with the name of your header */
#include "dll.h"
#include <windows.h>
#include <math.h>
#include <stdio.h>
#include "Structs.h" // Changed to local load
#include "Defines.h"

double t; /*!< Time, passed from PSIM by value */
double delt; /*!< Time step, passed from PSIM by value */
double *in; /*!< Input array, passed from PSIM by reference */
double *out; /*!< Output array, sent back to PSIM (Note: the values of
out[*] can be modified in PSIM) */

/** \brief DLL routine funtion.
    * \param t: Time, passed from PSIM by value
    * \param delt: Time step, passed from PSIM by value
    * \param in: Input array, passed from PSIM by reference
    * \return output array, sent back to PSIM (Note: the values of out[*]
can be modified in PSIM)
    *
    * The maximum length of the input and output array "in" and "out" is
30.
    *
    * PSIM calls the DLL routine at each simulation time step. However,
when the inputs of the DLL block are connected to the output of one of
these discrete elements
    * (zero-order hold, unit delay, integrator, differentiator, z-
domain transfer function block, and digital filters),
    * the DLL block is considered as a discrete element. In this case,
the DLL block is called only at the discrete times.
    *
    * The DLL block receives the values from PSIM as the input,
performs the calculation, and sends the output back to PSIM.
    * The node assignments are: the input nodes are on the left, and
the output nodes are on the right. The sequence is from the top to the
bottom.
    *
    */
void sincosf(float x, float *sinx, float *cosx); // Calcula seno e
cosseno de x
void initvars(void);

struct RETIFICADOR conv;
struct CONTROLE ctrl;
struct TRIGONOMETRICO trig;
struct PLL pll;
struct PI Cvz,CizID,CizIQ;
struct ADC_RESULT_REGS AdcaResultRegs; // Resistradores do ADC
struct ADC_RESULT_REGS AdcbResultRegs;

extern void stage0(void);
extern void stage1(void);
extern void stage2(void);

void MODULATION(struct RETIFICADOR *conv);

```

```

__stdcall void simuser (double t, double delt, double *in, double *out)
{
if(t<=delt){
    initvars(); // Inicia valores das variáveis
}

//-----
// Input
//-----

// in[0] -> AD_A0 -> ia
// in[1] -> AD_B0 -> ic
// in[2] -> AD_A1 -> vab
// in[3] -> AD_B1 -> vcb
// in[4] -> AD_A2 -> vccP
// in[5] -> AD_B2 -> vccN

// AdcaResultRegs.ADCRESULT0 = in[0];
// AdcbResultRegs.ADCRESULT0 = in[1];

conv.ia = in[0]*HicaInv;
conv.ic = in[1]*HicaInv;

AdcaResultRegs.ADCRESULT1 = in[2]; // vab
AdcbResultRegs.ADCRESULT1 = in[3]; // vcb

AdcaResultRegs.ADCRESULT2 = in[4]; // VccP
AdcbResultRegs.ADCRESULT2 = in[5]; // VccN

// conv.ia = (AdcaResultRegs.ADCRESULT0-ADCOffset)*GADCinv*HicaInv;
// conv.ic = (AdcbResultRegs.ADCRESULT0-ADCOffset)*GADCinv*HicaInv;
conv.ib = -(conv.ia+conv.ic);

//conv.vab = in[2]*HvcaInv;
//conv.vbc = -in[3]*HvcaInv; // vba-vca

conv.vab = (AdcaResultRegs.ADCRESULT1-ADCOffset)*GADCinv*HvcaInv;
conv.vbc = -(AdcbResultRegs.ADCRESULT1-ADCOffset)*GADCinv*HvcaInv;
conv.vca = -(conv.vab+conv.vbc);

// conv.vdc=(in[4]+in[5])*HvccInv;
conv.vdc=(AdcaResultRegs.ADCRESULT2+AdcaResultRegs.ADCRESULT2)*GADCinv*Hvcc
Inv;

// Maquina de estados
switch(ctrl.STATE){
case 0: // Estagio 0 - Verificação e teste iniciais
    stage0();
break;
case 1: // Estagio 1 - Retificador
    stage1();
break;
case 2: // Estagio 2 - Inversor - testes iniciais
    stage2();
break;
case 3: // Estagio 3 - Erro, Proteção ou desligamento
default:
    // stage3();
    ctrl.ENABLE = 0;
break;
}
}

```



```

}

MODULATION(&conv); // Modulação vetorial

conv.CMPFA=(unsigned int) ((conv.da+conv.d0)*TIMERPWM);
conv.CMPFB=(unsigned int) ((conv.db+conv.d0)*TIMERPWM);
conv.CMPFC=(unsigned int) ((conv.dc+conv.d0)*TIMERPWM);

out[0]=conv.da;
out[1]=conv.db;
out[2]=conv.dc;

out[3]=conv.vdc; // Simulação por valores médios
out[4]=conv.d0;
out[5]=ctrl.ENABLE;

}

// Retorna seno e cosseno de x
void sincosf(float x, float *sinx, float *cosx)
{
*sinx=sin(x);
*cosx=cos(x);
return;
}

// Inicialização de variáveis
void initvars(void){
Cvz.e0 = 0; // Erro atual
Cvz.u0= 0; // Calcula saída atual
Cvz.ul= 0; // Atualiza saída anterior
Cvz.el= 0; // Atualiza erro anterior

CizID.e0 = 0; // Erro atual
CizID.u0=0; // Calcula saída atual
CizID.ul=0; // Atualiza saída anterior
CizID.el=0; // Atualiza erro anterior

CizIQ.e0 =0; // Erro atual
CizIQ.u0= 0; // Calcula saída atual
CizIQ.ul=0; // Atualiza saída anterior
CizIQ.el=0; // Atualiza erro anterior

ctrl.STATE =0;
ctrl.ENABLE = 0;
return;
}

//RETIFICADOR conv
void MODULATION(struct RETIFICADOR *conv)
{
float min, max;

if((conv->da > conv->db) && (conv->da > conv->dc) ) max=conv->da;
else if((conv->db > conv->da) && (conv->db > conv->dc) ) max=conv->db;
else max=conv->dc;

if((conv->da < conv->db) && (conv->da < conv->dc) ) min=conv->da;

```

```

else if((conv->db < conv->da) && (conv->db < conv->dc) ) min=conv->db;
else min=conv->dc;

    conv->d0=(-0.5*(max+min-1.0));

    return;
}

```

```

// Estagio 1

#include "dll.h"
#include <windows.h>
#include <math.h>
#include <stdio.h>

#include "Structs.h" // Changed to local load
#include "Defines.h"

extern double t, delt;
extern double *in, *out;

extern void sincosf(float x, float *sinx, float *cosx); // Calcula seno e
cosseno de x
extern void initvars(void);

extern struct RETIFICADOR conv;
extern struct CONTROLE ctrl;
extern struct TRIGONOMETRICO trig;
extern struct PLL pll;
extern struct PI Cvz,CizID,CizIQ;

void stage1(void){

//*****//
// PLL para pré-sincronização
//*****//

    pll.valfa = (2*conv.vab+conv.vbc)/3;
    // pll.vbeta = sqrt(3)*conv.vbc/3;
    pll.vbeta = cte1*conv.vbc;

//-----/
// Potência Trifásica virtual
//-----/
    pll.e0 = (pll.vbeta * pll.ialfa) + (pll.valfa * pll.ibeta);
//-----/
// Controlador PI + INT
//-----/
    pll.w+=pll.e0*B0_PLL+pll.e1*B1_PLL;
    pll.e1=pll.e0;
    pll.wt+=pll.w*TS_PLL;
    if(pll.wt>PIX1) pll.wt=pll.wt-PIX2;
    sincosf(pll.wt,&(pll.ialfa),&(pll.ibeta));

    trig.w=pll.w;
    trig.wt=pll.wt;

//*****//
// Geração dos sinais de referência Nominal
//*****//

```

```

    sincosf(trig.wt, &(trig.senoA), &(trig.coseA));

    conv.id =
    (trig.senoA+trig.coseA*cte1)*conv.ia+cte2*trig.coseA*conv.ic;
    conv.iq = (trig.coseA-trig.senoA*cte1)*conv.ia-
    cte2*trig.senoA*conv.ic;

// Controle de tensão
conv.VccRef = 400; //
Cvz.e0 = conv.VccRef-conv.vdc; // Erro atual
Cvz.u0= (Cvz.e0*Cvb0z+Cvz.e1*Cvblz+Cvz.ul); // Calcula saída atual
Cvz.ul=Cvz.u0; // Atualiza saída anterior
Cvz.e1=Cvz.e0; // Atualiza erro anterior

// Controle de corrente id
conv.idref = Cvz.u0; // Corrente de referência
CizID.e0 = conv.idref-conv.id; // Erro atual
CizID.u0= (CizID.e0*Cib0z+CizID.e1*Cib1z+CizID.ul); // Calcula saída
atual
CizID.ul=CizID.u0; // Atualiza saída anterior
CizID.e1=CizID.e0; // Atualiza erro anterior

// Controle de corrente iq

conv.iqref = 0; // Corrente de referência
CizIQ.e0 = conv.iqref-conv.iq; // Erro atual
CizIQ.u0= (CizIQ.e0*Cib0z+CizIQ.e1*Cib1z+CizIQ.ul); // Calcula saída
atual
CizIQ.ul=CizIQ.u0; // Atualiza saída anterior
CizIQ.e1=CizIQ.e0; // Atualiza erro anterior

// Desacoplamento
conv.dd = CizID.u0 + kdq*conv.iq;
conv.dq = CizIQ.u0 - kdq*conv.id;

// Modulação
conv.da = trig.senoA*conv.dd + trig.coseA*conv.dq;
conv.db = -(cte3*trig.coseA + trig.senoA*0.5)*conv.dd + (-
trig.coseA*0.5 + cte3*trig.senoA)*conv.dq;
conv.dc = (cte3*trig.coseA - trig.senoA*0.5)*conv.dd - (trig.coseA*0.5
+ cte3*trig.senoA)*conv.dq;

    ctrl.ENABLE = 1;
    return;
}

```