

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

TIAGO DEQUIGIOVANI

CONVERSOR CC-CA UTILIZANDO CÉLULA ZVT

DISSERTAÇÃO

PATO BRANCO

2014

TIAGO DEQUIGIOVANI

CONVERTOR CC-CA UTILIZANDO CÉLULA ZVT

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Tecnológica Federal do Paraná como requisito parcial para obtenção do título de “Mestre em Engenharia Elétrica” – Área de Concentração: Sistemas e Processamento de Energia.

Orientador: Prof. Dr. Carlos Marcelo de Oliveira Stein

PATO BRANCO

2014

D426c Dequigiovani, Tiago.
Conversor CC-CA utilizando célula ZVT / Tiago Dequigiovani. -- Pato Branco: UTFPR, 2014.
102 f. : il. ; 30 cm.

Orientador: Prof. Dr. Carlos Marcelo de Oliveira Stein
Dissertação (Mestrado) - Universidade Tecnológica Federal do Paraná.
Programa de Pós-Graduação em Engenharia Elétrica. Pato Branco, PR, 2014.

Bibliografia: f. 99-102.

1. *Snubber* ativo. 2. Conversor CC-CA. 3. Comutação suave. 4. Transição em zero de tensão. I. Stein, Carlos Marcelo de Oliveira, orient. II. Universidade Tecnológica Federal do Paraná. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

CDD 22. ed. 621.3

Ficha Catalográfica elaborada por
Suélem Belmudes Cardoso CRB9/1630
Biblioteca da UTFPR Campus Pato Branco



Ministério da Educação
Universidade Tecnológica Federal do Paraná
Câmpus Pato Branco
Diretoria de Pesquisa e Pós-Graduação
Programa de Pós-Graduação em Engenharia Elétrica



TERMO DE APROVAÇÃO

Título da Dissertação n° 027

Conversor CC-CA utilizando célula ZVT

por

Tiago Dequigiovani

Dissertação apresentada às oito horas do dia vinte e seis de abril de dois mil e quatorze, como requisito parcial para obtenção do título de MESTRE EM ENGENHARIA ELÉTRICA, Linha de Pesquisa: Processamento de Energia. Programa de Pós-Graduação em Engenharia Elétrica (Área de Concentração: Sistemas e Processamento de Energia), Universidade Tecnológica Federal do Paraná, Câmpus Pato Branco. O candidato foi arguido pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho APROVADO.

Banca examinadora:

Prof. Dr. Jumar Luís Russi
UNIPAMPA – Campus Alegrete

Prof. Dr. Jean Patric da Costa
UTFPR - PB

Prof. Dr. Emerson Giovani Carati
Coordenador do PPGEE

**Prof. Dr. Carlos Marcelo de Oliveira
Stein**
UTFPR – PB (Orientador)

*O Termo de Aprovação assinado encontra-se na coordenação do PPGEE.

À minha esposa Cris e
ao nosso filho Pietro.

AGRADECIMENTOS

À Universidade Tecnológica Federal do Paraná pela oportunidade e suporte ao curso de mestrado.

À direção do Instituto Federal Catarinense por viabilizar esta dedicação ao mestrado, e aos colegas professores deste IFC pela colaboração e companheirismo sempre que foi necessário.

Ao professor Carlos Marcelo de Oliveira Stein pela orientação no decurso do trabalho e pela contribuição com seus conhecimentos e experiências fundamentais.

Aos professores membros da banca pela participação e pontuais contribuições para a melhoria deste trabalho.

Agradeço à minha esposa Cristiane Eing Dequigiovani, pelo apoio incondicional, amor e compreensão nos momentos de dedicação única aos estudos.

À minha mãe Teresinha Sponchiado Dequigiovani, ao Sérgio Eing e à Lucila Eing, que muito me apoiaram para que eu concluísse este trabalho.

E por fim, agradeço à Deus, pela proteção constante nas inúmeras viagens necessárias até a conclusão deste mestrado.

RESUMO

DEQUIGIOVANI, Tiago. CONVERSOR CC-CA UTILIZANDO CÉLULA ZVT. 102 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Pato Branco, 2014.

Este trabalho trata sobre a utilização de técnicas de comutação suave aplicadas à conversores estáticos de potência. A técnica analisada em particular consiste em proporcionar comutação em zero de tensão aos interruptores controlados, sendo referenciada na literatura como *Zero Voltage Switching (ZVS)*. Dentre as diversas topologias de circuitos que implementam a técnica ZVS, neste trabalho é utilizada uma célula de comutação *Zero Voltage Transition (ZVT)*, no qual utiliza interruptores controlados e elementos em paralelo com o circuito principal. O foco do trabalho é a aplicação desta célula ZVT a um conversor CC-CA PWM monofásico com saída senoidal. Nesse sentido inicialmente é feita uma revisão das topologias básicas dos inversores, e das técnicas PWM utilizadas para obtenção de saída senoidal. São apresentados os circuitos ZVT convencional e aprimorado descritos na literatura, no qual o ZVT aprimorado é empregado ao conversor CC-CA ponte completa. São apresentadas as etapas de funcionamento e análise matemática. É descrita uma metodologia de projeto para a determinação dos componentes do circuito auxiliar, com base em restrições definidas para o correto funcionamento da célula e das características dos semicondutores utilizados como chave. Um protótipo do conversor é implementado em laboratório para a validação do projeto, verificação das formas de onda nos interruptores e análise do rendimento. Outros dois circuitos de auxílio à comutação são implementados para efeitos de comparação, sendo o circuito ZVT convencional e o dissipativo *snubber* de Undeland. Os resultados experimentais comprovam a obtenção da comutação suave nos interruptores e o conversor apresentou rendimento de no mínimo 1% superior ao ZVT convencional e 2% ao *snubber* de Undeland, valores estes para toda a faixa de carga.

Palavras-chave: *Snubber* ativo, Conversor CC-CA, comutação suave, transição em zero de tensão.

ABSTRACT

DEQUIGIOVANI, Tiago. DC-AC CONVERTER USING ZVT CELL. 102 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Pato Branco, 2014.

This paper discusses above the application of soft-switching techniques to static power converters. The technique discussed in particular consists in provide zero voltage switching (ZVS) to controlled switches. Among the various circuit topologies to implement the ZVS technique, in this work is used a cell Zero-Voltage Transition (ZVT), in which uses controlled switches and elements in parallel with the main circuit. The main objective of the work is the application of this cell ZVT to a single-phase PWM inverter with sinusoidal output. In this sense initially is made a review of the basic topologies of inverters, and of the PWM techniques used to obtain sinusoidal output. Are presented the circuits ZVT conventional and improved described in the literature, in which the improved ZVT is employed on DC-AC full bridge converter. Steps of operation and mathematical analysis are presented. A design methodology is described for the determination of the components of the auxiliary circuit, based on constraints set for the correct functioning of the cell and of the characteristics of semiconductor. A prototype of the converter is implemented in the laboratory for the validation of the project, verification of waveforms the switches and analysis of efficiency. This converter is compared with other two circuits, ZVT conventional and the Undeland snubber. Experimental results show the achievement of soft switching the switches and the converter presenting an efficiency of at least 1% over for the ZVT conventional and 2% to the undeland snubber, these values for all load range.

Keywords: Active snubber cells, DC-AC converters, sof-switching, zero voltage transition.

LISTA DE FIGURAS

| | | |
|-----------|--|----|
| FIGURA 1 | – Conversores CC-CA monofásicos | 20 |
| FIGURA 2 | – Geração de PWM senoidal. | 23 |
| FIGURA 3 | – Formas de onda referente ao PWM bipolar | 24 |
| FIGURA 4 | – Etapas de operação do inversor com PWM bipolar | 25 |
| FIGURA 5 | – V_{AB} e I_o em inversor com PWM bipolar no semiciclo positivo | 26 |
| FIGURA 6 | – Formas de onda referente ao PWM unipolar | 27 |
| FIGURA 7 | – Etapas de operação do inversor com PWM unipolar no semiciclo positivo | 27 |
| FIGURA 8 | – V_{AB} e I_o em inversor com PWM unipolar no semiciclo positivo | 28 |
| FIGURA 9 | – Formas de onda referente ao PWM com senóide retificada | 29 |
| FIGURA 10 | – Etapas de operação do inversor com PWM unipolar com senóide retificada | 30 |
| FIGURA 11 | – V_{AB} e I_o em inversor com PWM unipolar com senóide retificada no semiciclo positivo | 30 |
| FIGURA 12 | – Corrente e tensão sobre o interruptor durante comutação dissipativa | 34 |
| FIGURA 13 | – Comutação ZCS | 35 |
| FIGURA 14 | – Comutação ZVS | 35 |
| FIGURA 15 | – Conversor <i>buck</i> ZCT PWM | 36 |
| FIGURA 16 | – Comutações no interruptor auxiliar e principal ZCT PWM | 37 |
| FIGURA 17 | – Comando no interruptor auxiliar e principal ZCT PWM melhorado | 38 |
| FIGURA 18 | – Conversor <i>buck</i> ZCT PWM melhorado | 39 |
| FIGURA 19 | – Comutações nos interruptores auxiliar e principal - <i>buck</i> ZCT PWM melhorado | 39 |
| FIGURA 20 | – Circuito auxiliar conectado ao pólo PWM | 42 |
| FIGURA 21 | – Pólo PWM simplificado para operação CC-CC | 46 |
| FIGURA 22 | – Conversor PWM ZVT Convencional | 46 |
| FIGURA 23 | – Comutações dos interruptores com ZVT Convencional | 47 |
| FIGURA 24 | – Conversor PWM ZVT Aprimorado | 48 |
| FIGURA 25 | – Comutações dos interruptores com ZVT Aprimorado | 49 |
| FIGURA 26 | – Conversor Ponte Completa ZVT PWM | 50 |
| FIGURA 27 | – Sinais de comando dos interruptores principais e auxiliares | 51 |
| FIGURA 28 | – Circuito equivalente para o semiciclo positivo | 52 |
| FIGURA 29 | – Estágio 1 diodo-chave | 52 |
| FIGURA 30 | – Formas de onda teóricas para comutação diodo-chave | 53 |
| FIGURA 31 | – Estágio 2 diodo-chave | 54 |
| FIGURA 32 | – Estágio 3 diodo-chave | 55 |
| FIGURA 33 | – Estágio 4 diodo-chave | 55 |
| FIGURA 34 | – Estágio 5 diodo-chave | 56 |
| FIGURA 35 | – Estágio 6 diodo-chave | 57 |
| FIGURA 36 | – Estágio 7 chave-diodo | 57 |
| FIGURA 37 | – Estágio 8 chave-diodo | 58 |
| FIGURA 38 | – Formas de onda teóricas para comutação chave-diodo | 58 |
| FIGURA 39 | – Estágio 9 chave-diodo | 59 |
| FIGURA 40 | – Gráfico para projeto de L_r | 68 |

| | | |
|-----------|---|----|
| FIGURA 41 | – Gráfico para projeto de C_b | 69 |
| FIGURA 42 | – Análise para escolha do valor de C_b | 70 |
| FIGURA 43 | – Operação do circuito auxiliar em função de i_o | 71 |
| FIGURA 44 | – Geração de comando dos interruptores de baixa frequência | 73 |
| FIGURA 45 | – Sinais de comando obtidos por simulação | 74 |
| FIGURA 46 | – Simulação do funcionamento do inversor | 74 |
| FIGURA 47 | – Detalhe do funcionamento do inversor em um período de chaveamento ... | 75 |
| FIGURA 48 | – Detalhe da transição de entrada e bloqueio durante semiciclo positivo | 75 |
| FIGURA 49 | – Diagrama de blocos do protótipo implementado | 76 |
| FIGURA 50 | – Circuito implementado com o ZVT Aprimorado | 77 |
| FIGURA 51 | – Tensão e corrente na saída | 78 |
| FIGURA 52 | – Tensão de saída e corrente nas chaves principais | 78 |
| FIGURA 53 | – Corrente nas chaves principais e indutores auxiliares | 79 |
| FIGURA 54 | – Funcionamento do circuito auxiliar na frequência de saída | 80 |
| FIGURA 55 | – Comando e corrente nos interruptores - ZVT Aprimorado | 80 |
| FIGURA 56 | – Formas de onda nos elementos auxiliares | 81 |
| FIGURA 57 | – Detalhe das formas de onda nos elementos auxiliares | 81 |
| FIGURA 58 | – Formas de onda na chave principal - ZVT Aprimorado | 82 |
| FIGURA 59 | – <i>turn-on</i> da chave principal - ZVT Aprimorado | 83 |
| FIGURA 60 | – <i>turn-off</i> da chave principal - ZVT Aprimorado | 83 |
| FIGURA 61 | – Perdas na chave principal - ZVT Aprimorado | 84 |
| FIGURA 62 | – Formas de onda das perdas na chave principal em um semiciclo da saída . | 84 |
| FIGURA 63 | – Detalhe da passagem da comutação <i>hard</i> para suave | 85 |
| FIGURA 64 | – Comutação da chave principal com baixa corrente de saída | 85 |
| FIGURA 65 | – Formas de onda na chave auxiliar - ZVT Aprimorado | 86 |
| FIGURA 66 | – <i>turn-on</i> e <i>turn-off</i> da chave auxiliar - ZVT Aprimorado | 87 |
| FIGURA 67 | – Circuito implementado com o ZVT Convencional | 87 |
| FIGURA 68 | – Comando e corrente nos interruptores - ZVT Convencional | 88 |
| FIGURA 69 | – Formas de onda na chave principal - ZVT Convencional | 89 |
| FIGURA 70 | – <i>turn-on</i> da chave principal - ZVT Convencional | 89 |
| FIGURA 71 | – <i>turn-off</i> da chave principal - ZVT Convencional | 90 |
| FIGURA 72 | – <i>turn-on</i> e <i>turn-off</i> da chave auxiliar - ZVT Convencional | 90 |
| FIGURA 73 | – Circuito implementado com o <i>Snubber</i> de Undeland | 91 |
| FIGURA 74 | – Formas de onda na chave principal - <i>Snubber</i> de Undeland | 92 |
| FIGURA 75 | – <i>turn-on</i> da chave principal - <i>Snubber</i> de Undeland | 92 |
| FIGURA 76 | – <i>turn-off</i> da chave principal - <i>Snubber</i> de Undeland | 93 |
| FIGURA 77 | – Comutação da chave e diodo - <i>Snubber</i> de Undeland | 93 |
| FIGURA 78 | – Análise da Distorção Harmônica Total | 94 |
| FIGURA 79 | – Comparativo de rendimento | 95 |

LISTA DE TABELAS

| | | |
|----------|--|----|
| TABELA 1 | – Características das topologias básicas de inversores | 22 |
| TABELA 2 | – Especificações do Protótipo | 66 |
| TABELA 3 | – Características dos semicondutores utilizados | 67 |
| TABELA 4 | – Resultados do projeto do circuito auxiliar | 71 |
| TABELA 5 | – Componentes ZVT Aprimorado | 77 |
| TABELA 6 | – Componentes ZVT Convencional | 88 |
| TABELA 7 | – Componentes <i>Snubber</i> de Undeland | 91 |

LISTA DE SIGLAS E ABREVIATURAS

| | |
|---------|--|
| ARCP | Conversor com Pólo Comutado Ressonante Auxiliar |
| ARDPI | Conversor com Pólo de Diodos Ressonante Auxiliar |
| ARPI | Inversor com Pólo Ressonante Auxiliar |
| BJT | <i>Bipolar Junction Transistor</i> - Transistor Bipolar de Junção |
| CA | Corrente Alternada |
| CC | Corrente Contínua |
| di/dt | taxa de variação da corrente |
| DSP | <i>Digital Signal Processors</i> - Processador Digital de Sinal |
| dv/dt | taxa de variação da tensão |
| EMI | <i>Electromagnetic Interference</i> - Interferência Eletromagnética |
| IGBT | <i>Insulated Gate Bipolar Transistor</i> - Transistor Bipolar de Porta Isolada |
| MOSFET | <i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> - Transistor de Efeito de Campo de Semicondutor de Óxido Metálico |
| PWM | <i>Pulse Width Modulation</i> - Modulação por largura de pulso |
| RPI | Conversor com Pólo Comutado Ressonante |
| THD | <i>Total Harmonic Distortion</i> - Distorção Harmônica Total |
| ZCS | <i>Zero Current Switching</i> - Comutação em Zero de Corrente |
| ZCT | <i>Zero Current Transition</i> - Transição em Zero de Corrente |
| ZVS | <i>Zero Voltage Switching</i> - Comutação em Zero de Tensão |
| ZVT | <i>Zero Voltage Transition</i> - Transição em Zero de Tensão |

LISTA DE SÍMBOLOS

| Símbolo | Definição | Unidade |
|----------------|--|----------------|
| a | Relação de transformação | [-] |
| C | Capacitor | [F] |
| C_b | Capacitor auxiliar <i>snubber</i> | [F] |
| $C_{b,a,b,c}$ | Restrições para projeto do capacitor C_b | [F] |
| C_{b_i} | Capacitor auxiliar i | [F] |
| C_f | Capacitor do filtro de saída | [F] |
| C_{oes} | Capacitância intrínseca de saída do IGBT | [F] |
| C_r | Capacitor auxiliar ressonante | [F] |
| C_{r_a} | Restrição para projeto do capacitor C_r | [F] |
| D_{i1} | Diodo i do circuito auxiliar 1 | [-] |
| D_{i2} | Diodo i do circuito auxiliar 2 | [-] |
| D | Diodo | [-] |
| D_i | Diodo i | [-] |
| D_{PWM} | Razão cíclica do sinal PWM | [-] |
| D_{S_i} | Diodo antiparalelo da chave S_i | [-] |
| $D_{S(max)}$ | Razão cíclica máxima da chave principal | [-] |
| $D_{S(min)}$ | Razão cíclica mínima da chave principal | [-] |
| D_{S_x} | Razão cíclica da chave auxiliar | [-] |
| E | Tensão de entrada CC | [V] |
| f_c | Frequência de corte do filtro | [Hz] |
| f_o | Frequência da tensão de saída | [Hz] |
| f_s | Frequência de chaveamento | [Hz] |
| i_{C_r} | Corrente no capacitor C_r | [A] |
| i_D | Corrente no diodo D | [A] |
| i_{L_r} | Corrente no indutor auxiliar | [A] |
| $I_{L_r(max)}$ | Corrente máxima no indutor auxiliar | [A] |
| I_o | Corrente eficaz na carga | [A] |
| i_o | Corrente instantânea na carga | [A] |
| I_{o_p} | Corrente de pico com carga nominal | [A] |
| i_{S_i} | Corrente na chave principal i | [A] |
| i_{S_x} | Corrente na chave auxiliar S_x | [A] |
| L_f | Indutor do filtro de saída | [H] |
| L_r | Indutor auxiliar ressonante | [H] |

| | | |
|-----------------|--|--------------|
| $L_{r_{a,b,c}}$ | Restrições para projeto do indutor L_r | [H] |
| L_{r_i} | Indutor auxiliar i | [H] |
| k_i | Constante i de projeto | [-] |
| m_a | Índice de modulação de amplitude | [-] |
| m_f | Índice de modulação de frequência | [-] |
| P_o | Potência na carga | [W] |
| R_o | Resistência de carga | [Ω] |
| S | Chave principal | [-] |
| S_i | Chave principal i e Sinal de comando da chave S_i | [-] |
| S_x | Chave auxiliar | [-] |
| S_{x_i} | Chave auxiliar i e Sinal de comando da chave S_{x_i} | [-] |
| t_{fi} | <i>fall time</i> i | [s] |
| t_i | Instante de tempo i | [s] |
| $t_{on(max)}$ | Tempo máximo de condução da chave principal | [s] |
| $t_{on(min)}$ | Tempo mínimo de condução da chave principal | [s] |
| T_s | Período de chaveamento | [s] |
| t_{S_x} | Tempo de condução da chave auxiliar | [s] |
| t_{zvt} | Tempo total de operação do circuito auxiliar | [s] |
| V_{AB} | Tensão entre os terminais A e B | [V] |
| v_{C_b} | Tensão sobre o capacitor C_b | [V] |
| v_{C_r} | Tensão sobre o capacitor C_r | [V] |
| V_o | Tensão eficaz na carga | [V] |
| v_o | Tensão instantânea na carga | [V] |
| V_{op} | Tensão de pico na carga | [V] |
| v_{ref} | Forma de onda moduladora | [V] |
| v_s | Tensão sobre a chave principal S | [V] |
| v_{s_x} | Tensão sobre a chave auxiliar S_x | [V] |
| v_{tri} | Forma de onda portadora | [V] |
| \hat{v}_{ref} | Valor de pico da onda moduladora | [V] |
| \hat{v}_{tri} | Valor de pico da onda portadora | [V] |
| W_{C_b} | Energia armazenada no capacitor C_b | [J] |
| $W_{L_r(max)}$ | Máximo valor de energia armazenada no indutor L_r | [J] |
| Z_i | Impedância i do circuito auxiliar | [Ω] |
| Δt_i | Tempo de duração do estágio i | [s] |
| ω_i | Frequência angular de ressonância i | [rad/s] |
| ω | Frequência angular de saída | [rad/s] |

SUMÁRIO

| | | |
|----------|--|-----------|
| 1 | INTRODUÇÃO | 16 |
| 1.1 | PROPOSTA | 17 |
| 1.2 | OBJETIVOS | 18 |
| 1.3 | ORGANIZAÇÃO DA DISSERTAÇÃO | 18 |
| 2 | CONVERSORES CC-CA PWM | 20 |
| 2.1 | INTRODUÇÃO | 20 |
| 2.2 | ESTRATÉGIAS PWM | 22 |
| 2.2.1 | Inversor Ponte Completa com PWM Bipolar | 24 |
| 2.2.2 | Inversor Ponte Completa com PWM Unipolar | 26 |
| 2.2.3 | PWM Senoidal Unipolar com Senóide Retificada | 29 |
| 2.3 | FILTRO DE SAÍDA | 31 |
| 2.4 | CONCLUSÕES | 31 |
| 3 | CIRCUITOS PARA COMUTAÇÃO SUAVE | 33 |
| 3.1 | CARACTERÍSTICAS DE CHAVEAMENTO DOS SEMICONDUTORES | 33 |
| 3.2 | COMUTAÇÃO EM ZERO DE CORRENTE | 35 |
| 3.3 | COMUTAÇÃO EM ZERO DE TENSÃO | 41 |
| 3.3.1 | Técnicas aplicadas ao pólo inversor | 41 |
| 3.3.1.1 | Análise de Técnicas ZVT | 45 |
| 3.4 | CONCLUSÕES | 49 |
| 4 | CONVERSOR CC-CA ZVT PWM | 50 |
| 4.1 | ETAPAS DE COMUTAÇÃO DIODO-CHAVE | 52 |
| 4.2 | ETAPAS DE COMUTAÇÃO CHAVE-DIODO | 57 |
| 4.3 | RESTRICÇÕES PARA O PROJETO DO CIRCUITO AUXILIAR | 59 |
| 4.3.1 | Restrição 1: Limitação da di/dt no diodo | 59 |
| 4.3.2 | Restrição 2: Corrente máxima no indutor ressonante | 60 |
| 4.3.3 | Restrição 3: Tempo de condução do interruptor auxiliar | 60 |
| 4.3.4 | Restrição 4: Limitações na razão cíclica | 61 |
| 4.3.5 | Restrição 5: Limitação da dv/dt nos interruptores | 62 |
| 4.3.6 | Restrição 6: Tempo de bloqueio dos interruptores | 62 |
| 4.4 | METODOLOGIA DE PROJETO PARA O CIRCUITO AUXILIAR | 63 |
| 4.4.1 | Região de validade de L_r e C_r | 64 |
| 4.4.2 | Definição do valor do Capacitor C_b | 65 |
| 4.5 | CONCLUSÕES | 65 |
| 5 | IMPLEMENTAÇÃO E RESULTADOS EXPERIMENTAIS | 66 |
| 5.1 | PROJETO DOS COMPONENTES | 66 |
| 5.1.1 | Interruptores principais e auxiliares | 66 |
| 5.1.2 | Circuito Auxiliar | 67 |
| 5.1.2.1 | Indutor L_r e Capacitor C_r | 67 |
| 5.1.2.2 | Capacitor C_b | 69 |
| 5.1.2.3 | Análise e resumo do projeto | 70 |
| 5.2 | CONSIDERAÇÕES SOBRE A LÓGICA DE COMANDO | 72 |

| | | |
|----------|--|-----------|
| 5.3 | RESULTADOS DE SIMULAÇÃO | 73 |
| 5.4 | RESULTADOS EXPERIMENTAIS | 75 |
| 5.4.1 | ZVT Aprimorado | 77 |
| 5.4.1.1 | Operação do Inversor | 78 |
| 5.4.1.2 | Funcionamento do Circuito Auxiliar | 79 |
| 5.4.1.3 | Comutações na Chave Principal | 82 |
| 5.4.1.4 | Comutações na Chave Auxiliar | 86 |
| 5.4.2 | ZVT Convencional | 87 |
| 5.4.3 | <i>Snubber</i> de Undeland | 91 |
| 5.5 | DISTORÇÃO HARMÔNICA E CURVAS DE RENDIMENTO | 94 |
| 5.6 | CONCLUSÕES | 96 |
| 6 | CONCLUSÃO | 97 |
| 6.1 | SUGESTÃO PARA TRABALHOS FUTUROS | 98 |
| | REFERÊNCIAS | 99 |

1 INTRODUÇÃO

A utilização de dispositivos semicondutores em conversores estáticos de potência como o transistor bipolar e MOSFETs, apresentam baixa eficiência quando operando na região linear, principalmente com a elevação da potência envolvida. Como exemplo, um regulador de tensão implementado com um transistor bipolar que trabalha na região ativa pode proporcionar apenas uma eficiência de 30 a 40%, devido à queda de tensão coletor-emissor. Por outro lado, este mesmo dispositivo operando como interruptor, ou seja, alternando entre as regiões de corte e de saturação, permite operar com eficiência de 80 a 99%, dependendo da topologia do conversor, frequência de operação e número de elementos passivos/ativos utilizados (NEACSU, 2006).

Os níveis de potência envolvidos em conversores chaveados estão na faixa de dezenas de watts como em conversores CC-CC utilizados em equipamentos portáteis alimentados com bateria, de quilowatts até megawatts quando aplicados em controle de motores e próximo de 1000 megawatts em retificadores e inversores para linhas de transmissão em corrente contínua alimentando sistemas em corrente alternada (ERICKSON; MAKSIMOVIC, 2004).

Diante da crescente necessidade pela melhoria da eficiência no processamento de energia elétrica, os conversores são projetados para operar com alta frequência de chaveamento dos interruptores. Isso apresenta como vantagem o aumento na densidade de potência do circuito, redução de volume, peso e possivelmente de custo, além da simplicidade no controle e rápida resposta dinâmica (NOVAES, 2000). Valores desejáveis de frequência de chaveamento estão acima de 20 kHz para evitar a faixa audível pelo ouvido humano; no entanto, segundo informações de *datasheet*, os dispositivos semicondutores discretos podem operar acima de 200 kHz em modo ressonante (MOHAN et al., 1989).

A elevação da frequência de chaveamento é limitada pelo aumento proporcional das perdas nas comutações, pelas derivadas de tensão (dv/dt) e corrente (di/dt) e pelos esforços nos semicondutores. Esses fatores contribuem para a redução na eficiência, geração de EMI (Interferência Eletromagnética) (BELLAR et al., 1998) e superdimensionamento de componentes.

Para minimizar os problemas citados e contribuir para o aumento da eficiência dos conversores PWM, técnicas de comutação suave têm sido empregadas como substituição de comutações dissipativas. Estas técnicas de auxílio à comutação consistem na redução da sobreposição das formas de onda da tensão e corrente sobre o dispositivo, nos instantes de transição, entrada ou bloqueio. Dessa forma é obtida redução da potência dissipada no interruptor, permitindo aos mesmos operar com frequências elevadas (dezenas ou centenas de quilohertz). Adicionalmente são reduzidas as dv/dt e di/dt e os problemas relacionados à EMI também são minimizados (BELTRAME, 2009).

Entretanto, com a utilização dos circuitos para comutação suave os conversores têm seu volume e custo elevados, e a redução da confiabilidade devido ao aumento do número de semicondutores controlados. Dessa forma, diversas pesquisas buscam reduzir o número de componentes da célula de comutação suave, com o objetivo de torná-las mais atrativas à aplicação industrial. No entanto, podem haver conversores com um número maior de elementos no circuito auxiliar e por exemplo, apresentarem maior rendimento. Assim, faz-se muito útil a comparação de desempenho entre circuitos na busca pelo equilíbrio entre o volume/custo adicionado e os benefícios obtidos, analisando o rendimento, condições de comutação dos interruptores, distorção harmônica da tensão de saída e a geração de EMI.

1.1 PROPOSTA

Este trabalho apresenta a aplicação de uma célula de comutação suave com transição em zero de tensão (ZVT) em um conversor de tensão CC-CA monofásico com operação PWM e saída senoidal.

A estrutura realiza comutação ZVS na entrada e no bloqueio do interruptor principal. No interruptor auxiliar a comutação ocorre sob ZCS na entrada e ZVS no bloqueio. Também, o diodo principal tem comutação ZVS na entrada e ZCS no bloqueio.

Um procedimento de projeto para o circuito auxiliar à comutação é apresentado, com foco na redução das perdas nestes componentes adicionais, sem deixar de proporcionar comutação suave para os interruptores da topologia original. Este equilíbrio é necessário uma vez que o circuito auxiliar adicionado também possui perdas de condução e comutação. Para obter melhor rendimento do conversor, obrigatoriamente as perdas totais (do circuito auxiliar mais do circuito principal) devem ser menores do que as perdas do conversor original com comutação dissipativa.

A aplicação do conversor com comutação suave também é justificada devido à redução de interferência eletromagnética que proporciona. Quando o objetivo é a diminuição dos esforços de corrente e/ou tensão e da interferência eletromagnética, a técnica de comutação suave pode ser empregada mesmo que não ocorra um aumento significativo no rendimento.

O circuito para auxílio à comutação proposto é aplicado a um conversor em ponte completa, o que possibilita a comparação com outros circuitos auxiliares apresentados na literatura. É apresentada a comparação com um circuito constituído por componentes passivos, oferecendo comutação dissipativa, e outro com componentes ativos.

Resultados de simulação do conversor proposto são apresentados para a validação do projeto e verificação do funcionamento do circuito auxiliar. A implementação do protótipo é efetuada de forma modular, permitindo a substituição de um circuito auxiliar por outro, mantendo o mesmo circuito de potência do conversor ponte completa, para obter condições válidas de comparação. São apresentados os resultados experimentais para as topologias, analisando as condições de comutação nos interruptores, além de efetuar o levantamento das curvas de rendimento para diferentes níveis de potência de saída.

1.2 OBJETIVOS

Este trabalho tem como objetivo propor a aplicação de um circuito ZVT para a comutação suave em um conversor CC-CA PWM, monofásico e com saída senoidal.

De forma a alcançar o objetivo final, alguns objetivos específicos podem ser citados:

- Analisar circuitos ZVT para a aplicação em conversores CC-CA;
- Determinar um procedimento de projeto para o conversor;
- Implementar o conversor em laboratório para obter resultados experimentais;
- Implementar o conversor CC-CA com outros circuitos de auxílio à comutação;
- Comparar e analisar os circuitos.

1.3 ORGANIZAÇÃO DA DISSERTAÇÃO

Esta dissertação apresenta-se dividida em seis capítulos. Neste primeiro capítulo é feita uma introdução ao tema relativo à área em que este trabalho está inserido, também descrevendo a proposta e os objetivos que se deseja alcançar.

O Capítulo 2 apresenta as configurações básicas de conversores CC-CA, bem como as estratégias PWM que podem ser empregadas em cada topologia. Também neste capítulo é definida a técnica PWM adotada para o conversor em análise.

No Capítulo 3 é feita uma descrição da evolução das técnicas de auxílio à comutação. São analisados em particular os circuitos ZCT e ZVT. Neste capítulo é definido o circuito ZVT empregado ao conversor CC-CA proposto.

No Capítulo 4 a topologia do conversor proposto é analisada, as etapas de operação são descritas e obtidas equações matemáticas equivalentes a cada estágio. Com base no funcionamento do circuito auxiliar são apresentadas restrições de operação que são consideradas para a elaboração de uma metodologia de projeto dos componentes.

No Capítulo 5 são apresentados os resultados de simulação e experimentais. Os componentes são projetados com base na metodologia proposta e especificações do conversor, também são abordadas as características particulares de implementação do protótipo. As formas de onda experimentais são apresentadas para a verificação do funcionamento e também são discutidas as curvas de rendimento do conversor comparando outros dois circuitos auxiliares à comutação.

No Capítulo 6 é feita a análise dos resultados obtidos, são apresentadas as conclusões e consideração finais e também as sugestões para trabalhos futuros.

2 CONVERSORES CC-CA PWM

2.1 INTRODUÇÃO

O Conversor CC-CA é comumente denominado na literatura e principalmente no setor industrial como Inversor de Tensão, tendo portanto o mesmo significado. A função básica de um inversor é, a partir de uma fonte contínua (de tensão ou corrente) aplicada à sua entrada, transformá-la em uma forma de onda alternada, simétrica em amplitude, com níveis de tensão ou de corrente e frequência fixos ou variáveis. Acionamentos com controle de velocidade, fontes ininterruptas de energia, compensadores de potência reativa e filtros ativos, são algumas das suas aplicações.

Diversas topologias foram desenvolvidas para se obter conversores estáticos que sintetizam formas de onda alternadas na saída. Os conversores CC-CA de tensão são os mais comumente encontrados na indústria, e podem ser alimentados através de qualquer fonte de tensão de corrente contínua, como circuitos retificadores com filtros, bancos de baterias, células a combustíveis ou rede de painéis solares fotovoltaicos. Os inversores de tensão monofásicos podem ser encontrados nas configurações básicas meia ponte, ponte completa e *push pull*. Na Figura 1 estão apresentadas as três topologias de conversores CC-CA monofásicos, sendo que a descrição básica de operação é apresentada a seguir.

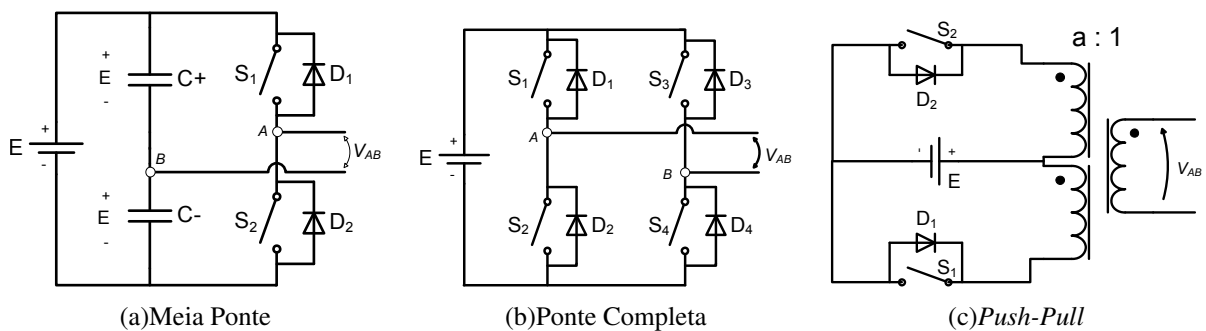


Figura 1: Conversores CC-CA monofásicos

O conversor meia ponte (a) também conhecido como inversor com ponto médio, possui em sua estrutura apenas um braço inversor, contendo um único par de chaves comandadas. Este conversor necessita de um barramento CC duplo. Em aplicações principalmente de baixas potências e frequências elevadas o ponto médio é conseguido por meio de um divisor capacitivo de valor expressivo, sendo alimentado por uma única fonte CC. Para efeito de comparação com as outras topologias, convencionou-se a tensão de entrada (E) conectada sobre cada capacitor ($C+$ e $C-$), portanto o barramento de entrada possui a tensão $2E$. O funcionamento do conversor depende da lógica utilizada para o comando dos interruptores S_1 e S_2 . Quando S_1 estiver conduzindo, a tensão de saída (V_{AB}) é igual a $+E$, e quando S_2 conduz $V_{AB} = -E$, fornecendo na saída uma forma de onda com pulsos retangulares com amplitudes $+E$ e $-E$.

O conversor ponte completa (b) é composto por um braço A com as chaves S_1 e S_2 e um braço B composto pelas chaves S_3 e S_4 . A tensão de saída do circuito inversor equivale à diferença de potencial entre os terminais A e B. Os interruptores S_1 a S_4 são comandados de acordo com uma estratégia de modulação, as combinações possíveis para os interruptores e a tensão equivalente na saída são as seguintes:

Quando S_1 e S_2 conduzem, $V_{AB} = 0$

Quando S_1 e S_4 estão conduzindo, $V_{AB} = +E$

Para S_3 e S_2 conduzindo $V_{AB} = -E$

Para S_3 e S_4 em condução $V_{AB} = 0$

O conversor *Push-Pull* (c), um dos primeiros a ser empregado industrialmente, é bem adaptado às baixas frequências e baixas potências, e apresenta características interessantes como a estrutura ser naturalmente isolada, empregar apenas duas chaves comandadas e ter a carga isolada da fonte CC. O seu funcionamento é descrito considerando o transformador ideal e a presença de carga indutiva. Supondo a chave S_1 em condução e S_2 bloqueada, a tensão V_{AB} é positiva e com amplitude $+E/a$, onde a é a relação de transformação do transformador. Quando a chave S_1 é aberta a corrente de saída mantém o mesmo sentido e o diodo D_2 entra em condução, a tensão $V_{AB} = -E/a$ e a corrente decresce exponencialmente. Quando a corrente de saída inverte o sentido, a chave S_2 conduz e o interruptor S_1 está bloqueado, a tensão V_{AB} continua igual a $-E/a$. No instante em que S_2 é bloqueado o diodo D_1 conduz devido à inércia de corrente na carga e a tensão V_{AB} passa a ser $+E/a$. Esta etapa termina com a anulação da corrente de carga e a entrada em condução da chave S_1 , iniciando novo ciclo de operação.

Na Tabela 1 estão citadas as características básicas de cada conversor para efeito de comparação. Considera-se que os três inversores estão operando com a mesma tensão de saída (V_o), corrente de saída (I_o) e frequência de chaveamento (f_s).

Tabela 1: Características das topologias básicas de inversores

| | Meia Ponte | Ponte Completa | <i>Push-Pull</i> |
|--------------------------------|-------------|---------------------|------------------|
| Fonte CC na entrada | $2E$ | E | E |
| Tensão máx. no interruptor | $2E$ | E | $2E$ |
| Corrente máx. no interruptor | I_o | I_o | I_o/a |
| Tensão máx. na Saída | E | E | E/a |
| Tipos de modulação | Dois níveis | Dois ou três níveis | Dois níveis |
| Frequência dos pulsos de saída | f_s | $2f_s$ | f_s |

Através da Tabela 1 observa-se que o conversor ponte completa, para uma dada potência, apresenta os menores níveis de tensão e corrente nos semicondutores comparado com às outras topologias monofásicas. O grande inconveniente está no número de chaves comandadas, que pode representar elevação no custo final do conversor. Outra característica relevante do ponte completa é a possibilidade da frequência na saída ser igual ao dobro utilizado no chaveamento dos interruptores.

A topologia meia ponte é a mais simples, com menor número de componentes e portanto mais barata. É recomendada para aplicações em baixa potência, pois o nível de tensão na carga é duas vezes menor do que na topologia ponte completa para a mesma fonte CC de entrada, o que significa que para a mesma potência, a corrente no inversor meia ponte é o dobro da corrente na estrutura em ponte completa.

Um dos grandes inconvenientes do conversor *push-pull* diz respeito ao fato da tensão reversa nos interruptores ser o dobro da tensão de entrada. Devido a isto, esse circuito é recomendado para aplicações em baixa tensão (MARTINS; BARBI, 2008).

Devido à grande aplicabilidade do conversor ponte completa e por permitir o uso de diversas técnicas PWM, esta topologia foi empregada para a análise e implementação neste trabalho. Os interruptores S_1 , S_2 , S_3 e S_4 do conversor são comandados de acordo com uma determinada estratégia de modulação, para o conversor do presente trabalho deseja-se operação com saída senoidal, portanto as técnicas PWM abordadas na seção 2.2 aplicam-se para obtenção de sinais senoidais.

2.2 ESTRATÉGIAS PWM

A técnica PWM determina o comportamento na largura dos pulsos na saída V_{AB} , através do ajuste do intervalo de condução dos interruptores, em relação ao período de comutação. A tensão de saída é composta por uma sequência de pulsos no valor de sua tensão de entrada.

Uma estratégia PWM senoidal se baseia na comparação de um sinal de referência senoidal de baixa frequência (onda moduladora) com um sinal triangular de alta frequência (onda portadora). A intersecção dessas duas formas de onda estabelece a duração dos sinais de comando das chaves estáticas controladas. Desse modo, a variação da amplitude da onda senoidal propicia a variação dos pulsos da tensão de carga, que seguem naturalmente uma lei senoidal. Em cada semiciclo a largura dos pulsos é máxima na parte central, a partir do centro a largura dos pulsos decresce para ambos os lados. A Figura 2 exemplifica esta técnica.

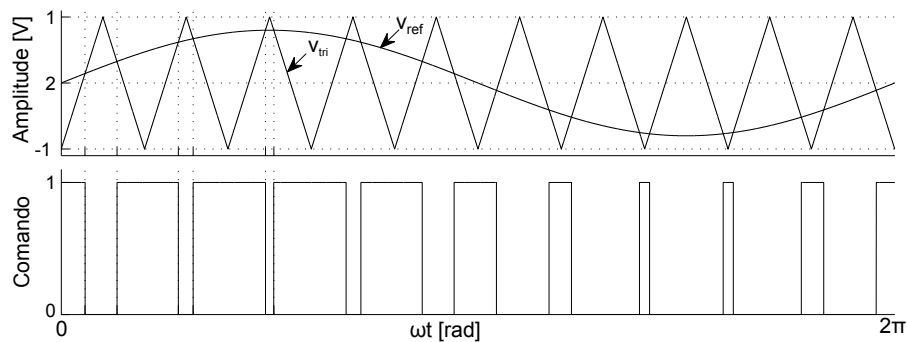


Figura 2: Geração de PWM senoidal.

A frequência da onda moduladora senoidal (v_{ref}) define a frequência da componente fundamental da tensão de saída, enquanto que a frequência da onda portadora triangular (v_{tri}) define a frequência de comutação das chaves estáticas.

Dois parâmetros importantes referentes à modulação senoidal são: o índice de modulação de amplitude (m_a) e o índice de modulação de frequência (m_f). O parâmetro m_a , também referenciado na literatura como profundidade de modulação, consiste na razão entre o valor de pico da forma de onda moduladora senoidal (\hat{v}_{ref}), e o valor de pico da onda portadora triangular (\hat{v}_{tri}), conforme a Equação 1.

$$m_a = \frac{\hat{v}_{ref}}{\hat{v}_{tri}} \quad (1)$$

O parâmetro m_f é o quociente entre a frequência da forma de onda portadora (de chaveamento) e a frequência da onda moduladora ou de referência (que determina a frequência de saída), conforme mostra a Equação 2.

$$m_f = \frac{f_s}{f_o} \quad (2)$$

onde f_s é a frequência de chaveamento e f_o a frequência fundamental na saída.

Durante o texto por vezes utiliza-se sinais alternados em função da frequência angular (ω) no qual,

$$\omega = 2\pi f_o \text{ [rad/s]} \quad (3)$$

Nesta seção foi abordada a geração de um PWM senoidal para acionamento de um interruptor. Para o conversor ponte completa existem diferentes estratégias para o comando dos quatro interruptores para a obtenção de uma saída senoidal. A seguir estão apresentadas a modulação bipolar, unipolar e a operação de um braço inversor em alta e outro em baixa frequência.

2.2.1 Inversor Ponte Completa com PWM Bipolar

Para o ponte completa, esta modulação comuta as chaves diagonalmente opostas simultaneamente (S_1 e S_4) e (S_2 e S_3). A tensão de saída do braço A é idêntica à saída do inversor meia ponte. O sinal do comando para o braço A é determinado pela comparação de v_{ref} com v_{tri} . O comando do braço B é complementar ao do A. Portanto, verifica-se que, na implementação deste tipo de modulação que um único pulso de comando é suficiente para cada par de chaves (S_1, S_4), e (S_2, S_3). Na Figura 3, pode-se visualizar a geração do comando para os interruptores.

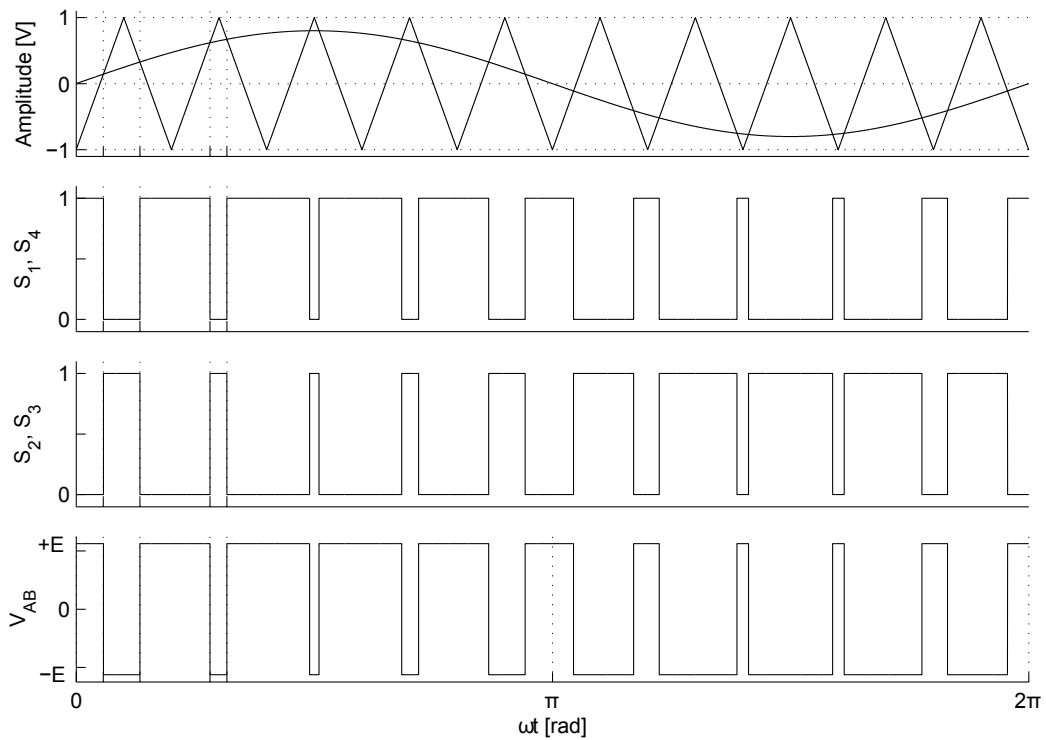


Figura 3: Formas de onda referente ao PWM bipolar

Observa-se na Figura 3 que neste método PWM a tensão de saída V_{AB} é igual a $-E$ ou $+E$, ou seja, comuta entre 2 níveis de tensão.

A operação do conversor ponte completa com carga indutiva consiste em quatro etapas, apresentadas na Figura 4, onde os dispositivos em condução estão destacados.

A 1ª e 2ª etapas ocorrem a cada período de chaveamento (T_s) durante todo o semiciclo positivo da tensão de saída, enquanto que as etapas 3 e 4 equivalem à operação em alta frequência durante o semiciclo negativo, a saber

$$T_s = \frac{1}{f_s} \text{ [s]} \quad (4)$$

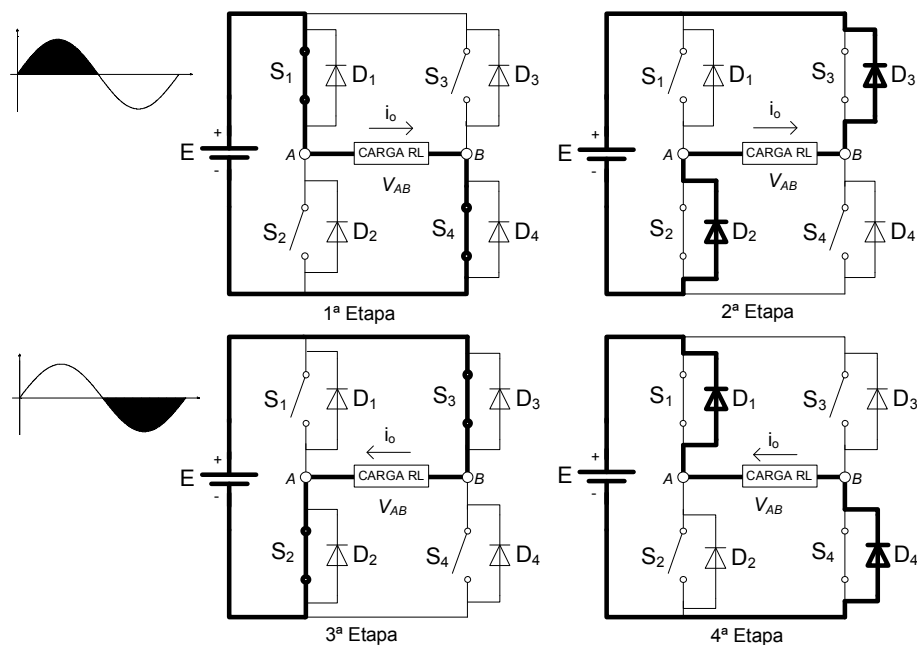


Figura 4: Etapas de operação do inversor com PWM bipolar

Devido à indutância na carga, após a comutação das chaves e a inversão da tensão V_{AB} , a inércia de corrente é conduzida através dos diodos antiparalelo (D_1 e D_4 ou D_2 e D_3) constituindo a etapa de roda-livre. Considerando que a indutância da carga tem valor suficiente para que a polaridade da corrente não mude em um período de chaveamento, os diodos conduzem até o início do próximo ciclo.

As formas de onda referente à operação durante o semiciclo positivo em um período de chaveamento são mostradas na Figura 5.

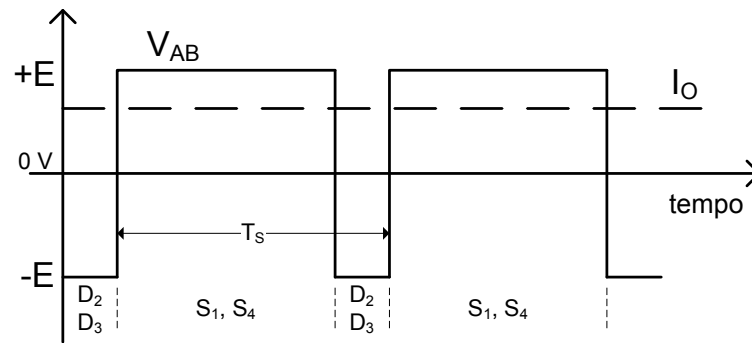


Figura 5: V_{AB} e I_o em inversor com PWM bipolar no semiciclo positivo

A corrente de saída pode ser considerada constante devido à f_s ser geralmente muito elevada em relação à f_o . As etapas de operação para o semiciclo positivo estão descritas a seguir, sendo análogas para o semiciclo negativo.

1. Na primeira etapa, S_1 e S_4 conduzem a corrente de carga. A tensão de saída é igual a $+E$;
2. A segunda etapa inicia com o bloqueio dos interruptores S_1 e S_4 e o comando para S_2 e S_3 . Os diodos D_2 e D_3 conduzem a corrente de saída e a tensão V_{AB} comuta para $-E$;

2.2.2 Inversor Ponte Completa com PWM Unipolar

Diferentemente do PWM bipolar, esta técnica de modulação comanda os interruptores do braço A e do braço B separadamente. A geração dos sinais de comando pode ser realizada comparando-se um sinal triangular (v_{tri}) com dois sinais de referência v_{ref} e $-v_{ref}$, portanto defasados 180° entre si.

O comando das chaves S_1, S_2 é obtido comparando a onda portadora triangular v_{tri} com a onda moduladora senoidal v_{ref} . Já o comando das chaves S_3, S_4 é obtido através da comparação de v_{tri} com a onda moduladora senoidal complementar $-v_{ref}$. Observa-se, através da Figura 6 que a tensão de saída resultante V_{AB} é composta de um conjunto de pulsos retangulares que segue a função senoidal da referência, e cujo os valores se encontram entre os níveis $+E$, zero e $-E$, caracterizando três níveis de tensão na carga.

Conforme observa-se na Figura 6, durante o semiciclo positivo de v_{ref} a tensão V_{AB} varia entre zero e $+E$, já no semiciclo negativo entre zero e $-E$.

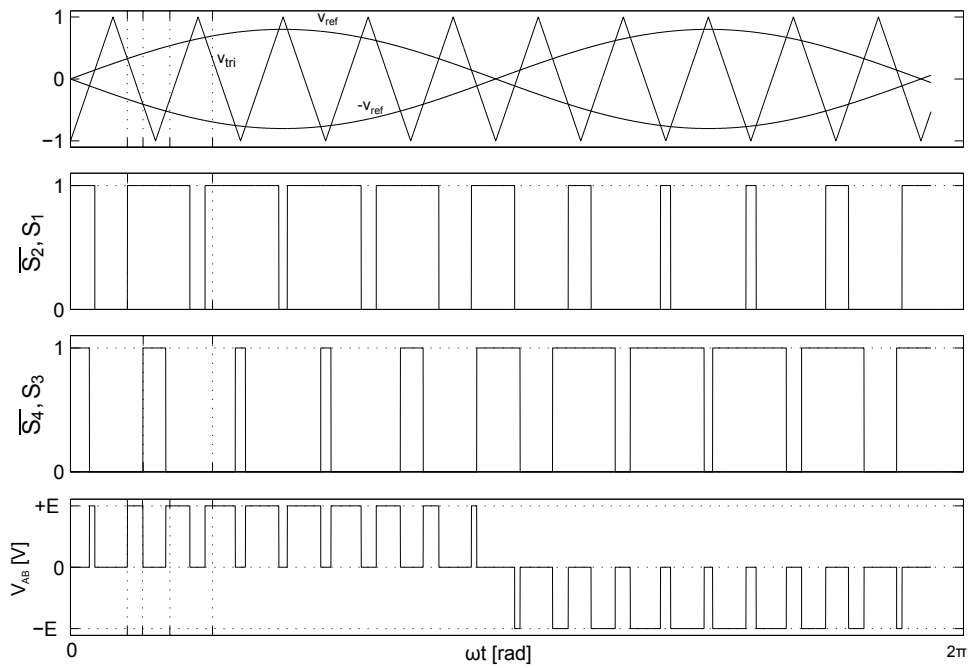


Figura 6: Formas de onda referente ao PWM unipolar

O funcionamento do inversor em ponte completa modulado a três níveis para uma carga indutiva é composto por oito etapas de operação, sendo quatro referentes ao semiciclo positivo da tensão de saída e quatro ao semiciclo negativo (FILHO, 2005). O circuito referente às etapas do semiciclo positivo estão apresentadas na Figura 7.

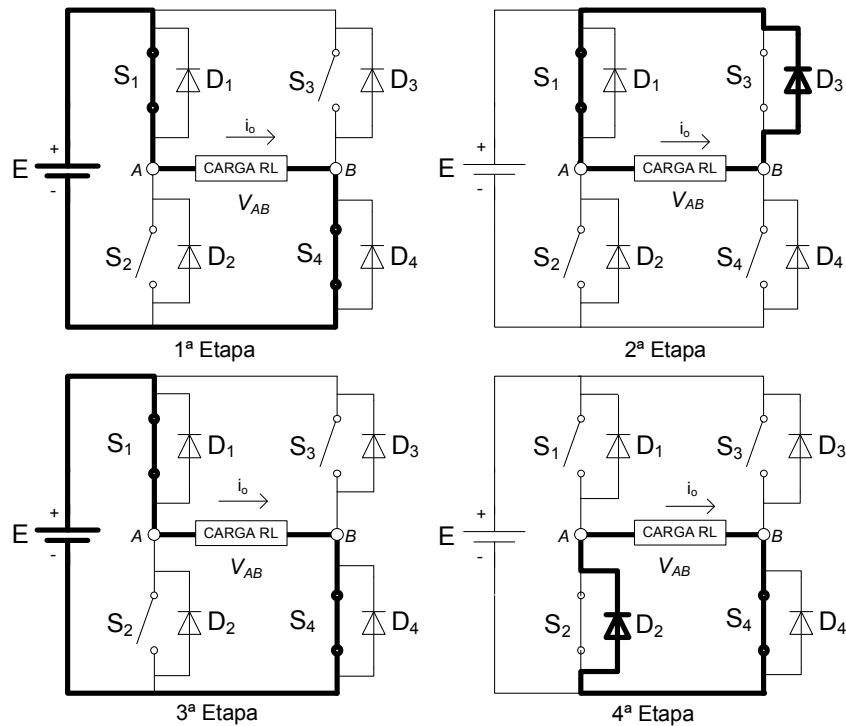


Figura 7: Etapas de operação do inversor com PWM unipolar no semiciclo positivo

A Figura 8 mostra as formas de onda e os dispositivos em condução durante um período de chaveamento, no semiciclo positivo.

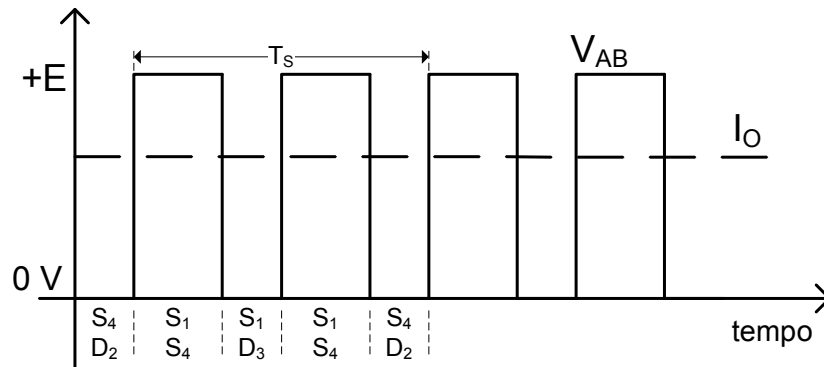


Figura 8: V_{AB} e I_o em inversor com PWM unipolar no semiciclo positivo

A corrente é considerada constante pelos mesmos motivos citados na operação com PWM bipolar. Observa-se que através desta modulação unipolar a frequência dos pulsos de tensão em V_{AB} é o dobro em relação à frequência de chaveamento. Com base nas Figuras 7 e 8 são descritas a seguir as etapas de operação durante o semiciclo positivo.

- Primeira Etapa: S_1 e S_4 estão em condução e a tensão V_{AB} é igual a $+E$. A primeira etapa termina com o bloqueio de S_4 ;
- Segunda Etapa: Com a abertura de S_4 ocorre o comando para S_3 , o diodo D_3 assume a corrente de saída devido à indutância da carga. A tensão V_{AB} é igual a zero.
- Terceira Etapa: O interruptor S_4 é novamente comandado a conduzir, repetindo a configuração da primeira etapa. A tensão V_{AB} é $+E$;
- Quarta Etapa: Nesta etapa S_1 é bloqueado e o diodo D_2 entra em condução. A tensão V_{AB} é zero. S_2 é comandado a conduzir, porém devido o sentido da corrente D_2 continua conduzindo. Esta etapa se mantém até o comando para S_1 , reiniciando o ciclo.

No semiciclo negativo as etapas são análogas, de forma resumida pode-se citar:

- Primeira Etapa: S_2 e S_3 conduzem e a tensão na carga é $-E$;
- Segunda Etapa: S_2 e D_4 conduzem e a tensão na carga é zero;
- Terceira Etapa: S_2 e S_3 conduzem e a tensão na carga é $-E$;
- Quarta Etapa: S_3 e D_1 conduzem e a tensão na carga é zero.

2.2.3 PWM Senoidal Unipolar com Senóide Retificada

Esta modulação, aplicado ao conversor ponte completa, consiste na comutação de um braço inversor na frequência de chaveamento e outro na frequência desejada para a tensão de saída. Ou seja, os interruptores de um braço na frequência da portadora e outro na frequência da moduladora. Com esta técnica é obtida redução nas perdas de comutação, uma vez um dos braços do inversor comuta em baixa frequência. Este método de modulação é empregado e referenciado como senóide retificada em (LINARD, 2009), em outros trabalhos também é aplicado (RUSSI, 2007; MARTINS, 2008) e são referenciados como modulação descontínua, devido à forma do sinal de modulação utilizado na implementação do comando.

Considerando o conversor ponte completa onde o braço S_1 e S_2 comuta em baixa frequência e S_3 e S_4 em alta frequência, os sinais de comando dos interruptores para um período da frequência de saída são apresentados na Figura 9. A geração dos sinais de comando para o braço em alta frequência é obtido através da comparação de uma portadora triangular, na frequência de chaveamento, com uma forma de onda moduladora senoidal retificada na frequência fundamental de saída.

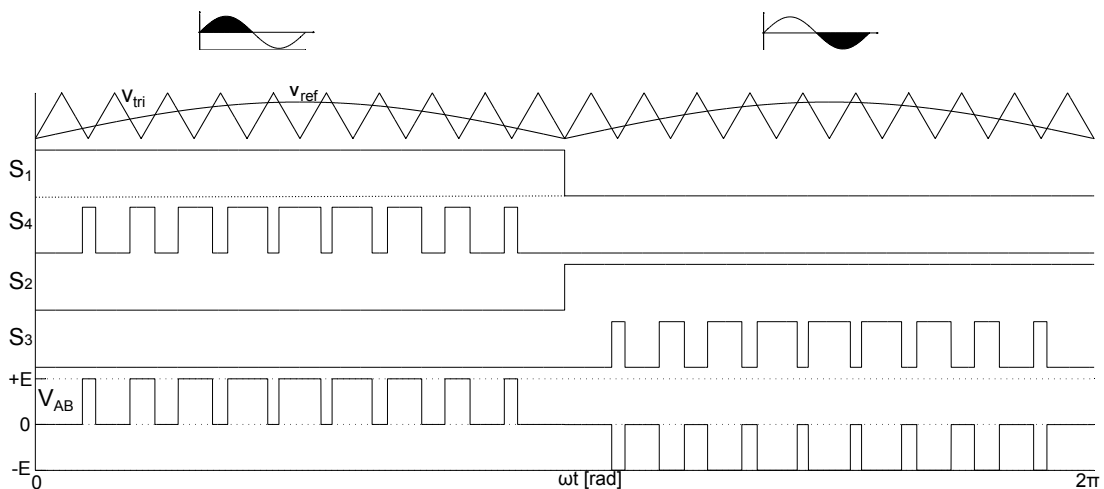


Figura 9: Formas de onda referente ao PWM com senóide retificada

Durante o semiciclo positivo o interruptor S_1 permanece acionado e S_4 é comutando segundo a frequência de chaveamento. Para o semiciclo positivo, é comandado o interruptor S_2 na frequência de saída e S_3 na frequência de chaveamento.

A tensão de saída apresenta três níveis $+E$, zero, $-E$ igual à modulação unipolar. A principal diferença desta modulação para a unipolar está na frequência dos pulsos de tensão (V_{AB}) que neste caso é igual à frequência de chaveamento, característica que deve ser considerada no projeto do filtro de saída.

Os dispositivos em condução durante cada etapa de operação estão destacados na Figura 10, considerando a presença de uma carga indutiva. A cada período de chaveamento são duas etapas, sendo a 1ª e 2ª durante o semiciclo positivo e as etapas 3 e 4 no semiciclo negativo.

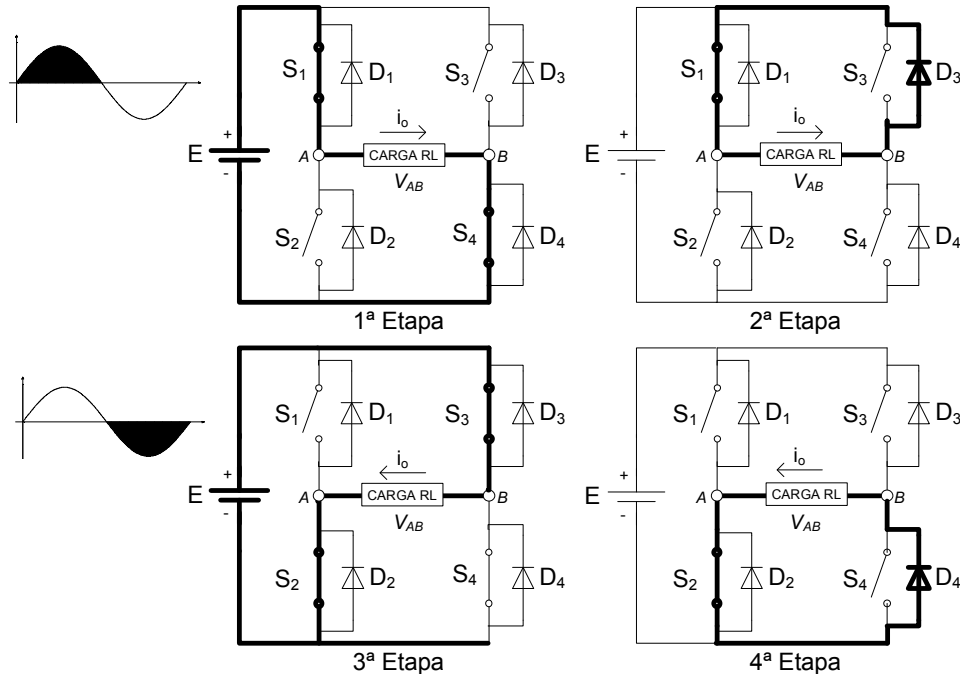


Figura 10: Etapas de operação do inversor com PWM unipolar com senóide retificada

Durante o semiciclo positivo estão em condução o interruptor S_1 em conjunto com S_4 ou D_3 , e no semiciclo negativo S_2 e (S_3 ou D_4). O diodo antiparalelo do interruptor complementar conduz devido à inércia de corrente na carga. A Figura 11 mostra formas de onda de tensão e corrente para um período de chaveamento.

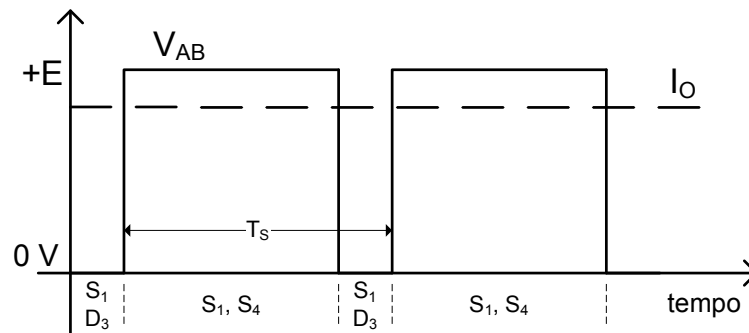


Figura 11: V_{AB} e I_o em inversor com PWM unipolar com senóide retificada no semiciclo positivo

Esta técnica PWM é aplicada ao conversor ZVT proposto, onde somente dois interruptores necessitam de auxílio à comutação, isso facilita a implementação e verificação do funcionamento do circuito auxiliar.

2.3 FILTRO DE SAÍDA

A tensão de saída V_{AB} contém uma componente de frequência fundamental, desejada para a saída, e harmônicas de ordem elevada provenientes da frequência de chaveamento. Para obter uma forma de onda mais próxima daquela puramente senoidal é necessário a utilização de um filtro na saída para bloquear as harmônicas de alta frequência. A técnica PWM com elevada frequência de chaveamento favorece à redução do custo e dimensões do filtro utilizado. Uma característica particular da modulação unipolar com senóide retificada que deve ser considerada no projeto do filtro, é a de fornecer a tensão V_{AB} com frequência igual à de chaveamento f_s , diferentemente da modulação unipolar convencional com $2f_s$.

Existem diversas estruturas de filtros que podem ser empregadas, dentre os mais utilizados está o filtro LC passa-baixa. Metodologias para o projeto dos elementos podem ser encontradas em (MARTINS; BARBI, 2008; SOUZA, 2000; FILHO, 2005).

A corrente no indutor de filtro do conversor é formada pela própria corrente de carga somada a uma componente de alta frequência, derivada do chaveamento dos interruptores. Esta componente de alta frequência insere uma ondulação à corrente que circula pelo elemento magnético.

O indutor de filtro (L_f) é projetado a fim de obter uma ondulação máxima de corrente especificada para a componente de alta frequência. De posse do valor da indutância, determina-se o valor da capacitância (C_f) necessária para posicionar a frequência de corte do filtro f_c em um valor superior à frequência fundamental desejada na saída, e também pelo menos uma década inferior à frequência das harmônicas produzidas pelo chaveamento.

$$C_f = \frac{1}{(2\pi f_c)^2 L_f} \quad (5)$$

2.4 CONCLUSÕES

Neste capítulo foram apresentadas as topologias básicas de inversores de tensão monofásicos e uma comparação dos níveis de tensão e corrente envolvidos, bem como as estratégias PWM que podem ser empregadas nestes conversores. Dentre os conversores analisados, a estrutura em ponte completa se mostrou como melhor opção para aplicação neste trabalho, pois permite utilizar a estratégia PWM com senóide retificada, no qual um braço inversor opera na frequência fundamental de saída e outro na frequência de chaveamento. Para esta técnica PWM somente um braço inversor necessita de auxílio à comutação, isso facilita

a implementação e verificação do funcionamento da célula ZVT empregada, dessa forma esta técnica PWM será utilizada neste trabalho. No próximo capítulo é abordado o princípio básico dos circuitos de auxílio à comutação em zero de corrente e zero de tensão.

3 CIRCUITOS PARA COMUTAÇÃO SUAVE

Com o objetivo de melhorar o desempenho dinâmico dos conversores e reduzir o volume dos filtros, procura-se operar com frequências de chaveamento elevadas. Porém com o aumento da frequência também se elevam as perdas nos semicondutores. Com a utilização de técnicas de comutação suave é possível operar com alta frequência, mantendo as perdas nos interruptores em níveis reduzidos. Para proporcionar a comutação suave aos interruptores dos conversores PWM, circuitos auxiliares foram adicionados à topologia original. Inicialmente, nestes circuitos utilizou-se componentes passivos como capacitores, diodos e indutores, classificados como solução passiva. Com o desenvolvimento destas técnicas foram incluídos dispositivos ativos como semicondutores controlados, caracterizando as soluções ativas. Nas seções a seguir são apresentados circuitos auxiliares para a comutação suave em conversores PWM, com enfoque nos circuitos para a comutação sob tensão nula, especificamente a técnica para transição em zero de tensão, denominada *Zero Voltage Transition (ZVT)*, utilizada neste trabalho.

3.1 CARACTERÍSTICAS DE CHAVEAMENTO DOS SEMICONDUCTORES

O semicondutor durante a comutação seja para entrada em condução ou bloqueio, apresenta um comportamento de tensão e corrente que pode ser classificada de três formas: comutação dissipativa (*hard switching*), comutação pseudo-suave (*pseudo soft-switching*) e comutação verdadeiramente suave (*true soft-switching*).

A comutação dissipativa está apresentada na Figura 12, utilizando uma aproximação linear das formas de onda de tensão e corrente sobre o interruptor.

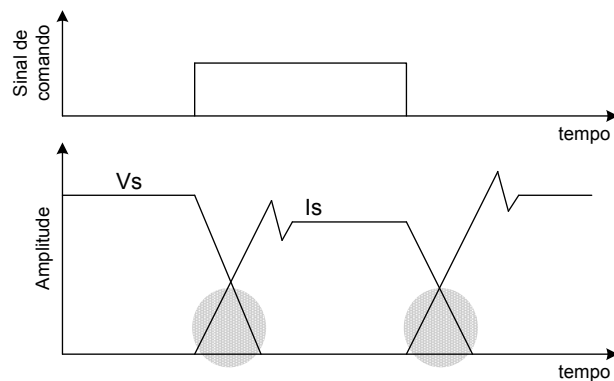


Figura 12: Corrente e tensão sobre o interruptor durante comutação dissipativa

Como pode ser observado na Figura 12, tanto na comutação de entrada quanto no bloqueio do interruptor, existe uma sobreposição das formas de onda de tensão e corrente durante todo o intervalo de comutação (área sombreada), ocasionando dissipação de potência através do semicondutor.

A comutação do interruptor de forma pseudo-suave ocorre através da utilização de elementos armazenadores de energia, para a redução nas taxas de corrente na entrada (di/dt) e de tensão durante o bloqueio (dv/dt), diminuindo o intervalo de sobreposição da tensão e corrente sobre a chave, consequentemente reduzindo a potência dissipada.

A dissipação de potência pode ser idealmente eliminada com o uso das técnicas de comutação verdadeiramente suaves, onde não há sobreposição de tensão e corrente no momento da comutação. O termo *Zero Voltage Switching (ZVS)* é utilizado quando a comutação é sob tensão nula, ocorrendo na entrada em condução do interruptor, e *Zero Current Switching (ZCS)* quando ocorre sob corrente nula, no instante de bloqueio.

A técnica ZCS consiste no desvio da corrente conduzida pelo interruptor, através de elementos auxiliares, previamente ao bloqueio do mesmo, dessa forma no instante de transição a corrente no interruptor é nula. Por sua vez, na entrada em condução tem-se uma redução da taxa de variação de corrente (di/dt), ocasionando uma comutação pseudo-ZCS. A Figura 13 demonstra o funcionamento de uma comutação em zero de corrente, com pseudo-ZCS na entrada e ZCS no bloqueio.

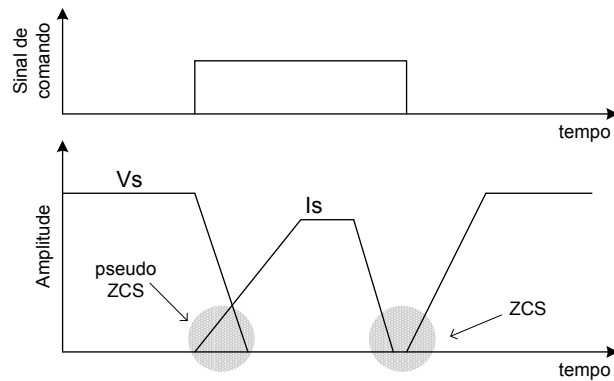


Figura 13: Comutação ZCS

A técnica ZVS consiste na redução da tensão sobre o dispositivo à zero através de um circuito auxiliar, previamente ao sinal de comando do mesmo. Por outro lado, durante o bloqueio há uma redução da taxa de variação da tensão (dv/dt) através de uma comutação pseudo-ZVS. A Figura 14 apresenta uma comutação com ZVS na entrada e pseudo-ZVS no bloqueio.

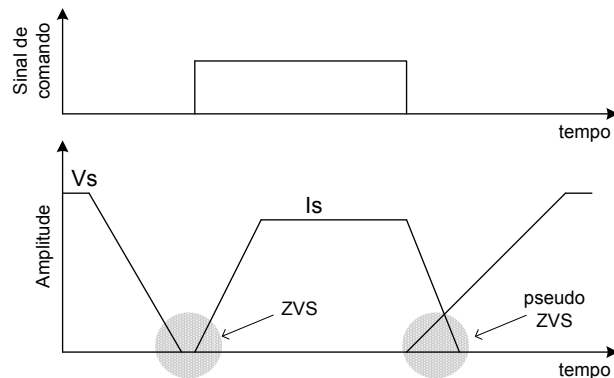


Figura 14: Comutação ZVS

As técnicas ZCS e ZVS podem ser combinadas em um mesmo circuito auxiliar para obter comutações verdadeiramente suaves tanto na entrada quanto no bloqueio, obtendo a comutação em zero de corrente e zero de tensão (ZCZVS). A análise desta técnica não será abordada por não fazer parte do escopo deste trabalho.

3.2 COMUTAÇÃO EM ZERO DE CORRENTE

Como já mencionado, através de uma comutação ZCS, o bloqueio do interruptor principal deve ocorrer sob corrente nula (ZCS verdadeiro) e sob pseudo-ZCS na entrada em condução, para isso, o circuito auxiliar conectado à estrutura original do conversor deve absorver toda a corrente conduzida pela chave principal antes de seu bloqueio.

A técnica ZCT (*zero current transition*) foi proposta por (HUA et al., 1993), apresentando uma família de conversores CC-CC aplicados a operação PWM com frequência constante. Esta técnica pode reduzir significativamente as perdas nas chaves semicondutoras durante o bloqueio, favorecendo o uso de semicondutores com portadores minoritários (IGBT, BJT). Segundo (HUA et al., 1993), o circuito auxiliar é apropriado para aplicações em conversores de elevada potência utilizando semicondutores do tipo IGBT para o interruptor principal.

Uma vez que os conversores CC-CC podem ser construídos através de uma célula PWM composta de um par chave-diodo, a técnica de comutação suave ZCT pode ser aplicada em outros conversores PWM. Por conveniência neste trabalho um conversor *buck* é apresentado para descrição do funcionamento do circuito auxiliar, por apresentar semelhança dos parâmetros de entrada e saída com os conversores CC-CA. Este circuito é mostrado na Figura 15.

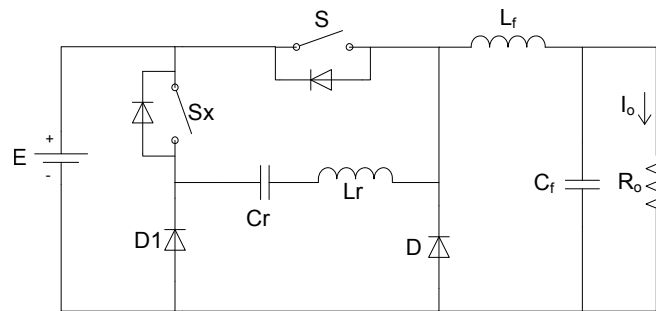


Figura 15: Conversor *buck* ZCT PWM

O circuito para auxílio à comutação é composto por um ramo ressonante contendo um indutor L_r e um capacitor C_r , e dois componentes auxiliares, sendo um interruptor S_x e um diodo D_1 . O funcionamento é brevemente descrito com o objetivo de verificar as condições de comutação dos interruptores e do diodo principal. As formas de onda são apresentadas na Figura 16, assumindo que o indutor L_f tem valor suficiente para que a corrente de saída (I_o) seja considerada constante.

Devido ao arranjo dos componentes, o ramo ressonante é ativo somente por um curto intervalo de tempo, durante a transição do interruptor principal, para fornecer a condição ZCS.

Considera-se inicialmente que S está conduzindo a corrente I_o , e o capacitor C_r está carregado com tensão de pico negativa. Quando a chave S_x é colocada em condução, inicia-se a ressonância entre C_r e L_r , conseqüentemente a corrente em S decresce de forma senoidal. Após $1/4$ do período ressonante a corrente no indutor atingiu seu valor máximo. O projeto dos componentes deve assegurar que este valor seja maior que a corrente I_o , dessa forma o diodo antiparalelo de S passa a conduzir esta corrente adicional e o interruptor principal pode ser bloqueado com transição em zero de corrente. O interruptor auxiliar S_x é bloqueado imediatamente

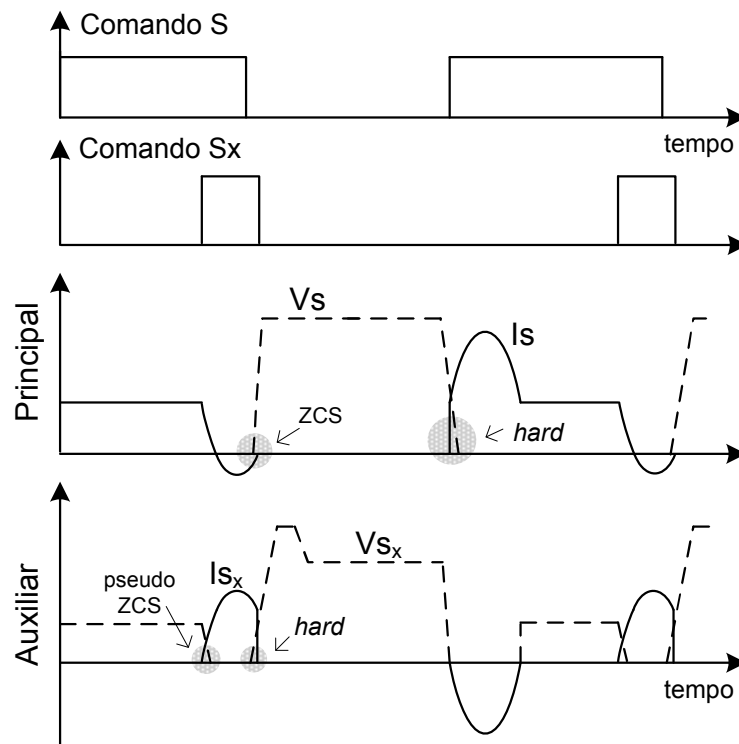


Figura 16: Comutações no interruptor auxiliar e principal ZCT PWM

a abertura de S e ambos diodos D e D_1 devem conduzir a corrente de ressonância entre L_r e C_r até i_{Lr} ser nula. Este período com o diodo D em condução é definido pelo PWM, conforme funcionamento do conversor *buck*.

Quando a chave S é colocada em condução, esta assume a corrente de saída além de meio ciclo de ressonância entre C_r e L_r . O circuito se mantém neste estágio durante o tempo em alto do sinal PWM. Quando a chave S_x é comandada reinicia o ciclo.

Com o uso desta técnica, embora o bloqueio da chave principal ocorra sob corrente nula, a entrada em condução não é beneficiada, apresentando nesta comutação as mesmas perdas existentes nos conversores PWM convencionais. Apresenta um elevado pico de corrente ressonante na chave principal aumentando as perdas de condução. Além disso, a chave auxiliar tem uma comutação dissipativa durante o bloqueio e existem perdas na recuperação reversa do diodo principal. Uma característica positiva desta técnica é o fato da energia do circuito ressonante ser dependente da carga, isto reduz as perdas para cargas leves. (FUENTES; HEY, 1998).

Para minimizar algumas das desvantagens mencionadas acima, outras topologias de conversores ZCT foram propostas, como a descrita em (FUENTES; HEY, 1998) que proporciona a operação ZCS para as chaves ativas com pequenos esforços adicionais de corrente, sem

sobretensões e operação PWM em frequência constante. A principal característica desta célula é apresentar uma redução substancial no pico da corrente ressonante, que circula na chave principal durante o processo de comutação. Com isto, a corrente eficaz desta chave é muito próxima à observada nos conversores PWM convencionais.

Para aplicações dos conversores ZCT PWM em níveis elevados de potência, em (MAO et al., 1997) é proposta uma modificação no comando do circuito convencional e também uma alteração na topologia, proporcionando que todas as chaves principais e auxiliares sejam comutadas em zero de corrente e reduzindo significativamente as perdas na comutação e esforços adicionais. A operação em ZCS na chave auxiliar permite o uso de dispositivos IGBT de baixa potência e com reduzidas perdas em condução.

Uma modificação na estratégia de comando do interruptor auxiliar S_x do conversor da Figura 15 permite à S_x ser bloqueada sob corrente nula e reduzir a di/dt na entrada em condução da chave principal. A Figura 17 mostra a alteração no comando proposta.

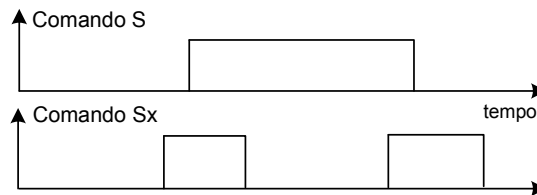


Figura 17: Comando no interruptor auxiliar e principal ZCT PWM melhorado

Observa-se que a chave auxiliar é mantida mais tempo em condução na transição de bloqueio, dessa forma permitindo à corrente de ressonância reduzir a um valor menor que zero e o diodo antiparalelo da chave auxiliar conduzir a corrente, garantindo comutação ZCS em S_x . Além disso, S_x também passa a ser acionada antes da entrada em condução da chave principal assumindo a corrente de saída, isso permite reduzir as perdas no diodo antiparalelo da chave principal por recuperação reversa. Porém, o pico de corrente da chave auxiliar é grande, causando elevadas perdas em condução.

Para reduzir este pico de corrente, (MAO et al., 1997) propõe uma modificação no circuito auxiliar apresentado para um conversor *boost* e após estendida para outros conversores PWM. Esta mesma célula ZCT também é proposta para o conversor *buck* em (JIANG et al., 2003), como mostra a Figura 18.

Para a descrição das etapas de funcionamento e análise das comutações, considera-se o circuito da Figura 18 e as formas de onda teóricas apresentadas na Figura 19.

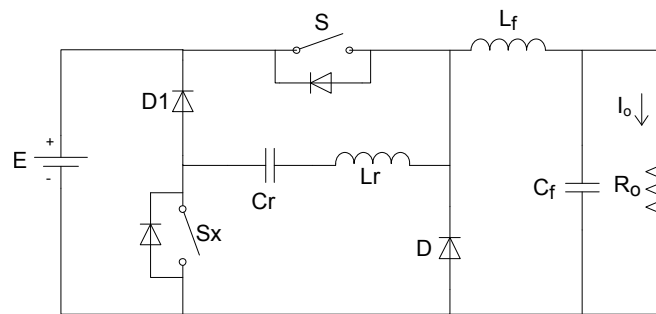


Figura 18: Conversor *buck* ZCT PWM melhorado

Devido à alta frequência de chaveamento e à presença da indutância de filtro, durante um período a corrente de saída I_o pode ser considerada constante.

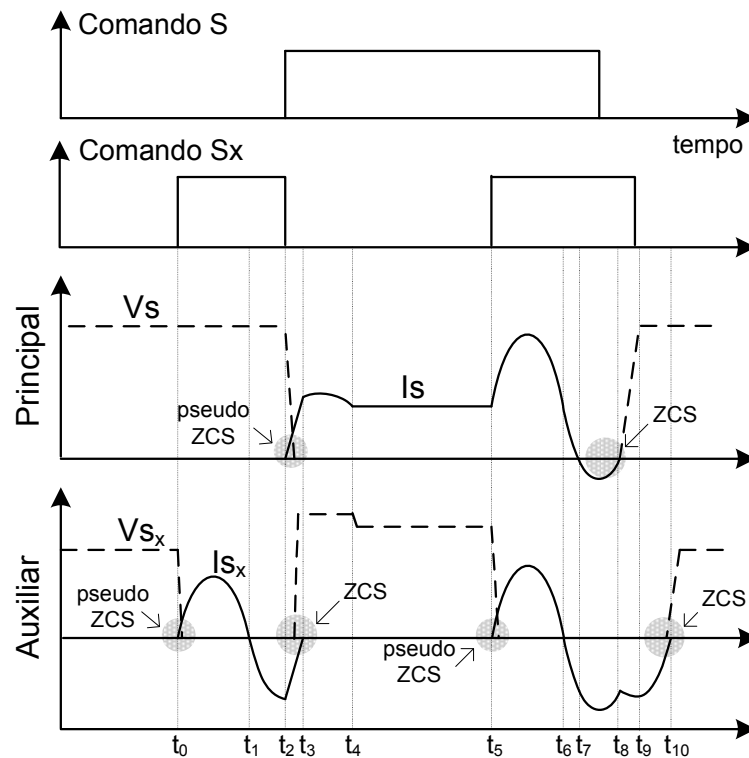


Figura 19: Comutações nos interruptores auxiliar e principal - *buck* ZCT PWM melhorado

Durante um período de chaveamento, o circuito pode ser descrito em dez estágios:

- Estágio 1 ($t_0 < t \leq t_1$): Antes de t_0 o diodo D conduz a corrente de saída, e C_r está carregado com um valor de tensão negativo. Em t_0 , S_x é colocada em condução iniciando a ressonância entre C_r e L_r através do diodo principal D . Após metade do período de ressonância v_{C_r} atinge o valor de pico positivo e i_{L_r} chega a zero.
- Estágio 2 ($t_1 < t \leq t_2$): A ressonância entre L_r e C_r continua através do diodo antiparalelo de S_x e o diodo principal, devido à inversão no sentido da corrente no indutor L_r . Dessa

forma o interruptor S_x pode ser bloqueado sob corrente e tensão nula. Este estágio termina quando o indutor L_r assume a corrente de saída I_o e o diodo D abre.

- Estágio 3 ($t_2 < t \leq t_3$): Como a corrente de saída foi assumida pelo circuito auxiliar, em t_2 a chave S é colocada em condução sob zero de corrente. Neste intervalo a corrente em i_{L_r} é rapidamente assumida pela chave principal.
- Estágio 4 ($t_3 < t \leq t_4$): Uma vez que, em t_3 , i_{L_r} retornou a zero, o diodo antiparalelo à S_x é aberto, a ressonância continua através do diodo D_1 e da chave principal.
- Estágio 5 ($t_4 < t \leq t_5$): Em t_4 i_{L_r} chega à zero novamente e o diodo D_1 é aberto. Neste intervalo o circuito auxiliar é desconectado do circuito principal e a chave S conduz a corrente de carga. A duração deste estágio é definida pelo controle PWM.
- Estágio 6 ($t_5 < t \leq t_6$): Em t_5 a chave auxiliar S_x é acionada e inicia novamente a ressonância entre L_r e C_r através da chave principal. Esta etapa termina após metade do período de ressonância, com $i_{L_r} = 0$ e v_{C_r} com valor máximo positivo.
- Estágio 7 ($t_6 < t \leq t_7$): A partir de t_6 , a corrente em L_r inverte e a chave S_x é aberta sob zero de corrente. A ressonância continua através da chave principal e o diodo antiparalelo de S_x . A etapa termina quando a corrente de saída é completamente desviada da chave principal para o circuito auxiliar.
- Estágio 8 ($t_7 < t \leq t_8$): Durante este intervalo o diodo antiparalelo à S conduz o excesso de corrente em i_{L_r} , devido à continuação da ressonância. Durante esta etapa a chave S pode bloquear sob corrente nula.
- Estágio 9 ($t_8 < t \leq t_9$): Em t_8 , i_{L_r} conduz a corrente de saída e o diodo antiparalelo de S para de conduzir. Uma vez que o diodo principal está reversamente polarizado, a corrente I_o passa através do diodo de S_x e pelo ramo ressonante, descarregando a tensão no capacitor C_r .
- Estágio 10 ($t_9 < t \leq t_{10}$): Em t_9 , a tensão em C_r é nula e o diodo principal D inicia a condução. A ressonância inicia novamente, a corrente no diodo D cresce gradualmente. No instante t_{10} , a corrente em L_r chega a zero, ocorre o término da ressonância e o circuito auxiliar é desconectado do circuito principal. A corrente de saída é conduzida pelo diodo D , o funcionamento é igual ao conversor *buck* convencional sendo a duração deste intervalo definido pelo controle PWM.

Portanto a Figura 19 apresenta uma síntese das condições de comutação em ambas as chaves principal e auxiliar. Como principal vantagem em relação à topologia convencional, esta proposta reduz significativamente as perdas na entrada da chave principal, através de uma di/dt limitada e pequena elevação de corrente, embora o excesso de corrente devido ao circuito ressonante seja apenas transferido para outro intervalo. Outra característica que justifica o emprego desta técnica é a redução das perdas na chave auxiliar, em que a comutação de bloqueio ocorre em zero de corrente, diferentemente do convencional onde esta comutação é dissipativa.

3.3 COMUTAÇÃO EM ZERO DE TENSÃO

Nesta seção é feita uma descrição sobre a evolução dos métodos empregados para obtenção da comutação em zero de tensão nos interruptores, não se deve considerar como uma revisão bibliográfica completa ou a apresentação do estado da arte destas técnicas.

Dentre as soluções passivas, pode-se citar o circuito conhecido por *Snubber* de Undeland (UNDELAND, 1976, 1984), que apresenta bom desempenho mas a energia resultante do processo de comutação não é regenerada comprometendo o rendimento do conversor, e também apresenta esforços adicionais de tensão e corrente aos interruptores. Com o objetivo de regenerar esta energia, alguns trabalhos apresentam modificações neste circuito (SWANEPOEL; WYK, 1992; XIANGNING H.; ZHAO, 2006; MEZARROBA; SPERB, 2008), melhorando o rendimento do conversor. Porém estes circuitos não oferecem comutação suave aos interruptores, pois não eliminam a sobreposição de tensão e corrente na entrada ou no bloqueio.

As técnicas de comutação suave aplicadas a inversores de tensão são divididas de acordo com a localização do circuito auxiliar e podem conter tanto elementos passivos quanto ativos. A localização dos componentes pode estar junto à carga, ao barramento CC ou aplicado diretamente ao pólo inversor. A seguir são descritos alguns circuitos localizados no pólo inversor, sendo que estas topologias apresentam a possibilidade de reduzir as perdas em condução adicionando os elementos auxiliares fora do caminho principal de potência, e apresentam grande flexibilidade para utilização de diferentes estratégias PWM.

3.3.1 Técnicas aplicadas ao pólo inversor

Um pólo inversor é constituído de dois interruptores controlados, de modo a permitir a circulação de corrente em dois sentidos, saindo ou entrando no pólo. A Figura 20 mostra esta configuração que também é chamada de braço inversor.

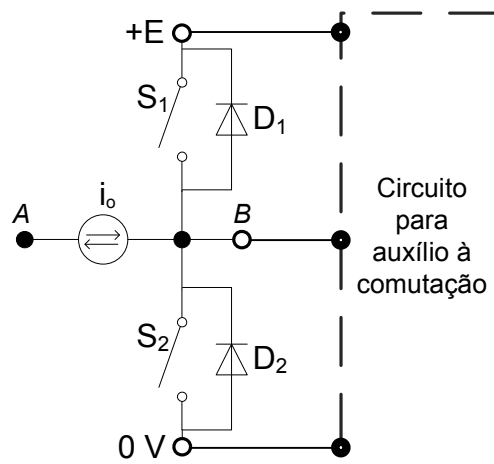


Figura 20: Circuito auxiliar conectado ao pólo PWM

O método mais simples para obter comutação sob zero de tensão nos interruptores do inversor é o pólo comutado ressonante (*Resonant Pole Inverter - RPI*) proposto em (PATTERSON; DIVAN, 1987, 1991). Utiliza de um indutor ressonante auxiliar que pode ser adicionado ou correspondente ao indutor de filtro, e de capacitores ressonantes conectados em paralelo com as chaves. Emprega um divisor capacitivo volumoso no barramento CC para obter a alimentação do circuito auxiliar, apresentando problemas de desequilíbrio desta tensão no ponto central. Também, as chaves principais são submetidas a picos acima do dobro da corrente de carga, e para manter o equilíbrio da tensão nos capacitores o indutor está continuamente conduzindo corrente o que aumenta as perdas por condução (DONCKER; LYONS, 1990).

Uma modificação no circuito RPI foi proposto por (CHERITI et al., 1990) reduzindo consideravelmente o valor dos componentes do divisor capacitivo. Esta estrutura utiliza no lugar do barramento capacitivo dois capacitores ressonantes com diodos de grampeamento em paralelo e com função de roda-livre, é denominado conversor com pólo de diodos ressonante auxiliar (*Auxiliary Resonant Diode Pole Inverter - ARDPI*). No entanto o esforço de corrente nos interruptores continua maior do que o dobro da corrente de carga e também deve-se considerar que a etapa de roda-livre causa significativas perdas de condução no indutor e diodos.

A solução para reduzir os esforços de corrente foi a introdução de elementos ativos no circuito auxiliar. Esta topologia proposta em (DONCKER et al., 1991) é denominada inversor com pólo ressonante auxiliar (*Auxiliary Resonant Pole Inverter - ARPI*). Porém, em implementações práticas não ocorreu redução da corrente nas chaves, além disso o bloqueio dos interruptores auxiliares ocorre de forma dissipativa.

Para solucionar o problema da comutação nos interruptores auxiliares em (BINGEN, 1985) foi proposto o circuito denominado conversor com pólo comutado ressonante auxiliar

(*Auxiliary Resonant Commutated Pole* - ARCP), que consiste na conexão do circuito auxiliar em paralelo com a carga. Esta topologia foi aprimorada por (MCMURRAY, 1989) e (DONCKER; LYONS, 1990), porém faz-se o uso novamente do divisor capacitivo e necessita de uma configuração de chave auxiliar bidirecional em corrente e tensão. O processo de comutação inicia com a entrada em condução do circuito auxiliar, para magnetizar o indutor através da tensão no ponto central do divisor capacitivo. Como as chaves auxiliares estão dispostas em série com o indutor auxiliar, o bloqueio das mesmas ocorre sob corrente nula, todavia, as quedas de tensão ocasionadas pelas perdas do circuito ressonante e as não idealidades dos dispositivos semicondutores fazem com que as condições de comutação sob tensão nula não sejam plenamente alcançadas para as chaves principais (GAZZONI, 2011). Os interruptores auxiliares necessitam ser comandados apenas quando a corrente de carga não for suficiente para suavizar a comutação, acarretando uma complexidade maior na lógica de comando (PÉRES, 2000; YUAN; BARBI, 1999).

De forma a manter as condições de comutação das chaves principais e auxiliares e eliminar a necessidade do divisor capacitivo, faz-se o uso de conversores com acoplamento magnético, que têm como característica principal a fonte de tensão do circuito auxiliar ser implementada através de indutores acoplados, transformadores ou autotransformadores. Esta fonte é utilizada para fornecer o nível de tensão necessário à desmagnetização dos indutores auxiliares (BELTRAME, 2009).

O conversor proposto em (BARBI; MARTINS, 1991) denominado *True-PWM ZVS Pole*, proporciona comutação sob zero de tensão nos interruptores principais e zero de corrente nas chaves auxiliares e a fonte auxiliar pode ser implementada através de um autotransformador de tamanho reduzido. Sua desvantagem está no pico de corrente nas chaves auxiliares que se refletem nos interruptores principais (PÉRES, 2000). Em (YUAN; BARBI, 1999) são apresentadas modificações que tornam o *True-PWM ZVS Pole* mais interessante em determinadas aplicações quando comparado ao ARCP.

O inversor com “pólo ZVS assistido por transformador” (*Transformer-Assisted ZVS Pole*) proposto em (YUAN; BARBI, 2000) é apresentado como alternativa ao ARCP em aplicações de alta potência. Realiza também as comutações em zero de tensão nos interruptores principais e zero de corrente aos interruptores auxiliares, no entanto apresenta soluções para os problemas do ARCP como a complexidade no comando, proteção necessária para a chave auxiliar, e variação de potencial no divisor capacitivo. Diversas topologias de inversores ZVT utilizando acoplamento magnético são analisados em (RUSSI et al., 2004), com a proposta de apresentar uma estrutura genérica com metodologia única de projeto. Estruturas mais recen-

tes como a proposta em (SOHN et al., 2010), buscam resolver os problemas encontrados no ARCP através do uso de acoplamento magnético, proporcionando condições ZVS nas chaves principais e ZCS nas auxiliares.

Após décadas de pesquisas em torno de topologias, verificou-se que quanto menor for a interferência dos componentes auxiliares na operação do inversor, melhor é o desempenho alcançado (MARTINS et al., 2006). Dessa forma próximo à década de 90, os chamados conversores de transição ressonante tornaram-se predominantes na aplicação de técnicas de comutação suave, principalmente devido à maior popularidade da técnica ZVT apresentada em (HUA et al., 1992). O objetivo principal desta técnica é manter o circuito auxiliar desabilitado durante a maior parte do período, fazendo-o ativo somente em pequenos intervalos durante a comutação das chaves principais, permitindo ao conversor operar o mais próximo da topologia original. As características desta técnica de transição ressonante são analisadas detalhadamente em (MARTINS et al., 2006), estabelecendo uma comparação entre as células do tipo ZVT, ZCT e ZCZVT e generalização do conceito.

Em (HUA et al., 1992) a célula de comutação suave proposta é aplicada a conversores CC-CC, no entanto esta célula pode ser adaptada para inversores, contendo uma chave auxiliar para cada sentido da corrente no pólo inversor PWM. Dessa forma é necessário um conjunto chave auxiliar e indutor ressonante para cada chave principal, o que em conversores trifásicos equivale a adicionar 6 chaves auxiliares, tornando o conversor uma estrutura complexa e com circuito auxiliar volumoso (BELTRAME, 2009).

Em (VLATKOVIC et al., 1993) a técnica ZVT proposta por (HUA et al., 1992) é utilizada para estruturas de retificadores e inversores trifásicos. Esta topologia é apresentada com um número reduzido de componentes para o inversor trifásico, sendo uma única chave no circuito auxiliar. Esta topologia é classificada como solução integrada.

O conceito de integração das células de auxílio à comutação tem como principais objetivos a redução do número de elementos adicionais e o compartilhamento da energia necessária no circuito auxiliar entre diversos pólos PWM ou estágios do conversor, dessa forma obtendo um aumento da eficiência do sistema sem elevar o custo. Esta integração pode ser dos componentes auxiliares com os elementos do conversor original, como filtro de saída, ou entre sistemas multi-pólos, sendo que os pólos podem apresentar técnicas de comutação distintas. As topologias ZVT integradas impõem limitações à operação do inversor como a exigência por comutações sincronizadas em diferentes pólos PWM, resultando em estratégias de modulação com restrições adicionais (BELTRAME, 2009).

Outra topologia com redução no número de componentes é apresentada em (CHOI et al., 2001), no qual propõe um inversor ZVT trifásico com acoplamento magnético que utiliza uma chave auxiliar para cada braço inversor conhecida como *Single-Switch Single-Leg*, adicionando três chaves auxiliares à estrutura. Em (TAKANO et al., 2001) é proposta uma estrutura simplificada do conversor ARCP, no qual se utiliza uma chave auxiliar bidirecional em corrente e tensão para cada braço inversor. Estas topologias são classificadas como simplificadas, tendo para cada pólo inversor um circuito auxiliar individual.

O conceito de simplificação é definido como a redução dos componentes utilizados na célula de comutação no mesmo pólo PWM, o que torna a topologia menos compacta do que a integrada. A sua principal vantagem está relacionada com a independência da modulação nos pólos PWM, que pode utilizar métodos desenvolvidos para o conversor dissipativo (BELTRAME, 2009).

Nos últimos anos, pesquisas têm sido feitas no desenvolvimento de métodos de simplificação e integração das células de comutação suave (OLIVEIRA et al., 2008). Isso deve-se ao aumento do número de elementos, complexidade e custo, que ocorre principalmente em sistemas com vários estágios de conversão que utilizam células de auxílio à comutação independentes, como em acionamento de motores e fontes ininterruptas de energia (UPSs). Em (SCHUCH et al., 2009) é feita uma abordagem generalizada sobre os métodos para integração em múltiplos estágios com técnica ZVT, aplicado em UPS. Em (BELTRAME et al., 2009) é apresentada uma comparação entre os métodos de simplificação e integração em topologias de inversores ZVT trifásicos, onde a solução simplificada obtém rendimento superior e menor distorção harmônica da tensão de saída, isso principalmente por permitir o uso de técnicas PWM desenvolvidas com estes objetivos. Por outro lado, a topologia integrada proporciona a condição ZVS para as chaves principais com um número reduzido de componentes, podendo ser empregada quando o objetivo principal é a redução de volume, custo ou aumento da confiabilidade.

3.3.1.1 Análise de Técnicas ZVT

O conceito sobre a transição ressonante proposto em (HUA et al., 1992) para uma família de conversores CC-CC, traz as vantagens de não possuir elementos ressonantes em série com o fluxo de potência do conversor. Através de uma chave controlada a rede ressonante é habilitada para proporcionar a condição ZVS no interruptor principal, quando a transição da chave termina, o circuito simplesmente reverte para a operação PWM. Desta forma o conversor tem comutação suave enquanto mantém as vantagens da operação PWM.

Devido a esta disposição dos componentes o circuito recebe o nome de *Zero Voltage Transition (ZVT)*. Os circuitos auxiliares ZVT permitem a aplicação em sincronismo com o PWM tradicional, pois atuam apenas durante o período de transição do interruptor principal, com o mínimo de perdas por condução adicionadas.

As técnicas de comutação suave desenvolvidas para os conversores CC-CC podem ser igualmente empregadas aos inversores, considerando a operação do inversor para cada sentido de corrente no pólo de forma separada. Assim, o braço inversor da Figura 20 é substituído por um par chave-diodo, conforme mostra a Figura 21 para a operação com a corrente entrando no pólo PWM.

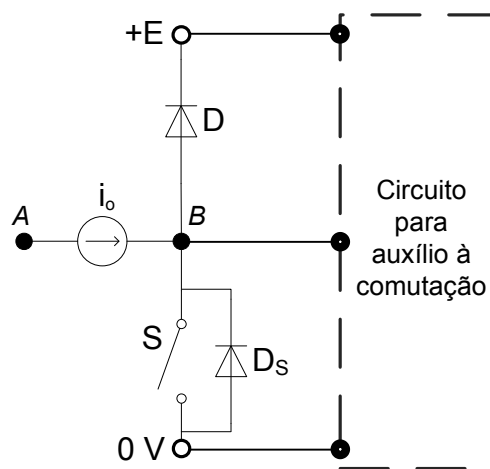


Figura 21: Pólo PWM simplificado para operação CC-CC

A Figura 22 apresenta a topologia original do circuito auxiliar ZVT aplicado ao pólo PWM, neste trabalho denominado ZVT Convencional. Considera-se a corrente que entra no pólo constante durante um período de chaveamento.

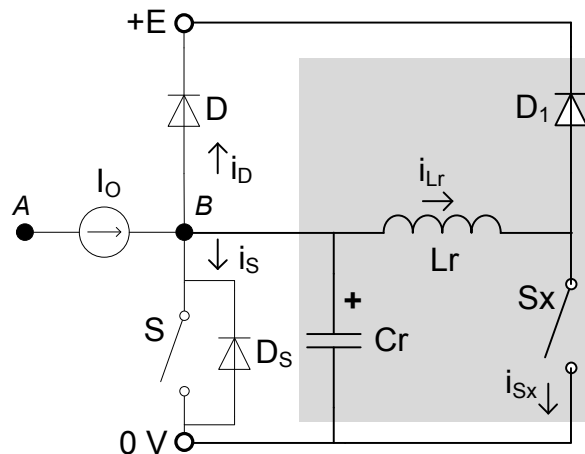


Figura 22: Conversor PWM ZVT Convencional

Os componentes S_x , L_r , D_1 e C_r adicionados compõem o circuito auxiliar ZVT para comutação suave. O capacitor C_r pode ser removido se considerado o valor da capacitância intrínseca ao interruptor utilizado. Um diodo antiparalelo a S também é considerado na descrição das etapas de operação.

Considerando o diodo D em condução, antes do acionamento da chave principal o circuito auxiliar é habilitado através do comando da chave S_x , então ocorre a etapa de carga do indutor e bloqueio do diodo D com limitação da di/dt . Após o bloqueio do diodo inicia a etapa ressonante entre L_r e C_r , onde ocorre a descarga do capacitor. Nesse momento a chave S pode ser comutada sob tensão nula e é iniciada a etapa de desmagnetização do indutor.

Através da Figura 23 pode-se verificar as condições de comutação nos interruptores principal e auxiliar, com aproximações lineares das formas de onda. O interruptor S tem a entrada em condução e bloqueio sob ZVS, também o diodo D tem comutações suaves com ZVS na entrada e ZCS no bloqueio. O interruptor auxiliar tem entrada sob ZCS, porém o seu bloqueio é dissipativo, representando um ponto de perdas e de possíveis variações abruptas de tensão sobre a chave (BODUR; BAKAN, 2002).

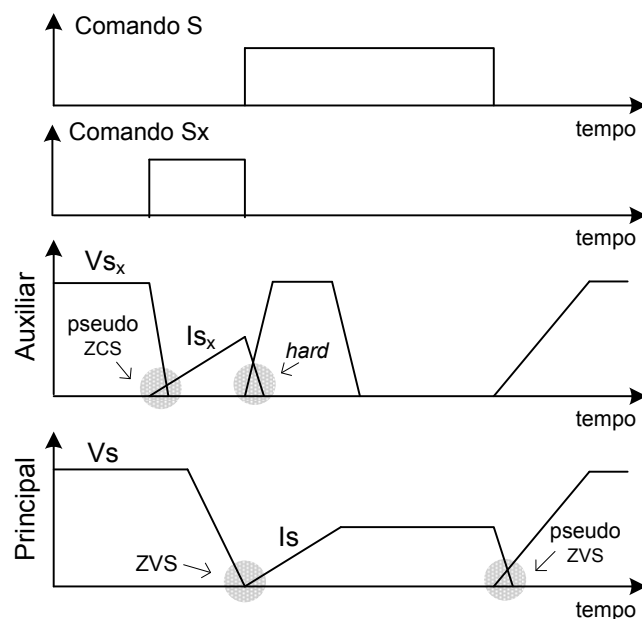


Figura 23: Comutações dos interruptores com ZVT Convencional

Diversas topologias foram propostas com o objetivo de aprimorar este circuito e reduzir as perdas na comutação do interruptor auxiliar (BODUR; BAKAN, 2002; KAEWARSA S.; YANGYUEN, 2004; KIM T. W.; AHN, 2000). A solução proposta em (BODUR; BAKAN, 2002) é aqui apresentada por ter menor dependência das condições de carga e, portanto, características favoráveis para aplicação em conversores CC-CA. Este circuito é mostrado na Figura

24, denominado neste trabalho como ZVT Aprimorado. Considera-se a utilização de um filtro ideal e portanto, substituído por uma fonte de corrente constante.

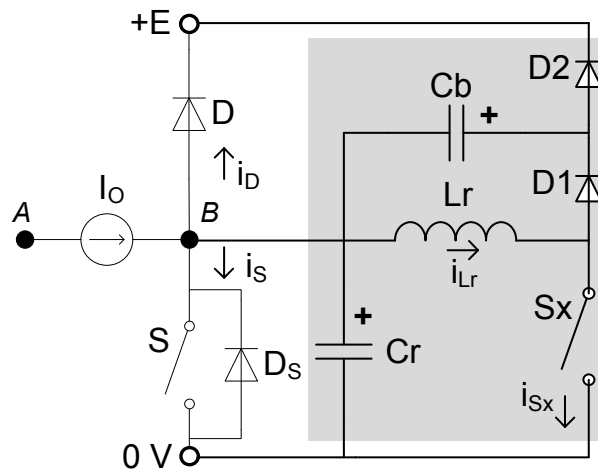


Figura 24: Conversor PWM ZVT Aprimorado

O circuito auxiliar consiste de um indutor L_r , capacitor C_r , capacitor C_b , um transistor auxiliar S_x e dois diodos auxiliares, D_1 e D_2 . Este conversor pode operar mesmo em condições de baixa corrente de saída, também apresenta fácil controle através do PWM.

Todos os dispositivos semicondutores deste conversor são comutados sob ZVS e/ou ZCS. Nenhum esforço adicional de tensão ou corrente é colocado sobre o interruptor ou diodo principais. Também, a tensão e corrente nos componentes auxiliares é mantida em níveis reduzidos. A Figura 25 apresenta aproximações lineares das principais formas de onda para verificar as condições de comutação nos interruptores. Observa-se que a principal desvantagem do ZVT convencional, relacionado ao bloqueio da chave auxiliar, é solucionado com a comutação pseudo-ZVS proporcionada pelo capacitor C_b .

A descrição básica de funcionamento é apresentada a seguir com base no circuito da Figura 24 e nas formas de onda mostradas na Figura 25.

Considerando o diodo D em condução, a transição para a chave S se inicia com o comando da chave auxiliar S_x . A corrente no indutor L_r cresce linearmente até atingir o valor da corrente I_o , neste momento o diodo D é bloqueado. Inicia-se a ressonância entre o indutor L_r e o capacitor C_r , quando a corrente no indutor é máxima a tensão em C_r é nula. A partir desse instante o diodo antiparalelo a S entra em condução, então o interruptor principal pode ser comandado sob zero de tensão, a chave auxiliar S_x é bloqueada simultaneamente. Com S conduzindo a corrente de entrada, a energia armazenada em L_r é então transferida ao capacitor C_b através de D_1 , com a carga de C_b a taxa de subida da tensão sobre S_x é limitada. O tempo de S em condução é definido pelo PWM, na abertura de S o capacitor C_b é descarregado através de

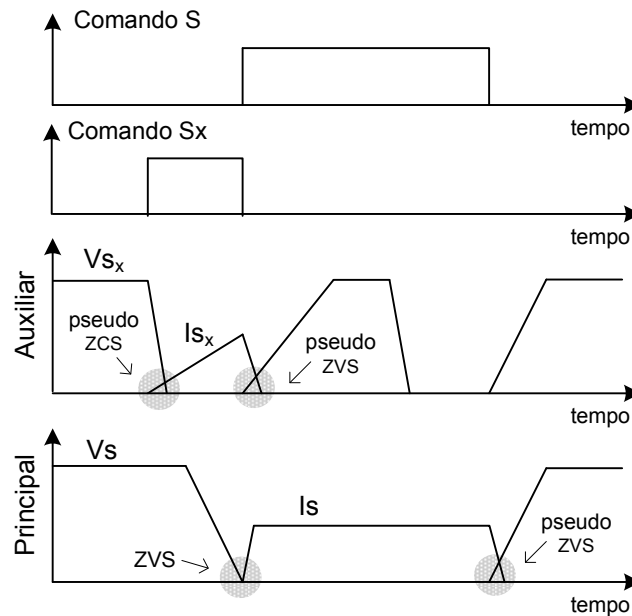


Figura 25: Comutações dos interruptores com ZVT Aprimorado

D_2 e C_r é carregado limitando a dv/dt , após, o diodo D entra em condução finalizando o ciclo.

3.4 CONCLUSÕES

Neste capítulo foram abordadas as técnicas de auxílio à comutação em zero de corrente (ZCS) e zero de tensão (ZVS), e alguns circuitos que implementam estas técnicas. Foi dado enfoque aos circuitos denominados ZCT e ZVT, que não adicionam elementos em série com o circuito de potência dos conversores e têm o circuito auxiliar ativo somente nos pequenos intervalos de transição dos interruptores. Entre os circuitos ZVT, o convencional, proposto em (HUA et al., 1992) proporciona condição ZVS para a chave principal porém o bloqueio do interruptor auxiliar ocorre de forma dissipativa. Um circuito ZVT Aprimorado foi apresentado por (BODUR; BAKAN, 2002) e soluciona os problemas relacionados à comutação da chave auxiliar. Dessa forma, este circuito será aplicado ao conversor CC-CA proposto, sendo analisado com detalhes no capítulo a seguir.

4 CONVERSOR CC-CA ZVT PWM

Neste capítulo é apresentado o conversor CC-CA proposto, adequando o circuito auxiliar ZVT (BODUR; BAKAN, 2002), para obter comutação suave nos interruptores de potência. São descritas as etapas de operação e análise matemática para a formulação das restrições de funcionamento, e assim obter uma metodologia de projeto para os elementos do circuito auxiliar.

O conversor tem a topologia em ponte completa e a estratégia de modulação utilizada opera com um braço inversor (S_1 e S_2) em baixa frequência e outro (S_3 e S_4) em alta frequência. Portanto o circuito auxiliar ZVT é implementado para os interruptores S_3 e S_4 , onde as perdas de comutação são significativas. O circuito completo pode ser observado na Figura 26.

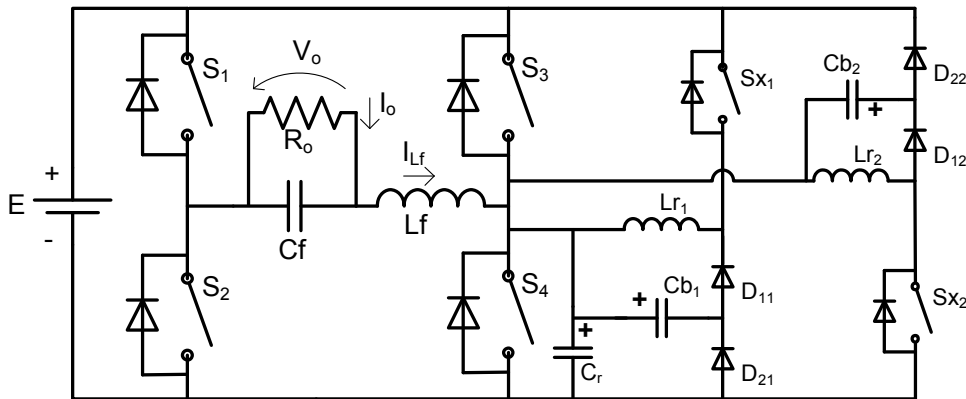


Figura 26: Conversor Ponte Completa ZVT PWM

São dois circuitos auxiliares independentes com operação simétrica em cada semiciclo. Para a comutação em zero de tensão no interruptor S_3 são utilizados os componentes (circuito 1): S_{x1} (Interruptor auxiliar 1), L_{r1} (Indutor ressonante 1), C_{b1} (Capacitor *snubber* 1), D_{11} (Diodo D_1 do circuito 1) e D_{21} (Diodo D_2 do circuito 1).

Para o interruptor S_4 é utilizado o circuito auxiliar 2, composto pelos componentes: S_{x2} , L_{r2} , C_{b2} , D_{12} e D_{22} . O C_r representa a capacitância ressonante, comum para ambos os circuitos.

A lógica utilizada para os sinais de comando das chaves principais e auxiliares pode ser observada na Figura 27. A chave S_1 é mantida em condução durante todo o semiciclo positivo e S_2 no semiciclo negativo da tensão de saída.

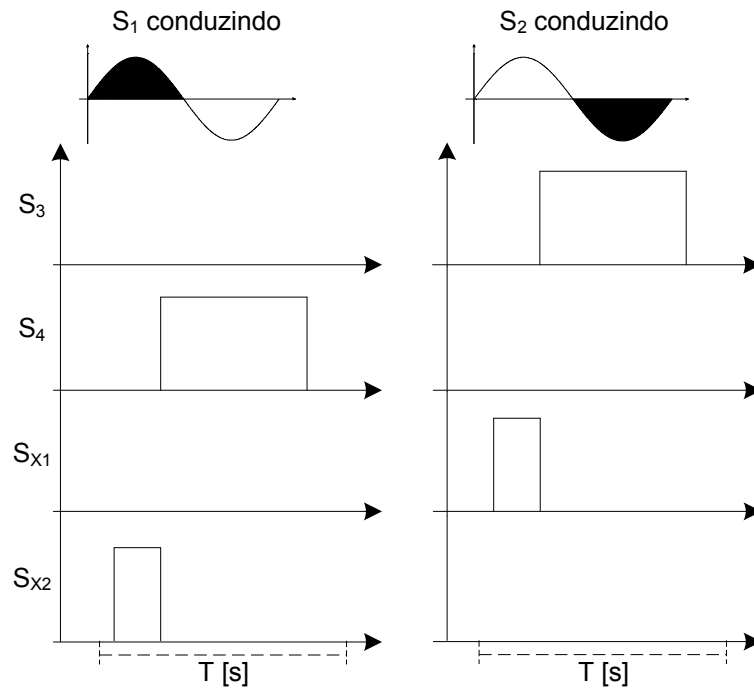


Figura 27: Sinais de comando dos interruptores principais e auxiliares

Durante o semiciclo positivo, o interruptor auxiliar S_{x2} é comandado a fim de prover a comutação suave no interruptor principal S_4 . Analogamente para o outro semiciclo utiliza-se a chave S_{x1} para auxiliar na comutação de S_3 .

Devido à utilização do filtro LC na saída, durante o semiciclo positivo quando o interruptor S_4 estiver bloqueado, o diodo antiparalelo de S_3 (D_{S3}) assume a corrente de saída. Da mesma forma ocorre no semiciclo negativo com o bloqueio de S_3 e a condução do diodo antiparalelo a S_4 (D_{S4}).

Uma vez que a corrente na carga (i_o) tem comportamento senoidal, para a descrição das etapas de operação durante um período de chaveamento, deve-se considerar um determinado ponto da senóide. Como a frequência de chaveamento é muito elevada em relação à frequência de saída, durante um período de comutação a corrente i_o pode ser considerada constante. Escolhendo a operação durante o semiciclo positivo e no instante de pico da senóide tem-se o valor de $I_{o,p}$. Durante este semiciclo, S_1 juntamente com S_4 ou D_{S3} conduzem a corrente de saída e o circuito auxiliar ativo é o 2. Para este ponto de operação um circuito equivalente é apresentado na Figura 28.

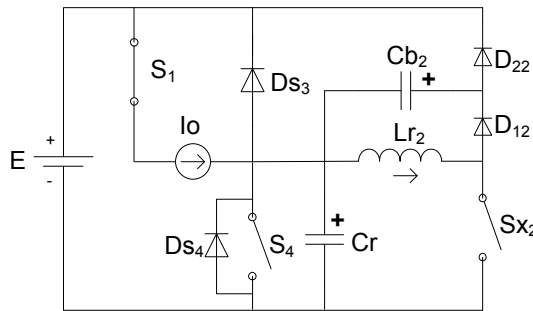


Figura 28: Circuito equivalente para o semiciclo positivo

Para facilitar na descrição das etapas os nomes dos elementos são iguais ao dos conversores CC-CC mostrados no capítulo anterior, conforme mostra a Figura 29. Durante um período de chaveamento podem-se observar 9 etapas de operação. Para a descrição efetuou-se a divisão entre a comutação do diodo para a chave (6 estágios) e da chave para o diodo (3 estágios). Tendo como referência o funcionamento apresentado em (ZHU; DING, 1999), (BODUR; BAKAN, 2002) e (RUSSI et al., 2005) para um conversor *boost*.

4.1 ETAPAS DE COMUTAÇÃO DIODO-CHAVE

As principais formas de onda teóricas considerando os componentes ideais são mostradas na Figura 30. Os instantes de tempo são referentes à cada etapa de operação. O circuito equivalente à cada estágio está apresentado nas Figuras 29, 31 a 35. A tensão sobre o capacitor C_r (v_{C_r}) e sobre o capacitor C_b (v_{C_b}) tem a polaridade indicada nas figuras, também está indicado o sentido da corrente nas chaves, no diodo e no indutor auxiliar.

Estágio 1 ($t_0 \leq t \leq t_1$): Anterior à primeira etapa ($t < t_0$), o diodo D conduz a corrente de saída e ambas as chaves estão no estado de bloqueio. Em t_0 a chave S_x é colocada em condução e a corrente cresce linearmente através do indutor L_r .

Condições iniciais: $i_s = 0, i_{S_x} = 0, i_D = I_{op}, v_{C_r} = E, v_{C_b} = 0$.

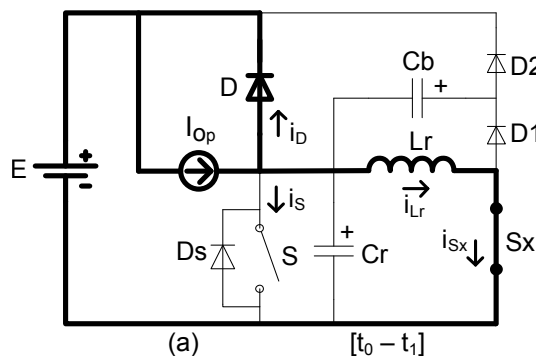


Figura 29: Estágio 1 diodo-chave

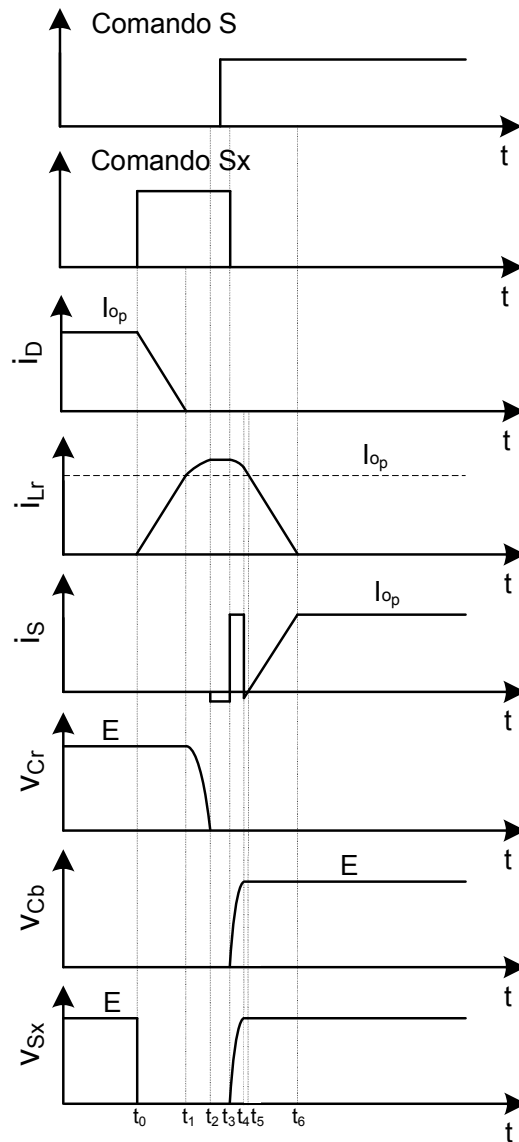


Figura 30: Formas de onda teóricas para comutação diodo-chave

A energia é armazenada no indutor linearmente seguindo a expressão

$$i_{L_r} = \frac{E}{L_r} t \quad (6)$$

Uma vez que $i_{S_x} = i_{L_r}$, a chave auxiliar entra em condução sob pseudo-ZCS. A corrente no diodo decresce linearmente segundo

$$i_D = I_{o_p} - i_{L_r} \quad (7)$$

Esta etapa termina em t_1 , quando a corrente em L_r é igual a I_{o_p} e o diodo D para de

conduzir. O tempo de duração do estágio 1 (Δt_1) é dado por

$$\Delta t_1 = \frac{L_r}{E} I_{op} \quad (8)$$

Estágio 2 ($t_1 < t \leq t_2$): A corrente em L_r continua aumentando devido à ressonância com o capacitor C_r . Condições iniciais: $i_S = 0, i_{Sx} = I_{op}, i_D = 0, v_{C_r} = E, v_{C_b} = 0$.

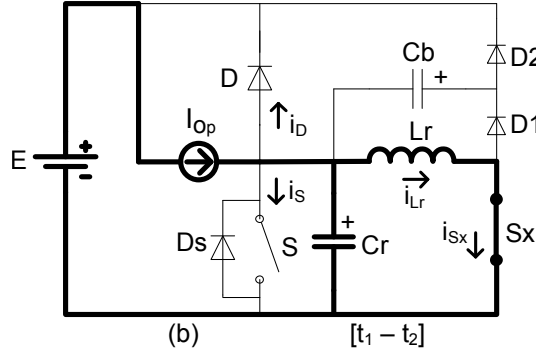


Figura 31: Estágio 2 diodo-chave

As Equações 9 e 10 descrevem esta etapa ressonante.

$$i_{L_r} = I_{op} + \frac{E}{Z_1} \cdot \text{sen}(\omega_1 t) \quad (9)$$

$$v_{C_r} = E \cos(\omega_1 t) \quad (10)$$

onde a impedância e a frequência de ressonância são respectivamente

$$Z_1 = \sqrt{L_r/C_r} \quad (11)$$

$$\omega_1 = \frac{1}{\sqrt{L_r C_r}} \quad (12)$$

A etapa termina em t_2 onde a corrente i_{L_r} assume o seu valor máximo ($I_{L_r(max)}$) e a tensão em C_r é igual a zero, isso ocorre em 1/4 do período de ressonância. O tempo de duração do estágio (Δt_2) e a corrente máxima no indutor são definidas pelas expressões 13 e 14, respectivamente.

$$\Delta t_2 = \frac{\pi}{2} \sqrt{L_r C_r} \quad (13)$$

$$I_{L_r(max)} = I_{op} + \frac{E}{Z_1} \quad (14)$$

Estágio 3 ($t_2 < t \leq t_3$): Durante esta etapa o diodo D_s conduz a diferença entre a corrente máxima em L_r e a corrente de saída, garantindo a condição de comutação ZVS para o interruptor S . Condições iniciais: $i_S = 0, i_{Sx} = I_{L_r(max)}, i_D = 0, v_{C_r} = 0, v_{C_b} = 0$.

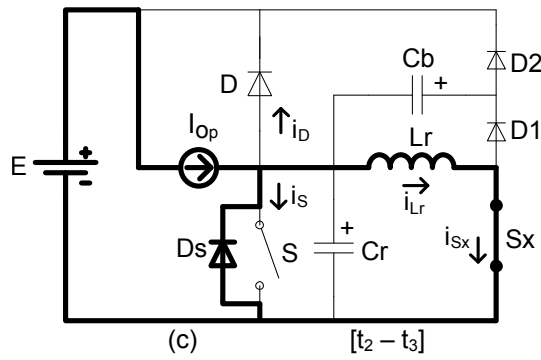


Figura 32: Estágio 3 diodo-chave

Este intervalo deve ser tão pequeno quanto possível para minimizar as perdas de condução no circuito auxiliar, no entanto, deve durar o tempo suficiente para estabelecer a tensão de gatilho para a chave S .

Estágio 4 ($t_3 < t \leq t_4$): Em t_3 , a chave auxiliar S_x é bloqueada sob pseudo-ZVS devido à presença do capacitor de *snubber* C_b . O interruptor S assume a corrente de saída e a corrente em L_r começa a descarregar através de D_1 para C_b , transferindo a energia armazenada no indutor para o capacitor. Condições iniciais: $i_s = 0$, $i_{s_x} = I_{L_r(max)}$, $i_D = 0$, $v_{C_r} = 0$, $v_{C_b} = 0$.

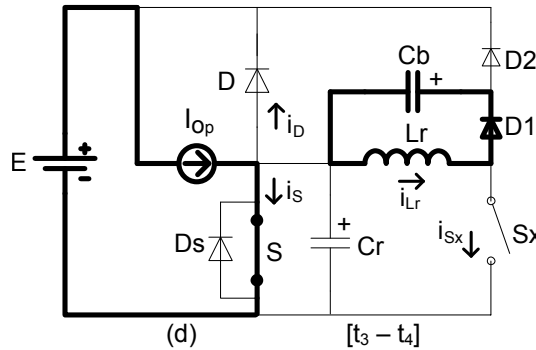


Figura 33: Estágio 4 diodo-chave

O processo ressonante é estabelecido pelas equações

$$i_{L_r} = I_{L_r(max)} \cos(\omega_2 t) \quad (15)$$

$$v_{C_b} = Z_2 \cdot I_{L_r(max)} \text{sen}(\omega_2 t) \quad (16)$$

onde a impedância e a frequência de ressonância são respectivamente

$$\omega_2 = \frac{1}{\sqrt{L_r C_b}} \quad (17)$$

$$Z_2 = \sqrt{L_r / C_b} \quad (18)$$

Esta etapa termina em t_4 quando a tensão em C_b atinge $+E$, o tempo de duração é definido pela Equação 19.

$$\Delta t_4 = \frac{\text{sen}^{-1} \left(E / (Z_2 \cdot I_{L_r(\max)}) \right)}{\omega_2} \quad (19)$$

Estágio 5 ($t_4 < t \leq t_5$): Dependendo do valor projetado para o capacitor C_b , apenas uma parcela da energia armazenada em L_r é necessária para carregar C_b até a tensão E , desta forma o restante da energia é transferida para a entrada através da condução do diodo D_2 . Caso a corrente no indutor no instante t_4 seja maior que I_{op} , o diodo D_s torna a conduzir conforme apresentado na Figura 34. Condições iniciais: $i_S = I_{op}$, $i_{Sx} = i_{L_r}(t_4)$, $i_D = 0$, $v_{C_r} = 0$, $v_{C_b} = E$.

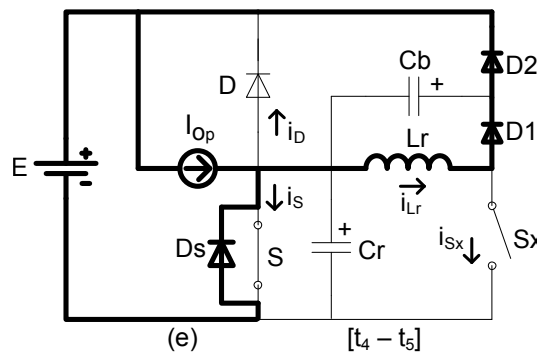


Figura 34: Estágio 5 diodo-chave

A corrente i_{L_r} decresce linearmente conforme a relação da Equação 20.

$$i_{L_r} = i_{L_r}(t_4) - \frac{E}{L_r} t \quad (20)$$

Esta etapa termina com o bloqueio do diodo antiparalelo D_s , e a corrente no indutor é igual a I_{op} .

Estágio 6 ($t_5 < t \leq t_6$): Durante esta etapa continua a devolução da energia armazenada em L_r para a entrada, a corrente na chave principal segue uma rampa definida pela Equação 21.

$$i_S = I_{op} - i_{L_r} \quad (21)$$

A corrente no indutor auxiliar continua a decrescer conforme a Equação 20, o estágio termina quando $i_{L_r} = 0$ com duração igual ao tempo de carga Δt_1 .

Condições iniciais: $i_S = 0, i_{Sx} = 0, i_D = 0, i_{Lr} = I_{op}, v_{Cr} = 0, v_{Cb} = E$.

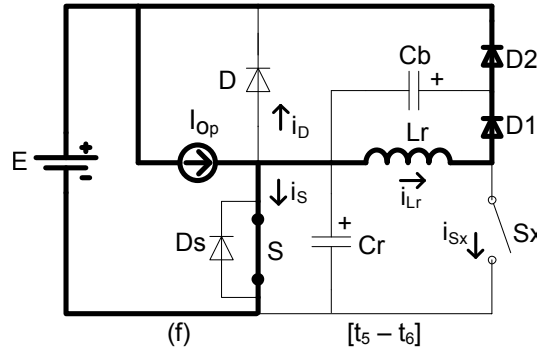


Figura 35: Estágio 6 diodo-chave

4.2 ETAPAS DE COMUTAÇÃO CHAVE-DIODO

Na Figura 38 estão apresentadas as formas de onda e nas Figuras 36, 37 e 39 os circuitos equivalentes aos estágios 7 a 9.

Estágio 7 ($t_6 < t \leq t_7$): Durante esta etapa o interruptor S conduz a corrente de saída, conforme Figura 36, o tempo de duração é definido pelo PWM, o bloqueio de S ocorre no instante t_7 . Condições iniciais: $i_S = I_{op}, i_{Sx} = 0, i_D = 0, i_{Lr} = 0, v_{Cr} = 0, v_{Cb} = E$.

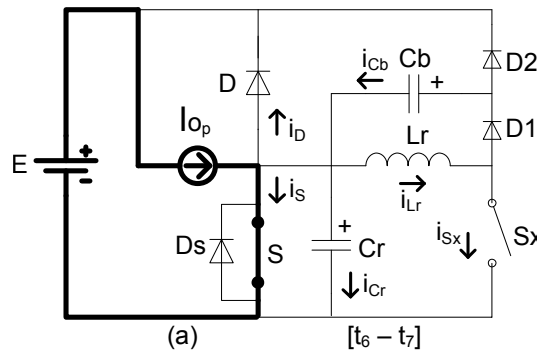


Figura 36: Estágio 7 chave-diodo

Estágio 8 ($t_7 < t \leq t_8$): Com o bloqueio de S em t_7 , é iniciada a descarga do capacitor C_b através do diodo D_2 , sendo parte desta energia regenerada para a entrada e o restante para a carga do capacitor C_r . A tensão sobre a chave S cresce linearmente devido a carga do capacitor C_r conforme a expressão 22, proporcionando uma comutação pseudo-ZVS.

$$v_{Cr} = \frac{I_{op}}{C_r + C_b} t \quad (22)$$

Condições iniciais: $i_S = 0, i_{Sx} = 0, i_D = 0, v_{Cr} = 0, v_{Cb} = E$.

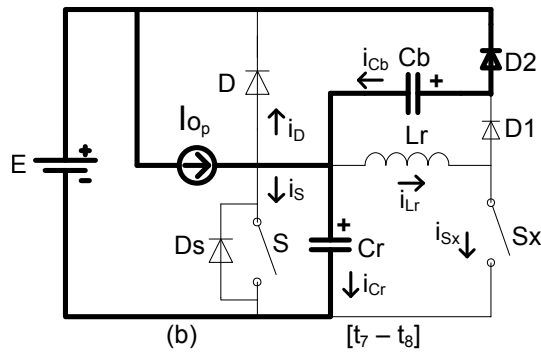


Figura 37: Estágio 8 chave-diodo

O término desta etapa ocorre no instante t_8 com a carga/descarga dos capacitores completa e o diodo D entra em condução

$$\Delta t_8 = \frac{C_r + C_b}{I_{op}} E \tag{23}$$

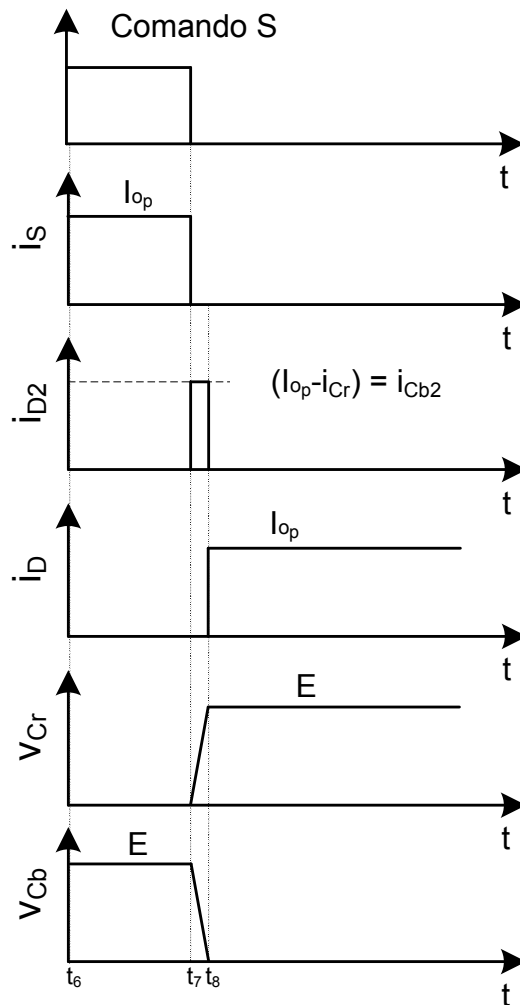


Figura 38: Formas de onda teóricas para comutação chave-diodo

Estágio 9 ($t_8 < t \leq t_9$): O diodo principal D conduz a corrente de saída, a modulação PWM define o tempo de duração desta etapa.

Condições iniciais: $i_S = 0, i_{Sx} = 0, i_D = I_{op}, v_{Cr} = E, v_{Cb} = 0$.

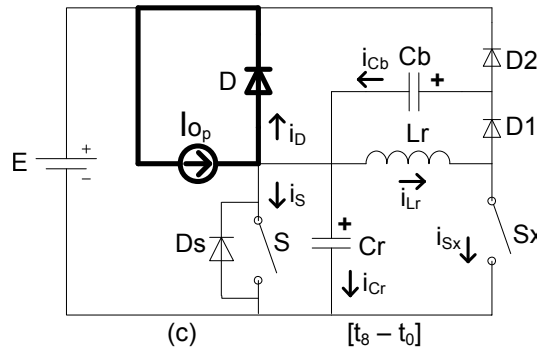


Figura 39: Estágio 9 chave-diodo

O instante de término deste estágio equivale ao início de um novo ciclo, então $t_9 = t_0$.

4.3 RESTRIÇÕES PARA O PROJETO DO CIRCUITO AUXILIAR

Para obter sucesso no emprego da técnica de comutação suave apresentada é necessário considerar as não-idealidades dos dispositivos semicondutores utilizados e determinadas condições para o correto funcionamento do circuito auxiliar. Dessa forma, nesta seção são apresentadas as restrições de projeto para os elementos auxiliares a fim de garantir a redução das perdas nos semicondutores.

Para a definição das restrições de projeto, considera-se a operação do conversor com potência de saída nominal e a corrente de saída no instante de pico da senóide. Portanto, o valor de I_{op} representa o pico da máxima corrente de carga.

O projeto equivale à operação do circuito auxiliar 2, ativo no semiciclo positivo, no entanto estas restrições são igualmente válidas para o circuito auxiliar 1.

4.3.1 Restrição 1: Limitação da di/dt no diodo

Esta restrição tem o objetivo de reduzir as perdas de recuperação reversa no diodo antiparalelo ao interruptor principal (D_{S3} e D_{S4}). Conforme observado no estágio 1, o bloqueio do diodo principal ocorre à medida que a corrente no indutor cresce. Para assegurar que a velocidade de comutação do diodo esteja dentro do valor especificado pelo fabricante do componente, o indutor L_r é dimensionado de forma que a taxa de subida (di/dt) seja limitada.

O tempo para a corrente no indutor crescer de zero até I_{op} é igual a Δt_1 dado pela Equação 8. A duração deste intervalo deve ser maior que o tempo de recuperação reversa (t_{rr}) do diodo utilizado. Portanto, para atender esta restrição, o indutor ressonante é definido pela Equação 24, onde k_1 deve ser maior do que 1.

$$L_r = k_1 \cdot t_{rr} \cdot \frac{E}{I_{op}} \quad (24)$$

4.3.2 Restrição 2: Corrente máxima no indutor ressonante

A amplitude máxima da corrente no indutor L_r deve ser maior do que a corrente de saída, de forma que o circuito auxiliar, e o diodo antiparalelo à chave principal assumam a corrente no intervalo de comutação. Porém este valor de corrente deve ser limitado com o propósito de reduzir as perdas por condução e a capacidade de corrente necessária do interruptor auxiliar. Assim

$$I_{L_r(max)} = k_2 \cdot I_{op} \quad (25)$$

onde a constante k_2 deve ser maior do que 1.

A corrente $I_{L_r(max)}$ definida na descrição do estágio 2 pode ser escrita como

$$I_{L_r(max)} = I_{op} + \frac{E}{\sqrt{L_r/C_r}} \quad (26)$$

Substituindo a restrição 25 em 26 e isolando o indutor auxiliar chega-se a

$$L_r = \frac{E^2 C_r}{I_{op}^2 (k_2 - 1)^2} \quad (27)$$

4.3.3 Restrição 3: Tempo de condução do interruptor auxiliar

Para que ocorra a comutação em zero de tensão no interruptor S , o interruptor auxiliar S_x deve ser mantido em condução até que seja estabelecido o sinal de comando para o interruptor principal sob ZVS. Este tempo de condução para S_x (t_{S_x}), consiste na soma da duração dos estágios 1, 2 e 3, portanto

$$t_{S_x} = \Delta t_1 + \Delta t_2 + \Delta t_3 \quad (28)$$

A duração do primeiro e segundo estágios são representados pelas Equações 8 e 13, respectivamente. Substituindo estas expressões na Equação 28 obtêm-se

$$t_{S_x} = \frac{L_r}{E} I_{op} + \frac{\pi}{2} \sqrt{L_r C_r} + \Delta t_3 \quad (29)$$

o valor de Δt_3 deve ser definido com base no atraso do circuito de acionamento e o tempo necessário para o processo de entrada em condução do interruptor, caracterizado pelo atraso na estabilização da tensão de *gate* (porta) e pelo tempo de subida da corrente.

4.3.4 Restrição 4: Limitações na razão cíclica

Em inversores com comutação dissipativa teoricamente a razão cíclica pode variar de zero até a unidade, ou seja, o tempo de condução de qualquer chave semicondutora pode ser de zero até o período de chaveamento. No entanto, na prática isto não é realizável devido ao tempo que o dispositivo semicondutor necessita para trocar do estado de condução ou bloqueio. Nos inversores com comutação suave existe também o tempo necessário para a operação do circuito auxiliar, antes de efetivamente comutar o interruptor principal. Assim, tanto o tempo de condução, bem como o de bloqueio dos dispositivos são limitados pelos intervalos do circuito auxiliar para obter condições nulas de tensão e/ou corrente.

Para o inversor em análise, o tempo máximo em condução das chaves principais é definido como

$$t_{on(max)} = T_s - t_{zvt} \quad (30)$$

onde t_{zvt} equivale ao tempo de operação do circuito auxiliar, no qual a chave principal deve estar no estado de bloqueio dado por

$$t_{zvt} = t_{S_x} + \Delta t_8 \quad (31)$$

Por outro lado, um tempo mínimo de condução da chave principal é necessário para a carga do capacitor C_b , sendo

$$t_{on(min)} = \Delta t_4 \quad (32)$$

Como o máximo intervalo de condução ($t_{on(max)}$) limita o índice de modulação do conversor, o projeto deve assegurar que o tempo relacionado ao circuito auxiliar seja limitado em relação ao período de chaveamento. Assim

$$t_{zvt} = k_3 T_s \quad (33)$$

onde k_3 é uma constante menor do que 1, com o propósito de limitar o tempo ativo do circuito auxiliar.

Substituindo a Equação 31 em 33, e admitindo que $t_{S_x} \gg \Delta t_8$ esta restrição pode ser escrita como

$$t_{S_x} = k_3 T_s \quad (34)$$

4.3.5 Restrição 5: Limitação da dv/dt nos interruptores

Existem várias razões para reduzir a taxa de variação de tensão sobre um dispositivo. Estas razões podem ser devido à limitações construtivas do dispositivo, limitações do circuito ou redução da interferência eletromagnética (EMI), (MARTINS, 2008). Neste circuito em análise a dv/dt sobre o interruptor principal no instante de bloqueio é definida pela descarga do capacitor C_b e carga de C_r . Para o efeito *snubber* ideal, a tensão em C_b deve ser igual a E antes do bloqueio de S .

A carga deste capacitor ocorre durante o estágio 4 através da ressonância com L_r , a Equação 35 descreve a energia necessária para o capacitor C_b atingir a tensão E .

$$W_{C_b} = \frac{1}{2} C_b E^2 \quad (35)$$

A energia máxima que pode ser armazenada no indutor L_r é definida pela Equação 36.

$$W_{L_r(max)} = \frac{1}{2} L_r \cdot I_{L_r(max)}^2 \quad (36)$$

Substituindo a corrente máxima no indutor (Equação 26) em 36 é obtida outra expressão para a energia armazenada dada por

$$W_{L_r(max)} = \frac{L_r}{2} \left(I_{op} + E \sqrt{\frac{C_r}{L_r}} \right)^2 \quad (37)$$

Igualando-se as expressões 35 e 37 e isolando o capacitor C_b , define-se um valor máximo do capacitor para a função *snubber* ser atendida, conforme Equação 38.

$$C_b \leq \frac{L_r}{E^2} \left(I_{op} + E \sqrt{\frac{C_r}{L_r}} \right)^2 \quad (38)$$

Dessa forma a tensão sobre o interruptor irá crescer a partir de zero, reduzindo a dv/dt no instante de bloqueio e consequentemente as perdas na comutação.

4.3.6 Restrição 6: Tempo de bloqueio dos interruptores

As chaves semicondutoras necessitam de um tempo para comutar do estado de condução para o de bloqueio. Este intervalo é definido como o tempo para a corrente no dispositivo decrescer de 90% a 10% do seu valor nominal, e é denominado como *fall time*. Para reduzir as perdas nesta transição, o tempo de subida da tensão sobre o dispositivo deve ser maior

que o tempo de descida da corrente, diminuindo assim o intervalo de sobreposição das formas de onda. Conforme as etapas de operação

$$\Delta t_8 = k_4 \cdot t_{fl_1} \quad (39)$$

e

$$\Delta t_4 = k_4 \cdot t_{fl_2} \quad (40)$$

onde:

t_{fl_1} - *fall time* do interruptor principal;

t_{fl_2} - *fall time* do interruptor auxiliar;

k_4 - constante maior que 1 para atender as restrições.

A taxa de subida da tensão sobre o interruptor principal durante o bloqueio é definida pela associação em paralelo dos capacitores C_r e C_b , conforme Equação 22 e o tempo de duração deste intervalo (Δt_8) é dado pela Equação 23. Portanto, para atender a restrição no bloqueio de S , o capacitor C_b é definido pela Equação 41.

$$C_b = k_4 \cdot t_{fl_1} \cdot \frac{I_{op}}{E} - C_r \quad (41)$$

A carga do capacitor C_b também define a taxa de subida da tensão sobre o interruptor auxiliar durante o estágio 4. Como já apresentado nas equações deste estágio, o tempo para a tensão v_{C_b} atingir o valor E é definido pela Equação 19. Substituindo ω_2 (Equação 17) e Z_2 (Equação 18) na expressão de 19 chega-se a

$$\Delta t_4 = \text{sen}^{-1} \left(\frac{E}{\sqrt{L_r/C_b} \cdot I_{L_r(max)}} \right) \sqrt{L_r C_b} \quad (42)$$

Portanto, para atender a restrição de bloqueio de S_x deve-se respeitar a Equação 43.

$$\text{sen}^{-1} \left(\frac{E}{\sqrt{L_r/C_b} \cdot I_{L_r(max)}} \right) \sqrt{L_r C_b} = k_4 \cdot t_{fl_2} \quad (43)$$

4.4 METODOLOGIA DE PROJETO PARA O CIRCUITO AUXILIAR

Este procedimento de projeto consiste em determinar o valor do indutor e dos capacitores do circuito auxiliar, a fim de atender às seis restrições apresentadas na seção anterior.

4.4.1 Região de validade de L_r e C_r

Para o indutor auxiliar L_r são obtidos 3 valores, em função do capacitor ressonante C_r , que limitam a sua região de validade.

Da restrição 1, definida pela Equação 24 determina-se L_{r_a} dado por

$$L_{r_a} = k_1 \cdot t_{rr} \cdot \frac{E}{I_{op}} \quad (44)$$

Através da restrição 2 (Equação 27) é obtido L_{r_b} ,

$$L_{r_b} = \frac{E^2 C_r}{I_{op}^2 (k_2 - 1)^2} \quad (45)$$

Outra limitação para o indutor é obtida através da combinação das restrições 3 e 4, referente ao valor mínimo e máximo do tempo em condução da chave auxiliar. Igualando-se as Equações 29 e 34 e isolando o indutor L_r obtêm-se dois valores possíveis, no qual o válido de L_{r_c} é dado por

$$L_{r_c} = \left(\frac{\frac{-\pi}{2} \sqrt{C_r} + \sqrt{\left(\frac{\pi}{2} \sqrt{C_r}\right)^2 + \frac{4I_{op}}{E} (k_3 T_s - \Delta t_3)}}{\frac{2I_{op}}{E}} \right)^2 \quad (46)$$

O capacitor C_r possui uma limitação mínima (C_{r_a}), correspondente à soma das capacitâncias intrínsecas dos interruptores principais do braço inversor portanto

$$C_{r_a} \geq 2 \cdot C_{oes} \quad (47)$$

onde C_{oes} é a capacitância intrínseca de cada chave.

Para determinar o valor de L_r e C_r pode-se efetuar um gráfico com as Equações de L_{r_a} , L_{r_b} , L_{r_c} e C_{r_a} e dessa forma verificar as regiões de validade destes componentes. Analisando as equações das restrições observa-se que L_{r_a} e L_{r_b} referem-se à valores mínimos e L_{r_c} a um valor máximo para o indutor, e C_{r_a} o valor mínimo para a capacitância. Adotando-se primeiramente o valor de C_r , existirão várias combinações com L_r que atendem às restrições, para o auxílio na escolha da indutância pode-se verificar a influência deste componente nos principais parâmetros do circuito, como corrente máxima e tempos de comutação.

4.4.2 Definição do valor do Capacitor C_b

Com os valores de L_r e C_r projetados, são obtidas as limitações para C_b de forma a atender as restrições apresentadas.

Da restrição 5 definida pela Equação 38 determina-se o valor de C_{b_a} ,

$$C_{b_a} \leq \frac{L_r}{E^2} \left(I_{op} + E \sqrt{\frac{C_r}{L_r}} \right)^2 \quad (48)$$

Para satisfazer a restrição 6 (Equação 41) relativa ao bloqueio de S é obtido

$$C_{b_b} = k_4 \cdot t_{fl1} \cdot \frac{I_{op}}{E} - C_r \quad (49)$$

De forma a atender a restrição 6 (Equação 43) relativa ao bloqueio de S_x determina-se C_{b_c} através da expressão

$$\text{sen}^{-1} \left(\frac{E}{\sqrt{L_r/C_{b_c}} \cdot I_{L_r(max)}} \right) \sqrt{L_r C_{b_c}} = k_4 \cdot t_{fl2} \quad (50)$$

Para determinar o capacitor C_b que atenda a estas restrições, deve-se projetar o valor de k_4 e através das equações apresentadas obter os valores de C_{b_a} , C_{b_b} e C_{b_c} . Uma vez que C_{b_a} refere-se a um valor máximo e C_{b_b} e C_{b_c} a valores mínimos, pode-se analisar graficamente a influência desta capacitância nas restrições e obter um valor de projeto adequado.

4.5 CONCLUSÕES

Neste capítulo foi apresentado o conversor ponte completa utilizando um circuito auxiliar para comutação em zero de tensão dos interruptores principais. Foram demonstradas as etapas de funcionamento para o conversor operando no semiciclo positivo da tensão de saída. Através desta descrição foram verificadas as condições de comutação nas chaves principais e auxiliares, que ocorrem sob ZVS e/ou ZCS. Com base no equacionamento equivalente à cada estágio de operação e características dos semicondutores, foram definidas restrições para o projeto do circuito auxiliar de forma a assegurar o seu funcionamento e garantir a comutação suave nos interruptores. No capítulo seguinte a metodologia de projeto apresentada será aplicada na implementação de um protótipo do conversor CC-CA, do qual serão obtidos resultados de simulação e experimentais.

5 IMPLEMENTAÇÃO E RESULTADOS EXPERIMENTAIS

Este capítulo apresenta as etapas para implementação em laboratório do conversor CC-CA ZVT PWM proposto. Primeiramente é elaborado um exemplo de projeto dos componentes do circuito auxiliar ZVT Aprimorado e também são abordadas algumas considerações sobre o circuito de comando. O funcionamento deste circuito auxiliar é validado através de resultados de simulação e experimentais. Para efeitos de comparação são implementados outros dois circuitos de auxílio à comutação: o ZVT Convencional e o *Snubber* de Undeland.

5.1 PROJETO DOS COMPONENTES

Na Tabela 2 são mostradas as especificações do protótipo implementado.

Tabela 2: Especificações do Protótipo

| | |
|--------------------------------------|----------|
| Tensão de Entrada (E) | 300 V |
| Tensão de pico na Saída (V_{op}) | 180 V |
| Frequência de Saída (f_o) | 60 Hz |
| Potência de Saída (P_o) | 1000 W |
| Resistência de Carga (R_o) | 16,2 ohm |
| Frequência de Chaveamento (f_s) | 40 kHz |

Com base nas equações descritas para cada etapa de funcionamento do conversor e procedimento de projeto do circuito ZVT (ambos no capítulo 4), um exemplo de projeto é apresentado a seguir, para as especificações da Tabela 2.

5.1.1 Interruptores principais e auxiliares

Foram utilizados semicondutores discretos para ambos os circuitos principal e auxiliar compatíveis com as especificações do conversor, como frequência de chaveamento, tensão de entrada e corrente de saída. A Tabela 3 mostra as principais características destes dispositivos.

Tabela 3: Características dos semicondutores utilizados

| Descrição | Componente | Tensão / Corrente | t_{fall} / t_{rr} | C_{oes} |
|--|--------------|----------------------|---------------------|-----------|
| Chaves principais (S_1 a S_4) | IRGP50B60PD1 | 600 V / 45 A (100°C) | 20 ns / 120 ns | 322 pF |
| Chaves auxiliares (S_{x_1}, S_{x_2}) | IRG4PC40UD | 600 V / 20 A (100°C) | 130 ns / 120 ns | 140 pF |

Apesar de dispositivos MOSFET apresentarem menores perdas em aplicações com comutação em zero de tensão do que o IGBT, para os interruptores principais e auxiliares foram utilizados IGBT pela característica de possuírem diodos intrínsecos mais rápidos do que dispositivos MOSFET. No entanto, segundo informação de *datasheet*, o IGBT utilizado possui parâmetros equivalentes a um MOSFET, sendo recomendado para aplicações com circuitos ZVS, também possui característica de mínima corrente de cauda, principal fonte de perdas do IGBT.

5.1.2 Circuito Auxiliar

Para determinar o valor dos componentes do circuito auxiliar utiliza-se os parâmetros do inversor descritos na Tabela 2 e as características dos semicondutores da Tabela 3.

5.1.2.1 Indutor L_r e Capacitor C_r

Como apresentado na metodologia de projeto a capacitância C_r possui um valor mínimo devido aos valores intrínsecos dos interruptores. A capacitância C_r pode ser projetada para este valor mínimo igual a $2C_{oes}$, de forma a reduzir as perdas por condução no circuito auxiliar. Isso é possível devido o capacitor C_b garantir a minimização das perdas durante o bloqueio dos interruptores principal e auxiliar. Ainda, o valor de C_b pode ser grande o suficiente sem comprometer a eficiência do circuito auxiliar uma vez que a energia nele armazenada é regenerada para a entrada e não circula através do indutor.

O indutor auxiliar L_r é obtido em função da capacitância C_r e das Equações 44, 45 e 46. O valor das constantes k_1 , k_2 e k_3 devem ser projetados para atender as restrições 1 a 4 e a partir disso determina-se o valor do indutor correspondente. Alguns termos destas equações devem ser determinados como,

$$I_{op} = \frac{V_{op}}{R_o} = 11,11A \quad (51)$$

$$T_s = \frac{1}{f_s} = 25\mu s \quad (52)$$

O *datasheet* do interruptor principal utilizado traz as curvas características para o diodo intrínseco, nas quais apresentam a corrente de recuperação reversa para taxas di/dt de 100 A/ μ s a 1000 A/ μ s, onde a corrente reversa diminui com a redução do di/dt . Assumindo o valor de $k_1 = 3$ (BODUR; BAKAN, 2002), equivale a limitar a di/dt em aproximadamente 30 A/ μ s, dessa forma reduzindo a amplitude e conseqüentemente os problemas devido à corrente de recuperação reversa.

O valor da constante Δt_3 é utilizado para garantir que a duração do estágio 3 tenha valor suficiente para que o sinal de comando no interruptor principal seja estabelecido, dessa forma garantindo a entrada em ZVS. Devido à não-idealidades do interruptor e atrasos do circuito de acionamento, em experimentos utiliza-se $\Delta t_3 = 200$ ns para este estágio.

Os valores das constantes k_2 e k_3 e do indutor auxiliar são obtidos através da análise do gráfico da Figura 40, onde observa-se a influência do indutor L_r nas principais grandezas envolvidas nestas restrições, $I_{L_r(max)}$ através de k_2 e t_{S_x} através de k_3 .

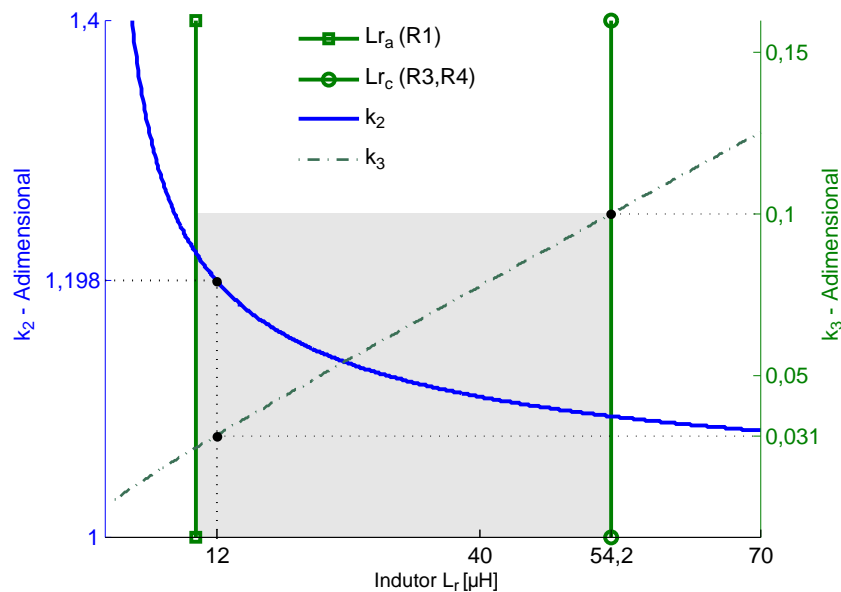


Figura 40: Gráfico para projeto de L_r .

A região de projeto do indutor é delimitado entre os valores de L_{r_a} e L_{r_c} . O valor $L_{r_a} = 9,72 \mu\text{H}$ equivale à indutância para atender a primeira restrição, com $k_1 = 3$. O valor superior de $54,2 \mu\text{H}$ é devido às restrições 3 e 4, garantindo que o tempo máximo de condução de S_x seja 10% do T_s (ZHU; DING, 1999).

As curvas das constantes k_2 e k_3 são proporcionais à corrente máxima no indutor e ao tempo de condução do circuito auxiliar, respectivamente. Analisando este gráfico verifica-se que, com o incremento do indutor ocorre uma pequena diminuição no valor da corrente máxima, porém o tempo de condução da chave auxiliar aumenta proporcionalmente. Com

o intuito de reduzir as perdas em condução no circuito auxiliar, o valor mais adequado para a indutância é próximo de L_{ra} . Além disso, o projeto de k_2 deve assegurar que a amplitude de $I_{Lr(max)}$ tenha valor suficiente para garantir o bloqueio do diodo principal, considerando a existência da corrente de recuperação reversa, e a entrada em condução do diodo antiparalelo para garantir a condição ZVS na chave principal. Dessa forma, o valor de k_2 foi adotado para obter $I_{Lr(max)}$ aproximadamente 20% acima da corrente de saída, utilizou-se $k_2 = 1,198$ para arredondamento no valor do indutor L_r .

Portanto o indutor $L_r = 12 \mu\text{H}$ em conjunto com $C_r = 644 \text{ pF}$ atende às restrições 1 a 4, também observa-se o valor correspondente para $k_3 = 0,031$ ou seja, t_{Sx} é igual a 3,1% do período de chaveamento.

5.1.2.2 Capacitor C_b

Com os valores de L_r e C_r projetados, o capacitor C_b é determinado para atender as restrições 5 e 6, de acordo com as Equações 48, 49 e 50. O gráfico apresentado na Figura 41 mostra o comportamento dos tempos relativo aos estágios para o bloqueio dos interruptores em função do capacitor C_b .

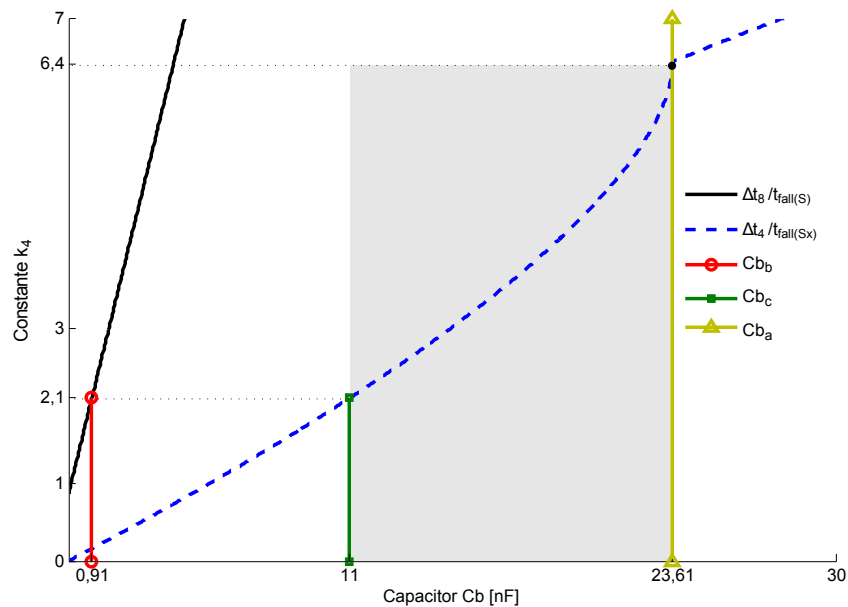


Figura 41: Gráfico para projeto de C_b

Para reduzir as perdas nos semicondutores durante o bloqueio, dado pela restrição 6, recomenda-se adotar um valor de 2 a 4 para a constante k_4 (MARTINS, 2008). Utilizou-se $k_4 = 2,1$ para o arredondamento do capacitor correspondente.

Verifica-se no gráfico que para o interruptor S é necessário um capacitor mínimo de 0,91 nF, já para S_x o valor mínimo é de 11 nF, o que define o limite inferior para o projeto. O limite superior dado por C_{b_a} é para atender a restrição 5. Portanto a região de projeto para C_b é delimitada pelos valores de C_{b_c} e C_{b_a} .

Outra análise que deve ser feita para a escolha do capacitor é em relação à quantidade de energia presente no circuito auxiliar. A Figura 42 mostra para a operação em plena carga, a energia armazenada no indutor e a quantidade necessária para o capacitor alcançar a tensão E .

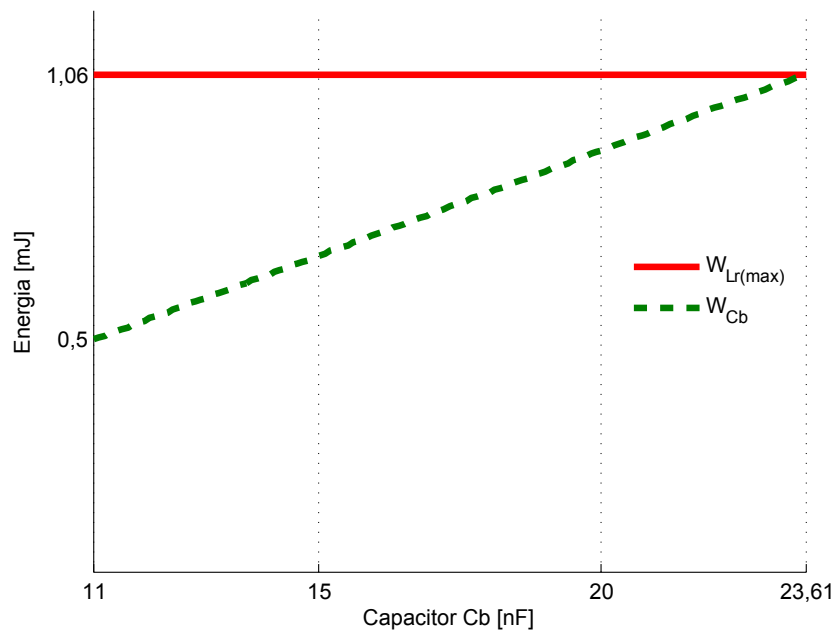


Figura 42: Análise para escolha do valor de C_b

Verifica-se através deste gráfico que quando $C_b = 23,61$ nF, toda a energia armazenada no indutor é necessária para que a tensão v_{C_b} atinga o valor E , e para este caso o tempo de transferência da energia é igual a 1/4 do período ressonante.

Com o intuito de reduzir a quantidade de energia presente no circuito auxiliar, o valor mais adequado para projeto é próximo do limite inferior, portanto $C_b = 11$ nF, uma vez que ocorre menor circulação de energia no capacitor, reduzindo-se as perdas por condução. Também, um valor menor do capacitor contribui para a redução do tempo ativo da célula de comutação suave em relação ao período de chaveamento.

5.1.2.3 Análise e resumo do projeto

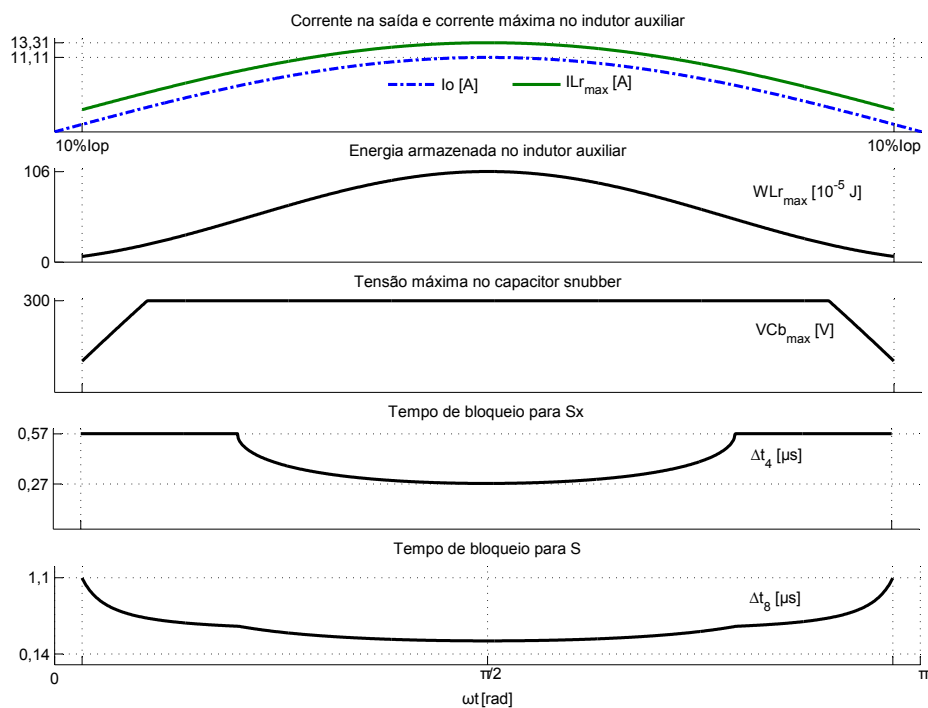
Na Tabela 4 estão apresentados os componentes projetados e resultados das principais grandezas envolvidas no projeto.

Tabela 4: Resultados do projeto do circuito auxiliar

| | |
|--|--------------------|
| Indutor ressonante (L_r) | 12 μH |
| Capacitância ressonante (C_r) | 644 pF |
| Capacitor <i>Snubber</i> (C_b) | 11 nF |
| Tempo de condução da chave auxiliar (t_{S_x}) | 0,78 μs |
| Corrente máxima no indutor auxiliar ($I_{L_r(max)}$) | 13,31 A |
| Tempo para bloqueio do diodo principal (Δt_1) | 444 ns |
| Tempo de bloqueio para S_x (Δt_4) | 273 ns |
| Tempo de bloqueio para S (Δt_8) | 314 ns |
| Tempo ZVT total ($t_{S_x} + \Delta t_8$) para $D_{S(max)}$ | 1,0 μs |

Através dos valores mostrados nesta tabela pode-se verificar que as restrições foram atendidas com base nas especificações do protótipo, como os limites de corrente no indutor e tempo de condução da chave auxiliar. Também, os tempos de bloqueio dos interruptores estão acima do limite mínimo definido pela constante k_4 .

Como já mencionado, para o projeto foi considerado o conversor em operação com potência nominal e na corrente de pico de saída. As formas de onda da Figura 43 apresentam o funcionamento do circuito auxiliar para todo o semiciclo positivo da senóide.

**Figura 43: Operação do circuito auxiliar em função de i_o**

Analisando a Figura 43 faz-se algumas considerações:

- Conforme definido por $k_2 = 1,198$ na segunda restrição, a amplitude máxima da corrente no indutor atinge 13,31 A. Observa-se que existe corrente no circuito auxiliar após um valor mínimo de I_o , esta característica será detalhada na seção a seguir.
- A comutação *snubber* proporcionada pelo capacitor C_b é eficaz durante quase todo período, porém é reduzida para valores baixos de corrente, onde a energia armazenada no indutor não é suficiente para v_{C_b} alcançar a tensão de entrada.
- A escolha do valor mínimo permitido para o capacitor C_b atende à restrição do tempo de bloqueio dos interruptores para toda a faixa de I_o , uma vez que os intervalos aumentam com a redução da corrente.

5.2 CONSIDERAÇÕES SOBRE A LÓGICA DE COMANDO

O tempo da chave auxiliar em condução é projetado para o valor de pico da corrente de saída, nesta condição o conversor está operando com razão cíclica máxima, porém este tempo (t_{S_x}) é fixo para todo o período da senóide de saída. Dessa forma para o correto funcionamento do circuito auxiliar deve haver uma razão cíclica mínima do PWM para habilitar o comando de S_x , conforme Equação 53,

$$D_{PWM} \geq D_{S_x} + D_{S(min)} \quad (53)$$

onde,

D_{PWM} - Razão cíclica do PWM senoidal;

D_{S_x} - Razão cíclica da chave auxiliar;

$D_{S(min)}$ - Razão cíclica mínima do interruptor principal;

O valor de D_{S_x} é fixo e conforme a relação,

$$D_{S_x} = \frac{t_{S_x}}{T_s} = 0,031 \quad (54)$$

Com a operação do circuito ZVT a chave principal deve ter um tempo mínimo em condução, relativo à carga do capacitor C_b . Então $D_{S(min)}$ deve ser igual à Δt_4 . Para valores da tensão $v_{C_b} < E$, Δt_4 é constante e aproximadamente $0,6 \mu s$, como pode ser observado na Figura 43. Assim, considerando o pior caso,

$$D_{S(min)} = \frac{0,6 \mu s}{T_s} = 0,024 \quad (55)$$

portanto, $D_{PWM} \geq 0,055$, abaixo deste valor o conversor opera sem auxílio à comutação (*hard switching*). Detalhes deste funcionamento são apresentados através das formas de onda experimentais.

Nos interruptores que operam em baixa frequência foi implementado um tempo morto para evitar um curto-circuito sobre a fonte de entrada durante a transição de um semiciclo para outro. Os sinais de comando são mostrados na Figura 44.

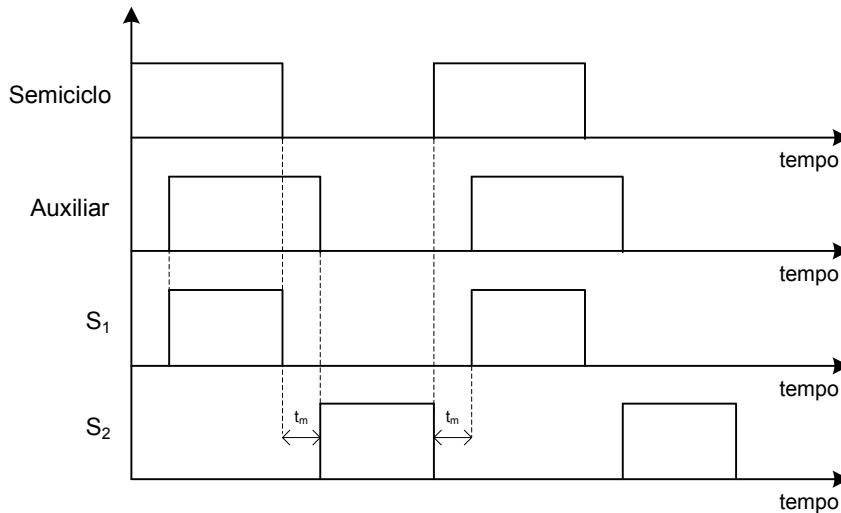


Figura 44: Geração de comando dos interruptores de baixa frequência

Onde o sinal *Semíciclo* é uma onda quadrada na frequência da tensão de saída gerado através do DSP. Os demais sinais são implementados na EPLD onde utilizou-se um sinal interno *Auxiliar*, defasado de *Semíciclo* no valor desejado para o tempo morto (t_m). Na implementação foi utilizado o valor de $1 \mu s$ entre a comutação da chave S_1 , semiciclo positivo e S_2 , semiciclo negativo.

5.3 RESULTADOS DE SIMULAÇÃO

O circuito do conversor apresentado na Figura 26 foi simulado com os parâmetros da Tabela 2 e com os valores dos componentes auxiliares descritos na Tabela 4. As formas de onda são obtidas para componentes ideais.

A Figura 45 demonstra a técnica PWM empregada (unipolar com senóide retificada) com uma baixa frequência de chaveamento para melhor visualização. Conforme esta modulação, o braço inversor (S_1 e S_2) opera na frequência de saída e outro (S_3 e S_4) na frequência de chaveamento. A chave auxiliar é acionada em fase com o sinal PWM com razão cíclica fixa. Durante o semiciclo positivo da tensão de saída S_{x2} é acionada para proporcionar

comutação suave em S_4 e no semiciclo negativo são acionadas S_{x1} e S_3 .

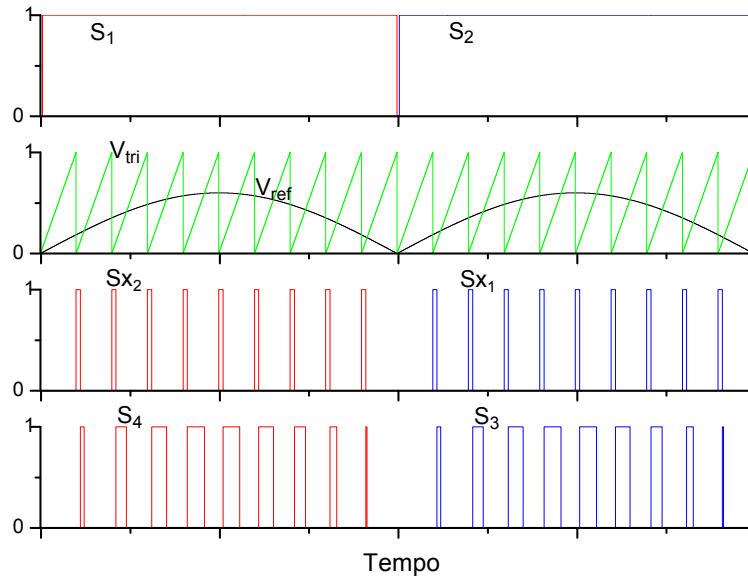


Figura 45: Sinais de comando obtidos por simulação

As principais grandezas referente ao funcionamento do inversor ZVT são mostradas na Figura 46, em operação durante um período da frequência de saída.

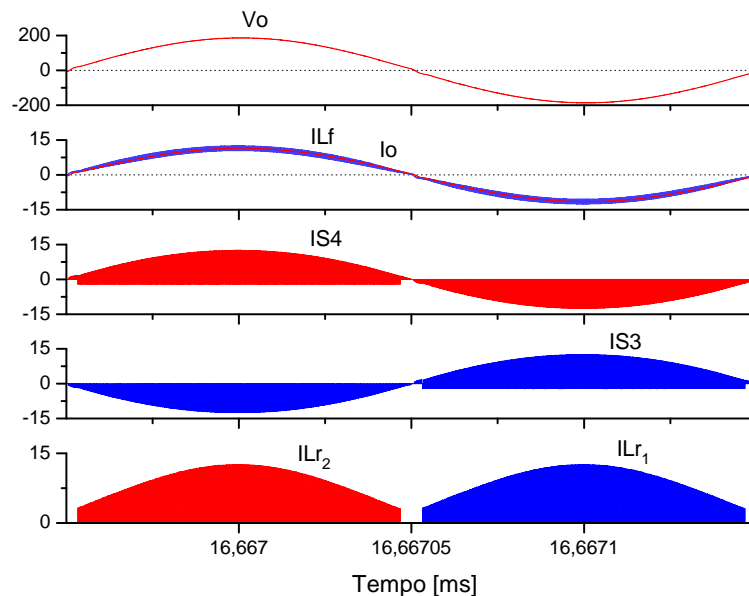


Figura 46: Simulação do funcionamento do inversor

A análise de um período de chaveamento no instante de pico é apresentada na Figura 47, tanto para o semiciclo positivo quanto para o negativo.

A corrente na chave auxiliar e principal tem comportamento e amplitude de acordo com a análise teórica e projeto. Pode-se verificar também a di/dt controlada durante a transição do diodo para a chave principal.

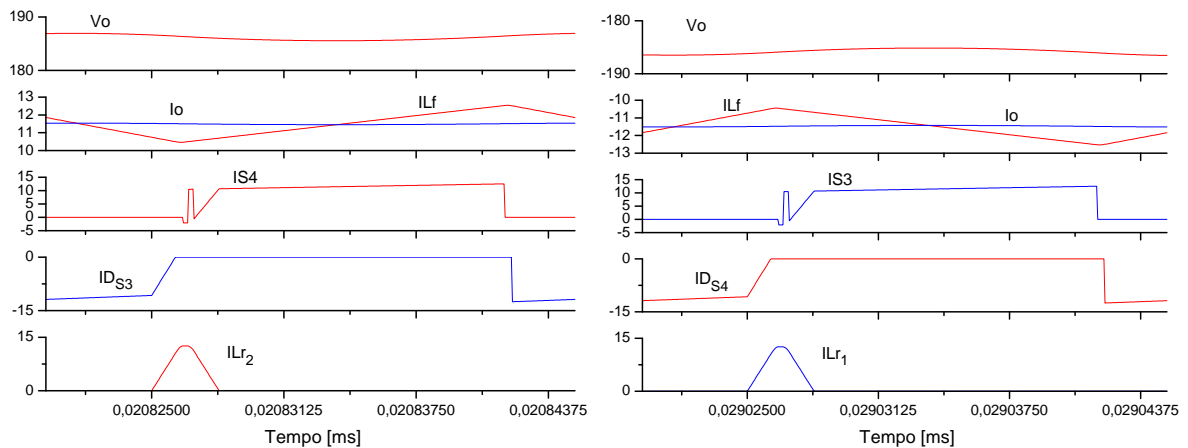


Figura 47: Detalhe do funcionamento do inversor em um período de chaveamento

As condições de comutação da chave principal e auxiliar durante o semiciclo positivo são evidenciadas pela Figura 48. Como o funcionamento é análogo no semiciclo negativo pode-se considerar as formas de onda desta figura verdadeiras para as transições de V_{S3} e V_{X1} .

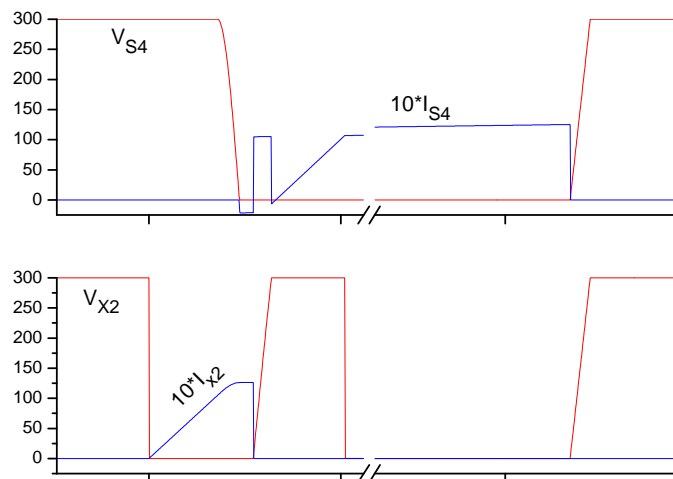


Figura 48: Detalhe da transição de entrada e bloqueio durante semiciclo positivo

Observa-se que o interruptor S_4 entra em condução sob ZVS, assumindo a corrente após a tensão ser zero, e durante o bloqueio é obtido um pseudo-ZVS devido à limitação da dv/dt pelo capacitor. O interruptor auxiliar apresenta comutação pseudo-ZCS na entrada e pseudo-ZVS na saída.

5.4 RESULTADOS EXPERIMENTAIS

O conversor CC-CA monofásico foi implementado em malha aberta com tensões eficazes de entrada e saída fixas, portanto para variação da potência de saída é alterada a resistência de carga. A Figura 49 mostra o diagrama do protótipo dividido em três partes, a saber:

- bloco 1: circuito de potência do conversor ponte completa, contendo fonte CC, filtros de entrada e saída, interruptores principais e resistência de carga;
- bloco 2: geração dos sinais de comando e etapa de amplificação para acionamento dos interruptores principais e auxiliares;
- bloco 3: circuitos para auxílio à comutação dos interruptores do braço B, sendo dois circuitos ZVT (convencional e aprimorado) e um *snubber* dissipativo. Nesta figura os circuitos ZVT representam a comutação suave somente para a chave S_4 .

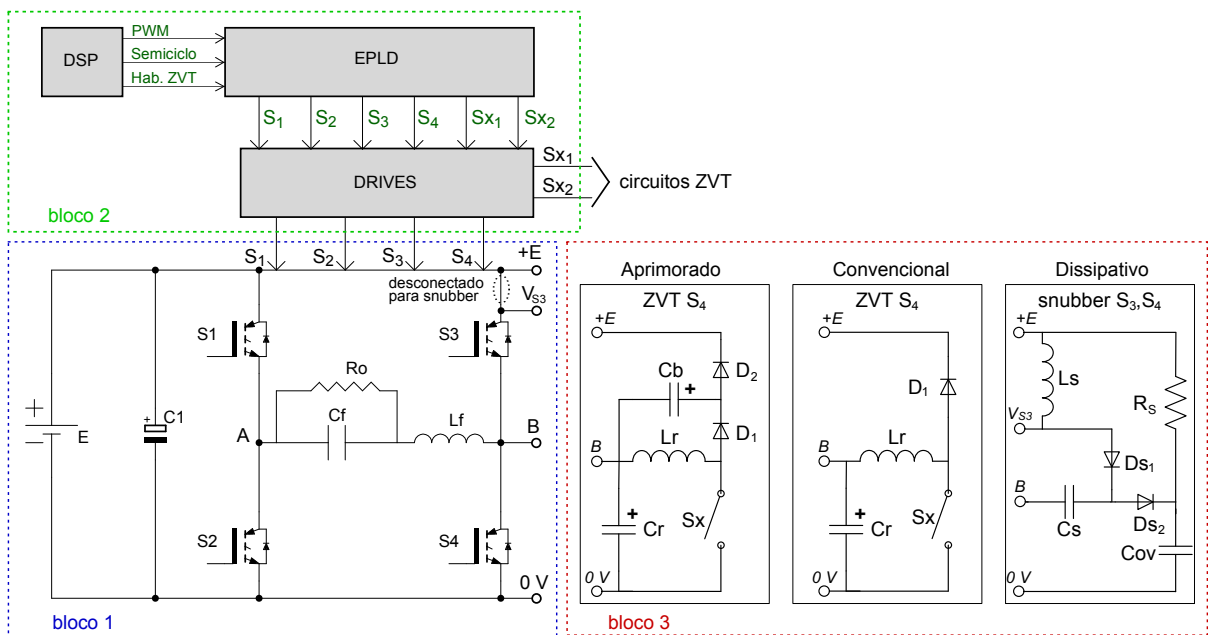


Figura 49: Diagrama de blocos do protótipo implementado

No bloco 2 três sinais são gerados através do DSP (*Digital Signal Processor*): PWM senoidal, semiciclo para acionamento dos interruptores de baixa frequência e habilitação para operação do circuito auxiliar. A partir destes sinais é implementado no dispositivo EPLD a lógica de comando com os tempos de condução e bloqueio das chaves semicondutores principais e auxiliares. A última etapa representada neste bloco é o circuito de amplificação dos sinais lógicos para o acionamento dos interruptores.

O ZVT aprimorado representado no bloco 3 é o circuito analisado e aplicado ao conversor proposto neste trabalho, outros dois, ZVT convencional e *snubber* dissipativo são implementados para fins de comparação de desempenho. A forma de implementação permite efetuar o teste de diferentes circuitos auxiliares com o mesmo circuito principal (bloco 1). Para os dois circuitos ZVT três conexões com o circuito principal são necessárias (+E, B e 0 V), somente para o *snubber* dissipativo é feita uma modificação no circuito principal pois o mesmo adiciona um elemento em série com o interruptor principal, conforme indicado no bloco 1.

Nas seções a seguir são apresentados os resultados experimentais para os três circuitos auxiliares do bloco 3, com as formas de onda nos interruptores para verificar as condições de comutação e levantamento das curvas de rendimento. Para cada circuito utilizou-se as especificações descritas na Tabela 2 e como interruptores principais e auxiliares os semicondutores da Tabela 3.

5.4.1 ZVT Aprimorado

As formas de onda apresentadas nesta seção demonstram o funcionamento do conversor com o circuito auxiliar proposto (ZVT aprimorado).

A Figura 50 mostra o circuito implementado. Este circuito difere daquele simulado (Figura 26) apenas pela adição dos diodos auxiliares D_{r1} e D_{r2} necessários para prevenir a ressonância entre a capacitância intrínseca da chave auxiliar e o indutor L_r , na recuperação reversa do diodo D_{11} ou D_{12} .

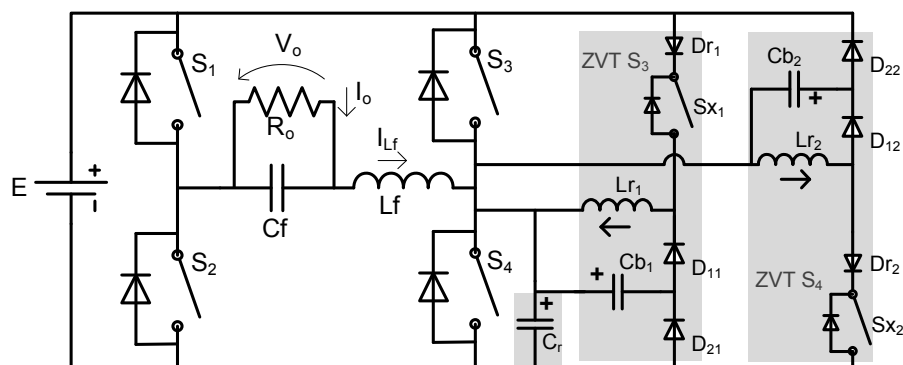


Figura 50: Circuito implementado com o ZVT Aprimorado

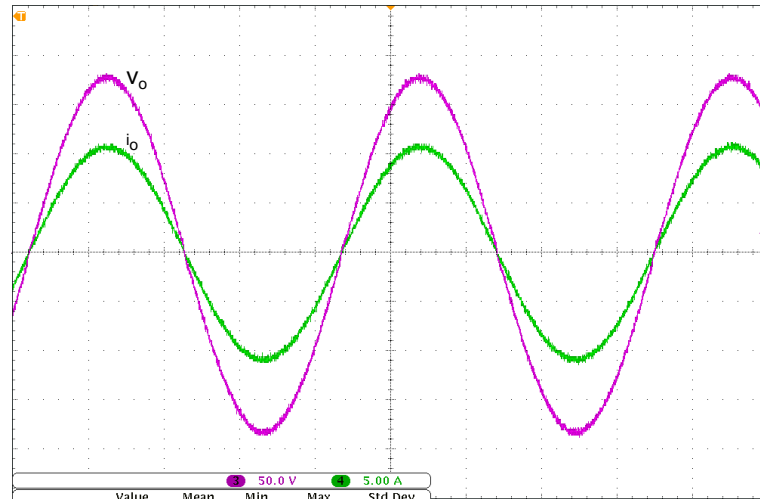
A Tabela 5 contém os parâmetros dos componentes utilizados no circuito auxiliar além daqueles já especificados.

Tabela 5: Componentes ZVT Aprimorado

| Descrição | Especificação |
|---|---------------------------------------|
| Diodos auxiliares (D_{r1} , D_{r2} , D_{11} , D_{12}) | 15ETH06 |
| Diodos auxiliares (D_{21} , D_{22}) | MUR460 |
| Indutores auxiliares (L_{r1} , L_{r2}) | 12 μ H (NEE 20/10/5 - 18 espiras) |
| Capacitores auxiliares (C_{b1} , C_{b2}) | 11 nF (2 x 22 nF em série) |
| Capacitor auxiliar (C_r) | 644 pF ($2C_{oes}$) |

5.4.1.1 Operação do Inversor

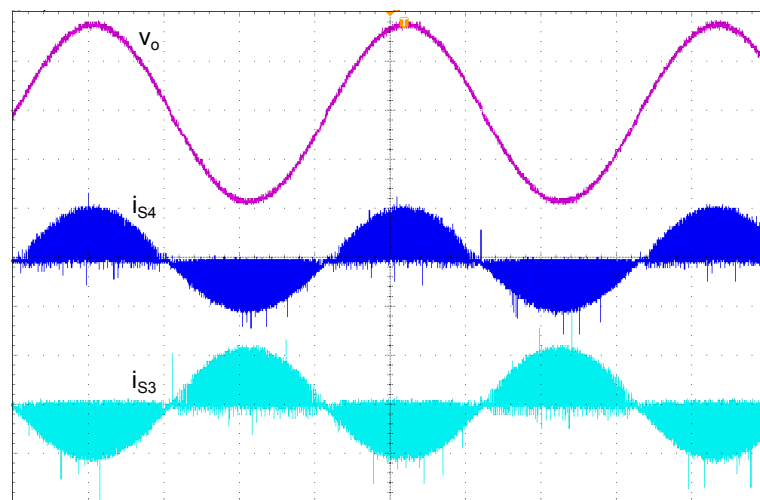
Analisando primeiramente a tensão e corrente na saída do inversor medidas com carga nominal, observa-se através da Figura 51 que a amplitude, forma e período da tensão e corrente correspondem ao esperado pelo projeto.



Escalas: v_o - 50 V/div; i_o - 5 A/div; Tempo: 4 ms/div

Figura 51: Tensão e corrente na saída

A Figura 52 mostra a corrente em cada chave do braço de alta frequência em conjunto com a tensão de saída v_o . Durante o semiciclo positivo da tensão, no braço inversor em alta frequência, a chave S_4 ou o diodo antiparalelo a S_3 conduz a corrente de saída e no semiciclo negativo ocorre de forma complementar.

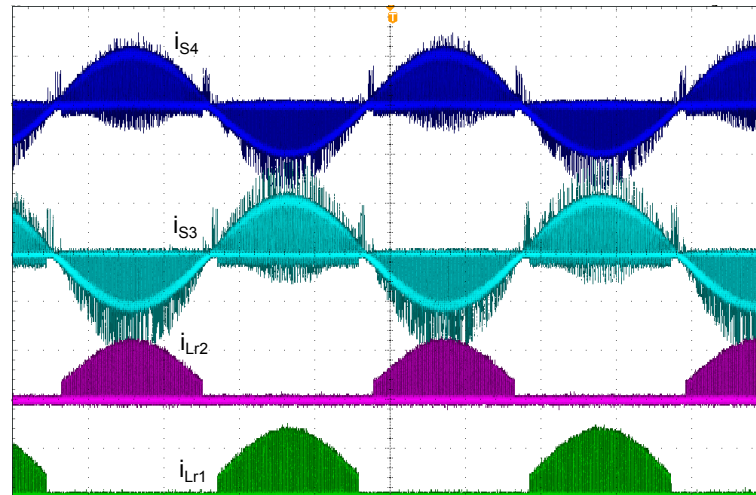


Escalas: v_o - 100 V/div; i_{s4} e i_{s3} - 10 A/div Tempo: 4 ms/div

Figura 52: Tensão de saída e corrente nas chaves principais

5.4.1.2 Funcionamento do Circuito Auxiliar

O conversor é composto por dois circuitos auxiliares independentes que operam em diferentes semiciclos da senóide. Através da Figura 53 pode-se verificar qual o circuito ativo correspondente a cada interruptor principal.

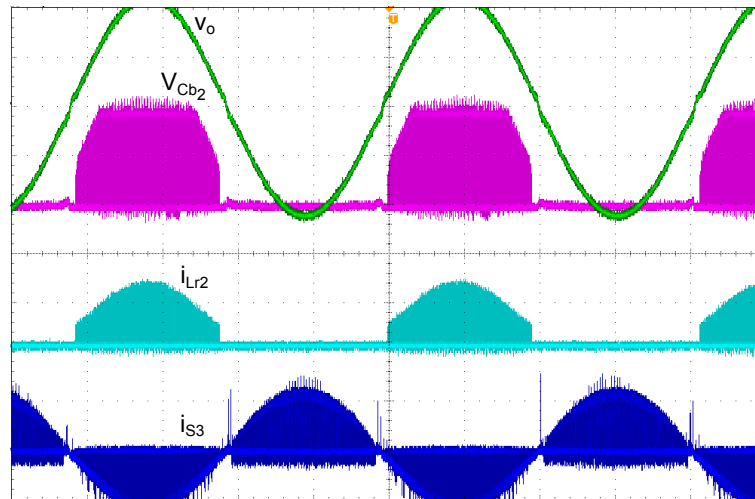


Escalas: i_{S4} , i_{S3} , i_{Lr2} , i_{Lr1} - 10 A/div; Tempo: 4 ms/div

Figura 53: Corrente nas chaves principais e indutores auxiliares

No semiciclo positivo a chave S_4 conduz, e observa-se que o circuito auxiliar 2 está ativo devido a circulação de corrente no indutor L_{r2} . No outro semiciclo existe corrente em L_{r1} correspondente ao circuito auxiliar 1 que proporciona comutação suave ao interruptor S_3 e ao diodo antiparalelo à S_4 .

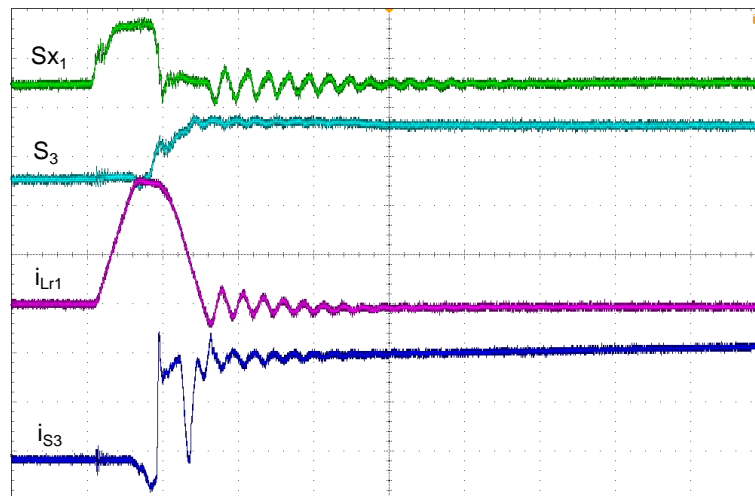
Na análise teórica e por simulação foi visualizada a tensão sobre o capacitor de *snubber* (C_b), durante um período da tensão de saída para avaliar as condições de bloqueio dos interruptores. Experimentalmente foi obtido resultado semelhante, conforme mostrado na Figura 54 para o funcionamento do circuito auxiliar 2. Observa-se que para valores baixos da corrente de saída a energia armazenada em L_r não é suficiente para carregar o capacitor até a tensão E , em todo o restante do semiciclo o efeito *snubber* é mais eficaz. Também verifica-se na Figura 54 que o circuito auxiliar é desabilitado próximo à passagem por zero da tensão, ou seja, quando o sinal PWM tem largura inferior ao mínimo necessário para o funcionamento, neste intervalo as chaves operam sem auxílio à comutação (*hard switching*).



Escalas: v_o - 50 V/div; v_{Cb2} - 100 V/div; i_{Lr2} e i_{S3} - 5 A/div; Tempo: 4 ms/div

Figura 54: Funcionamento do circuito auxiliar na frequência de saída

A lógica de comando utilizada para os interruptores principais e auxiliares é demonstrada na Figura 55. Observa-se que após o comando da chave auxiliar a corrente no indutor cresce até o valor máximo, onde o diodo antiparalelo à chave principal entra em condução.

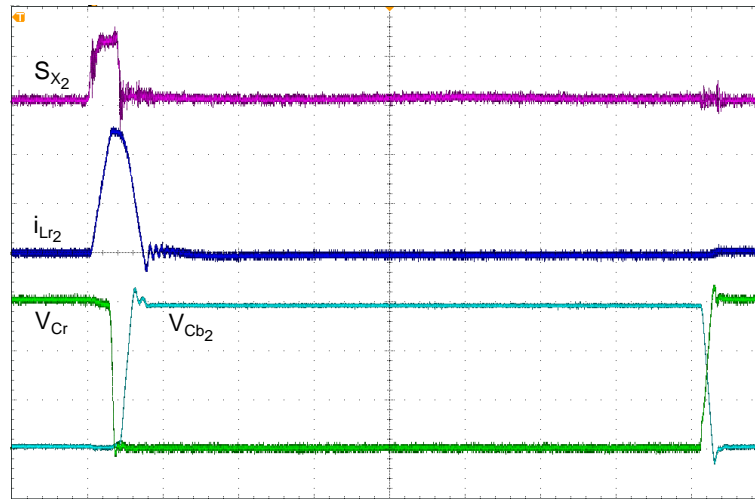


Escalas: S_{x1} e S_3 - 10 V/div; i_{Lr1} e i_{S3} - 5 A/div; Tempo: 1 μ s/div

Figura 55: Comando e corrente nos interruptores - ZVT Aprimorado

Verifica-se que o comando da chave principal ocorre imediatamente antes do bloqueio de S_{x1} , enquanto o diodo antiparalelo ainda está em condução. Estas formas de onda foram obtidas no instante de pico da corrente durante o semiciclo positivo.

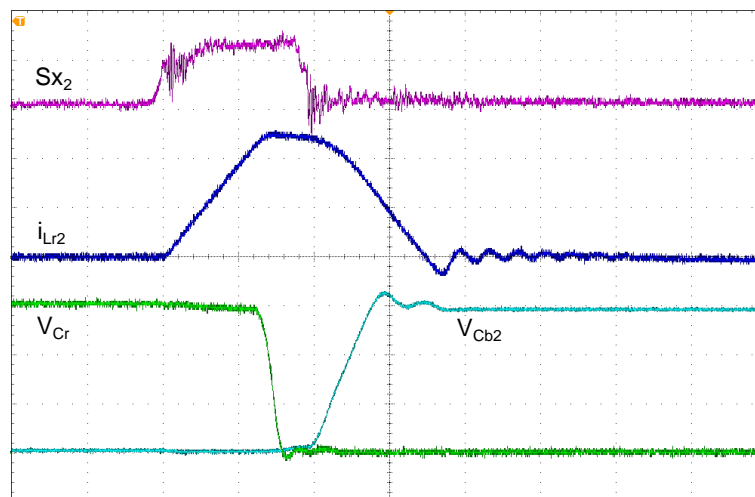
As formas de onda nos elementos ressonantes do circuito auxiliar podem ser observadas através da Figura 56 para um período de chaveamento. Verifica-se a ressonância entre L_{r2} e C_r que leva a tensão sobre a chave principal até zero, e a transferência da energia do indutor para o capacitor C_{b2} que proporciona o efeito *snubber* no bloqueio do interruptor principal.



Escalas: S_{x_2} - 10 V/div; $i_{L_{r2}}$ - 5 A/div; v_{C_r} e $v_{C_{b2}}$ - 100 V/div; Tempo: 2 μ s/div

Figura 56: Formas de onda nos elementos auxiliares

A Figura 57 mostra o detalhe do funcionamento do circuito auxiliar. Conforme o projeto do capacitor C_b , com o objetivo de redução nas perdas por condução, parte da energia armazenada no indutor não circula através de C_b sendo regenerada para a fonte de entrada. Isso ocorre devido a tensão em C_b atingir o valor E antes da corrente no indutor zerar.



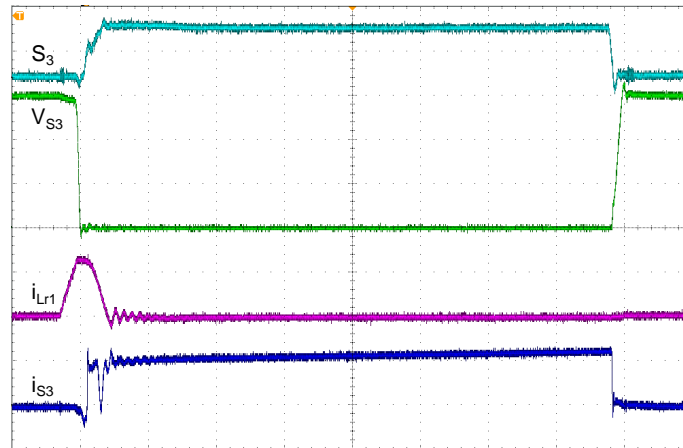
Escalas: S_{x_2} - 10 V/div; $i_{L_{r2}}$ - 5 A/div; v_{C_r} e $v_{C_{b2}}$ - 100 V/div; Tempo: 400 ns/div

Figura 57: Detalhe das formas de onda nos elementos auxiliares

Conforme observado por (RUSSI et al., 2005), o efeito *snubber* durante o bloqueio da chave principal não é ideal devido a recuperação reversa do diodo auxiliar D_1 , isso causa uma pequena queda na tensão do capacitor C_b após a corrente no indutor chegar a zero. Isso pode ser verificado na Figura 57.

5.4.1.3 Comutações na Chave Principal

As formas de onda apresentadas a seguir demonstram as condições de comutação na chave principal com o conversor operando com potência nominal. A Figura 58 mostra as comutações de entrada e bloqueio do interruptor durante um período de chaveamento. Verifica-se o acionamento do circuito auxiliar durante um pequeno intervalo da transição de bloqueio para a condução, e a taxa de tensão limitada pelo capacitor C_b durante o bloqueio.

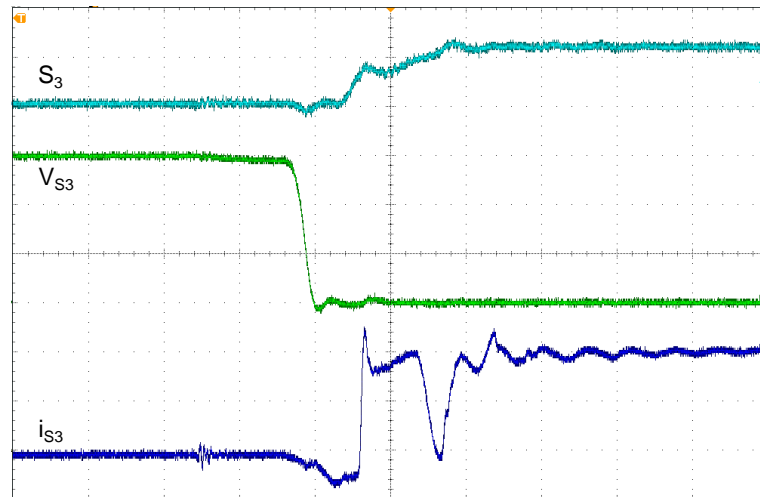


Escalas: S_3 - 10 V/div; v_{S3} - 100 V/div; i_{Lr1} e i_{S3} - 10 A/div; Tempo: 2 μ s/div

Figura 58: Formas de onda na chave principal - ZVT Aprimorado

Detalhes do processo de entrada e bloqueio são apresentados nas Figuras 59 e 60, respectivamente. Os termos *turn-on* e *turn-off* utilizados equivalem ao processo de entrada e bloqueio dos interruptores, respectivamente.

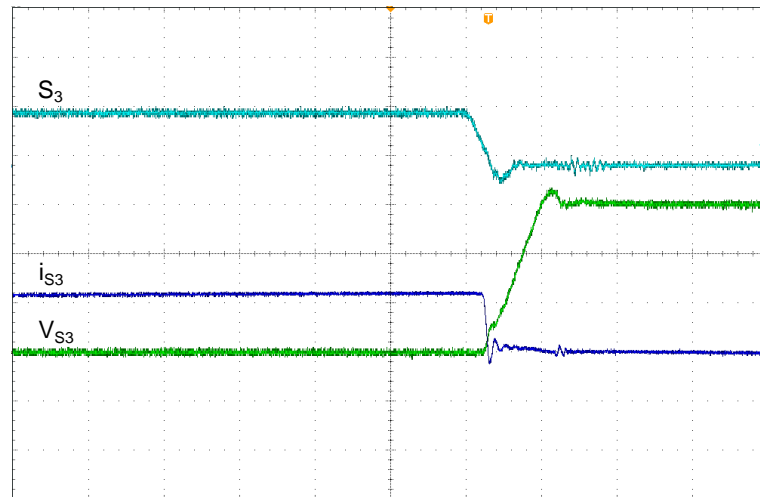
Verifica-se na Figura 59 que o sinal de comando é aplicado ao interruptor após a tensão sobre o mesmo ser nula, caracterizando a entrada em condução sob ZVS.



Escalas: S_3 - 10 V/div; v_{S3} - 100 V/div; i_{S3} - 5 A/div; Tempo: 400 ns/div

Figura 59: turn-on da chave principal - ZVT Aprimorado

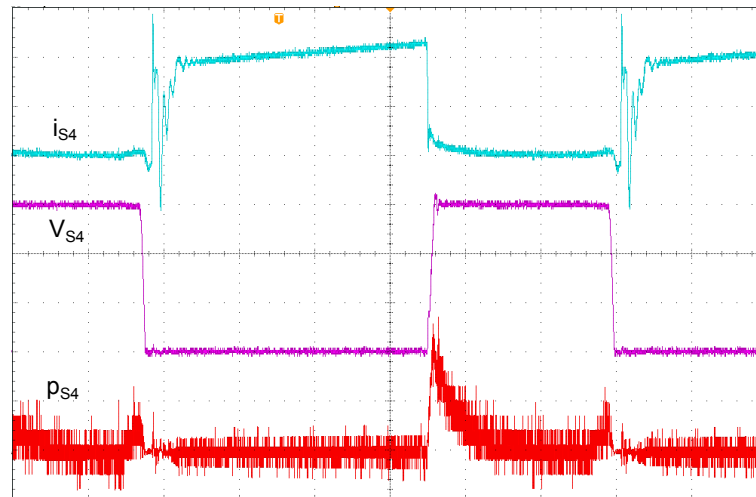
Na transição de bloqueio (Figura 60) verifica-se o efeito do capacitor de *snubber*, que proporciona a limitação da dv/dt conforme especificações de projeto. Assim é obtido uma comutação pseudo-ZVS reduzindo a sobreposição da tensão com a corrente e consequentemente minimizando a potência dissipada no semicondutor.



Escalas: S_3 - 10 V/div; i_{S3} - 10 A/div; v_{S3} - 100 V/div; Tempo: 400 ns/div

Figura 60: turn-off da chave principal - ZVT Aprimorado

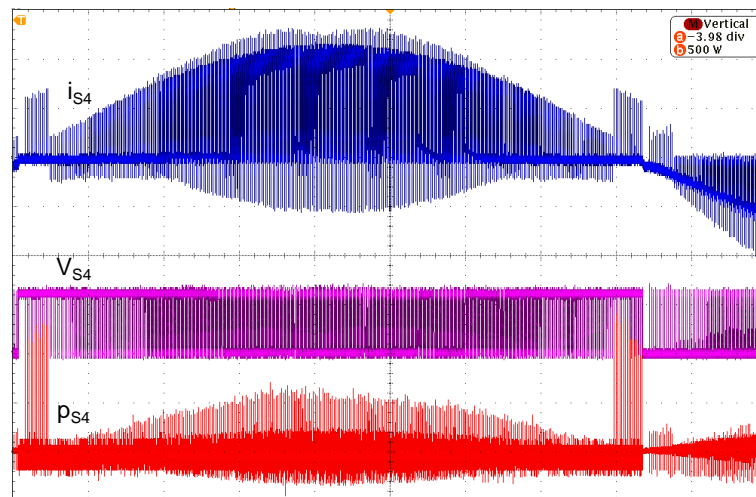
Para análise das perdas na comutação a Figura 61 apresenta o produto dos valores instantâneos entre tensão e corrente no interruptor. Devido à comutação em zero de tensão na entrada, nesta transição a dissipação de potência é praticamente nula, durante o bloqueio existem perdas principalmente pela corrente de cauda do dispositivo IGBT utilizado.



Escalas: i_{s4} - 5 A/div; v_{s4} - 100 V/div; p_{s4} - 200 W/div; Tempo: 4 μ s/div

Figura 61: Perdas na chave principal - ZVT Aprimorado

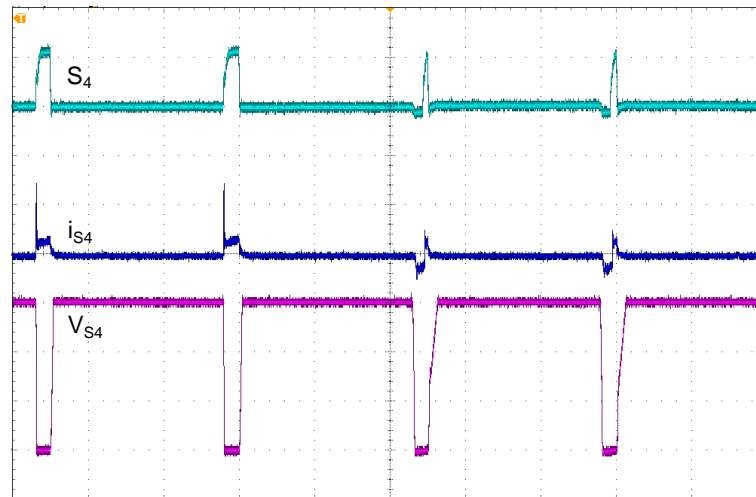
Como apresentado nas considerações da lógica de comando, próximo à passagem por zero o circuito ZVT é desabilitado, e o inversor opera com comutação dissipativa (*hard switching*). Através do produto entre tensão e corrente na chave mostradas na Figura 62, pode-se verificar este intervalo no qual ocorre um aumento na potência dissipada pelo semiconductor, além das derivadas de tensão e corrente.



Escalas: i_{s4} - 5 A/div; v_{s4} - 250 V/div; p_{s4} - 500 W/div; Tempo: 1 ms/div

Figura 62: Formas de onda das perdas na chave principal em um semiciclo da saída

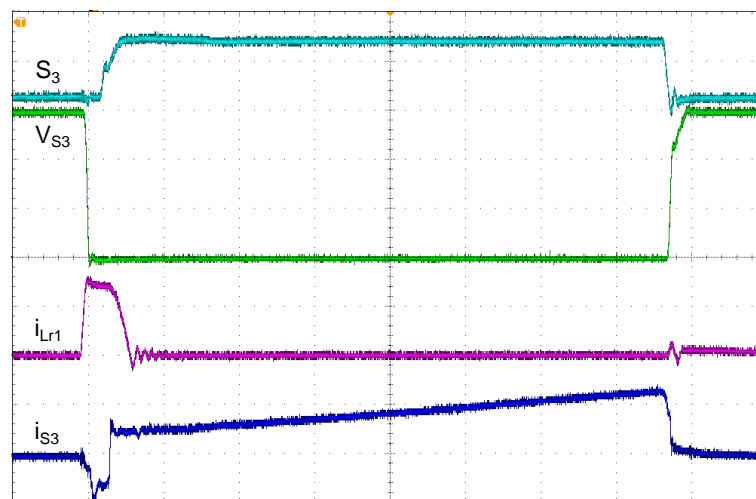
A Figura 63 mostra a transição da comutação dissipativa para a comutação suave. Observa-se que com o circuito ZVT habilitado são reduzidos os esforços de corrente e também a dv/dt sobre o interruptor. Verifica-se que, após habilitada a comutação suave, parte da razão cíclica original é utilizada para o acionamento do interruptor auxiliar.



Escalas: S_4 - 10 V/div; i_{S4} - 5 A/div; v_{S4} - 100 V/div; Tempo: 10 μ s/div

Figura 63: Detalhe da passagem da comutação *hard* para suave

A Figura 64 traz as condições de comutação com o conversor operando em aproximadamente 15% da potência nominal. Observa-se que não ocorre o estágio de devolução da energia do indutor auxiliar através do interruptor principal, uma vez que, conforme visualizado pela envoltória da tensão no capacitor *snubber* (Figura 54), toda a energia armazenada no indutor é transferida para o capacitor quando o mesmo não atinge a tensão E . A energia proveniente do circuito auxiliar é regenerada durante o bloqueio do interruptor com a descarga do capacitor C_b .



Escalas: S_3 - 10 V/div; v_{S3} - 100 V/div; i_{Lr1} e i_{S3} - 2 A/div; Tempo: 2 μ s/div

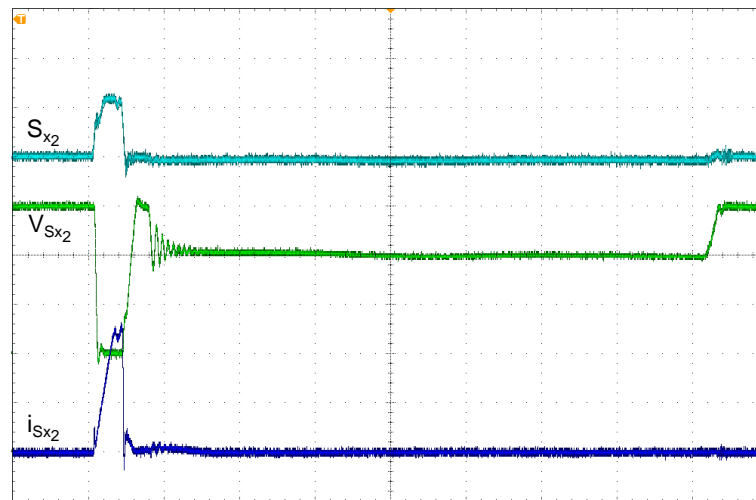
Figura 64: Comutação da chave principal com baixa corrente de saída

Verifica-se que a transição de entrada é sob ZVS mesmo para correntes baixas de saída. Durante o bloqueio o efeito *snubber* é reduzido devido a energia armazenada no indutor L_r não ser grande o suficiente para carregar o capacitor C_b até a tensão de entrada.

5.4.1.4 Comutações na Chave Auxiliar

As formas de onda a seguir foram obtidas com o conversor operando em potência nominal e são utilizadas para analisar as condições de comutação, entrada e bloqueio, do interruptor auxiliar no circuito ZVT Aprimorado.

A Figura 65 mostra as formas de onda relevantes no interruptor auxiliar durante um período de chaveamento. A partir do sinal de comando a corrente cresce com a di/dt definida pelo indutor auxiliar e no bloqueio a tensão sobre o interruptor é igual a v_{C_b} .

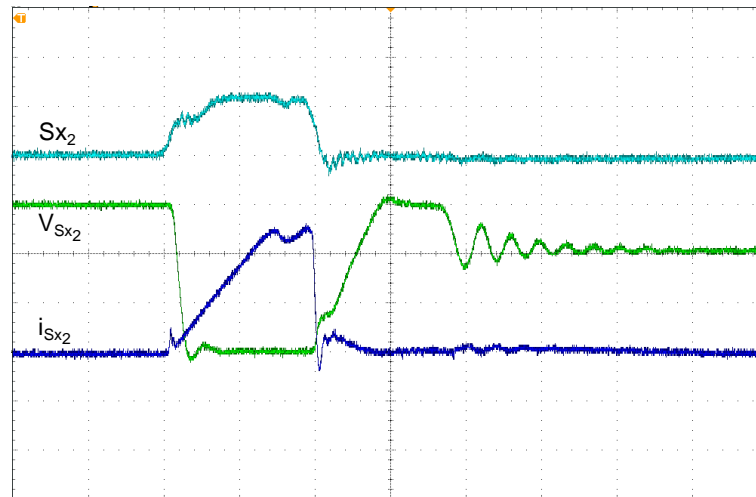


Escalas: S_{x_2} - 10 V/div; $v_{S_{x_2}}$ - 100 V/div; $i_{S_{x_2}}$ - 5 A/div; Tempo: 2 μ s/div

Figura 65: Formas de onda na chave auxiliar - ZVT Aprimorado

O detalhe das transições da chave auxiliar é apresentado na Figura 66. Verifica-se conforme análise teórica que existe a comutação pseudo-ZCS na entrada, proporcionada pelo indutor L_r , e pseudo-ZVS no bloqueio devido à presença do capacitor C_b .

O auxílio à comutação durante o bloqueio da chave auxiliar representa uma das principais vantagens desta topologia em relação ao circuito ZVT Convencional, analisado na seção a seguir.



Escalas: S_{x_2} - 10 V/div; $v_{S_{x_2}}$ - 100 V/div; $i_{S_{x_2}}$ - 5 A/div; Tempo: 1 μ s/div

Figura 66: turn-on e turn-off da chave auxiliar - ZVT Aprimorado

5.4.2 ZVT Convencional

O conversor implementado utilizando o circuito auxiliar ZVT Convencional é apresentado na Figura 67. Esta estrutura é uma forma simplificada para a aplicação do circuito ZVT convencional, onde o indutor auxiliar L_r é comum para ambos os sentidos da corrente de saída, e como diodo auxiliar é utilizado o componente intrínseco dos interruptores.

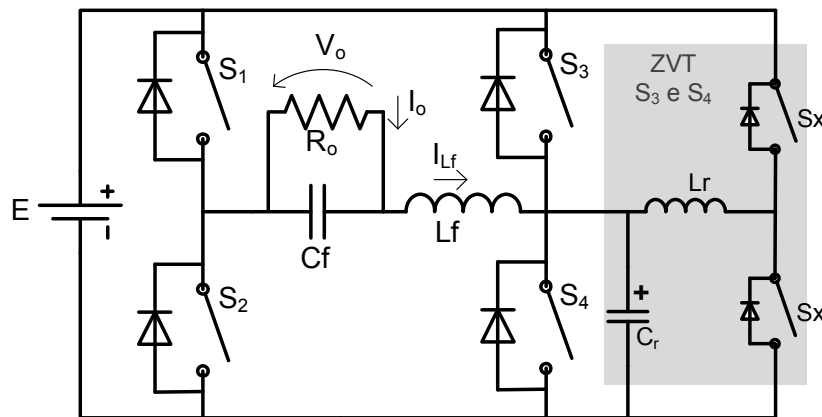


Figura 67: Circuito implementado com o ZVT Convencional

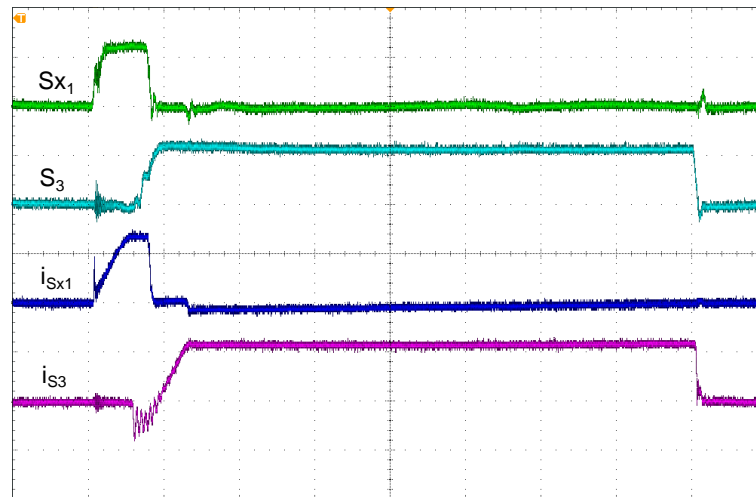
Devido este circuito utilizar o capacitor C_r para ambas as funções na entrada e no bloqueio do interruptor principal, seu valor não pode ser muito pequeno por comprometer as perdas no bloqueio da chave S e também não pode ser muito elevado pois aumenta o valor da corrente máxima no circuito auxiliar. Dessa forma o projeto dos componentes L_r e C_r foi elaborado com o objetivo de otimizar as condições de comutação da chave principal para estabelecer comparação equivalente com o ZVT Aprimorado.

A Tabela 6 contém os parâmetros de projeto e os componentes utilizados na implementação do circuito auxiliar.

Tabela 6: Componentes ZVT Convencional

| Descrição | Especificação |
|------------------------------|---------------------------------------|
| Indutor auxiliar (L_r) | 20 μ H (NEE 25/10/6 - 26 espiras) |
| Capacitor auxiliar (C_r) | 3,3 nF + 644 pF |
| Corrente máxima em L_r | 1,38 I_{op} |
| Tempo de condução de S_x | 4,7% de T_s |

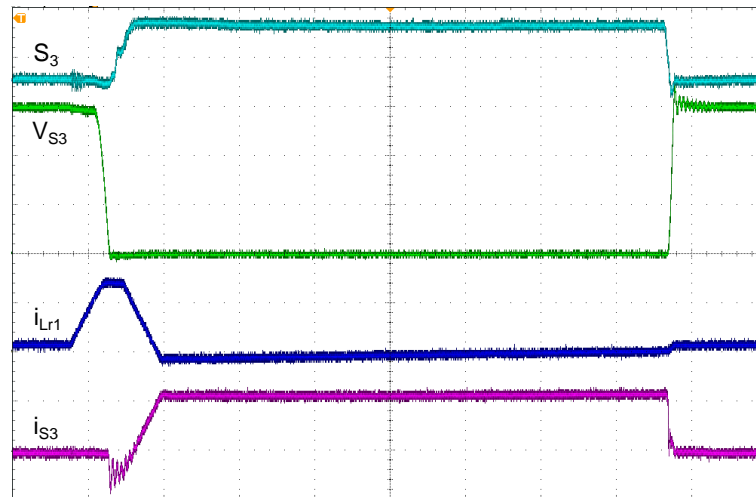
A lógica de comando dos interruptores principais e auxiliares é igual a do ZVT Aprimorado, somente foram modificados os tempos de condução de acordo com os valores de L_r e C_r . Através da Figura 68 pode-se observar os sinais de comando e a corrente associada ao interruptor auxiliar e principal.



Escala: S_{x1} e S_3 - 10 V/div; i_{Sx1} e i_{S3} - 10 A/div; Tempo: 2 μ s/div

Figura 68: Comando e corrente nos interruptores - ZVT Convencional

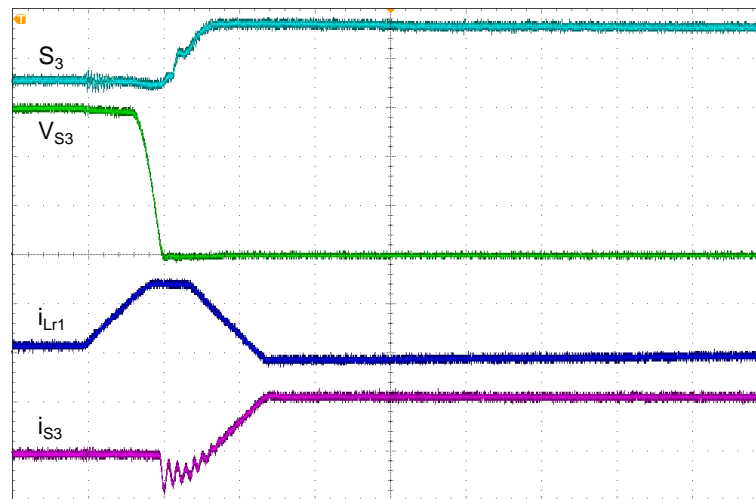
As formas de onda a seguir mostram as condições de comutação dos interruptores principais e auxiliares para o conversor operando com potência de saída nominal. A Figura 69 mostra a comutação da chave principal durante um período de chaveamento.



Escalas: S_3 - 10 V/div; v_{S3} - 100 V/div; i_{LR1} e i_{S3} - 10 A/div; Tempo: 2 μ s/div

Figura 69: Formas de onda na chave principal - ZVT Convencional

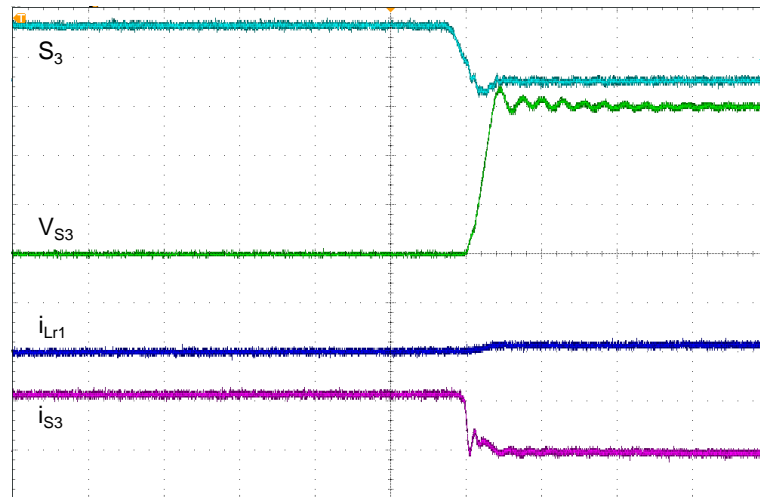
O detalhe na entrada e no bloqueio da chave principal são mostrados nas Figuras 70 e 71, respectivamente.



Escalas: S_3 - 10 V/div; v_{S3} - 100 V/div; i_{LR1} e i_{S3} - 10 A/div; Tempo: 1 μ s/div

Figura 70: *turn-on* da chave principal - ZVT Convencional

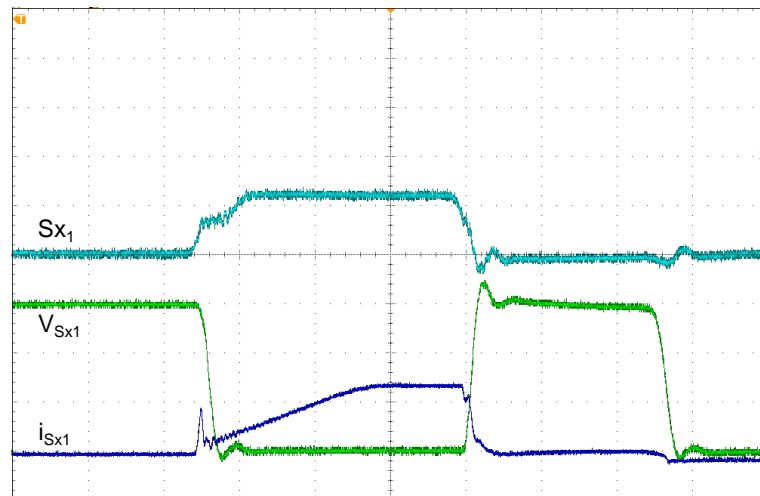
Verifica-se que a condição ZVS na entrada é alcançada pois o sinal de comando é aplicado somente após a tensão ser nula. O bloqueio do interruptor também é auxiliado através da limitação da dv/dt pelo capacitor C_r , como mostra o detalhe da Figura 71.



Escalas: S_3 - 10 V/div; v_{S_3} - 100 V/div; i_{Lr1} e i_{S_3} - 10 A/div; Tempo: 400 ns/div

Figura 71: turn-off da chave principal - ZVT Convencional

As condições de comutação do interruptor auxiliar são mostradas na Figura 72. A entrada em condução é sob pseudo-ZCS proporcionado pelo indutor L_r , no entanto o bloqueio ocorre sem qualquer auxílio à comutação ou seja, sob forma dissipativa (*hard switching*).



Escalas: S_{x1} - 10 V/div; $v_{S_{x1}}$ - 100 V/div; $i_{S_{x1}}$ - 10 A/div; Tempo: 400 ns/div

Figura 72: turn-on e turn-off da chave auxiliar - ZVT Convencional

Observa-se que existe sobreposição das formas de onda de tensão e corrente em todo o intervalo da transição de condução para bloqueio, ocasionando dissipação de potência no interruptor.

5.4.3 *Snubber* de Undeland

O conversor CC-CA também foi implementado utilizando um circuito auxiliar dissipativo conhecido como *Snubber* de Undeland (UNDELAND, 1976, 1984), conforme mostra o circuito da Figura 73.

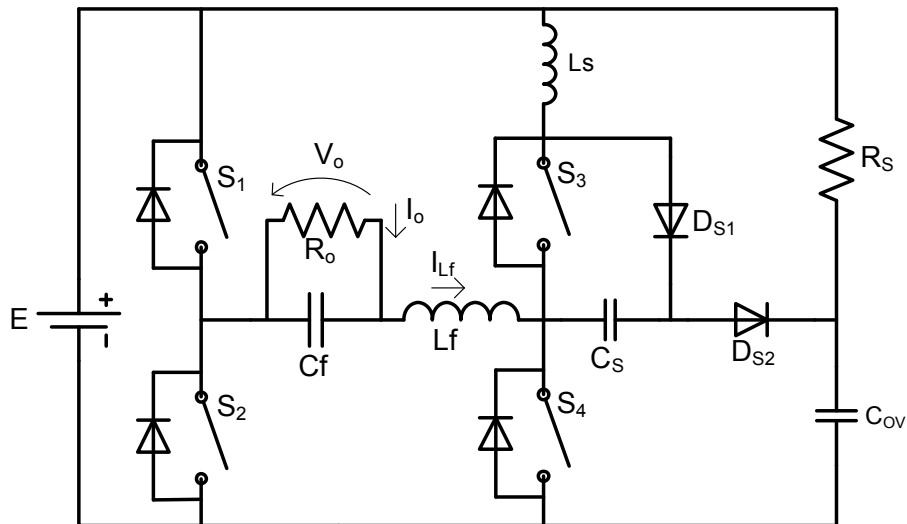


Figura 73: Circuito implementado com o *Snubber* de Undeland

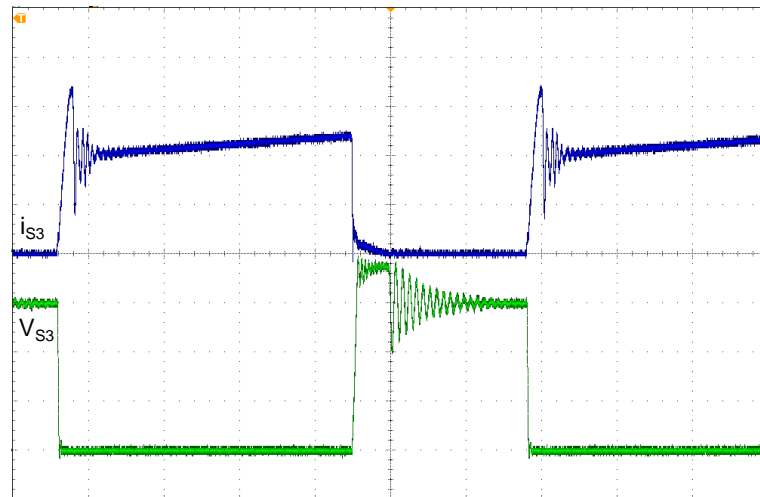
Para o projeto dos elementos do *Snubber* foi utilizada a metodologia apresentada em (BLAABJERG, 1991), os valores dos componentes são mostrados na Tabela 7.

Tabela 7: Componentes *Snubber* de Undeland

| Descrição | Especificação |
|--|---------------------------------------|
| Indutor de <i>snubber</i> (L_s) | 10 μ H (NEE 30/15/7 - 12 espiras) |
| Capacitor de <i>snubber</i> (C_s) | 10 nF |
| Capacitor de sobretensão (C_{ov}) | (470 nF + 33 nF) |
| Resistor de <i>Snubber</i> (R_s) | 100 Ω - 35 W |
| Diodos <i>snubber</i> (D_{s1}, D_{s2}) | MUR460 |

A proposta deste circuito é limitar a derivada de corrente na entrada do interruptor e durante o bloqueio limitar a dv/dt , além de grampear a tensão em um nível seguro para o semicondutor.

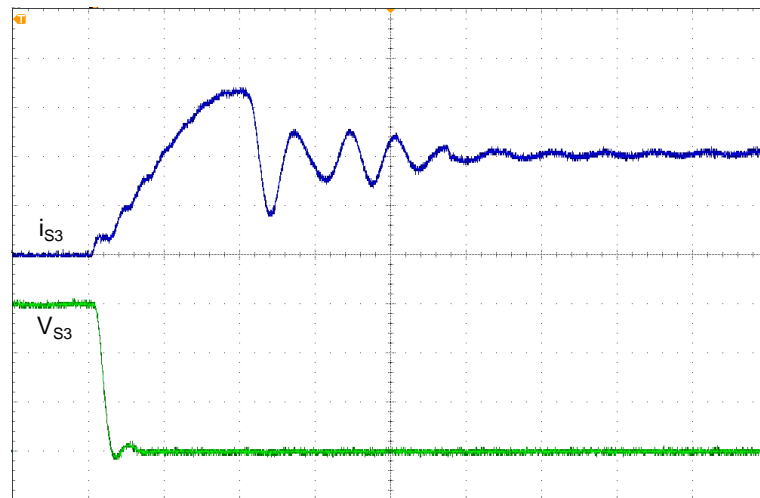
As condições de comutação para os interruptores principais são apresentadas nas figuras a seguir, com o conversor operando em potência nominal. Através da Figura 74 tem-se uma visão geral das formas de onda no interruptor.



Escalas: i_{s_3} - 5 A/div; v_{s_3} - 100 V/div; Tempo: 4 μ s/div

Figura 74: Formas de onda na chave principal - *Snubber* de Undeland

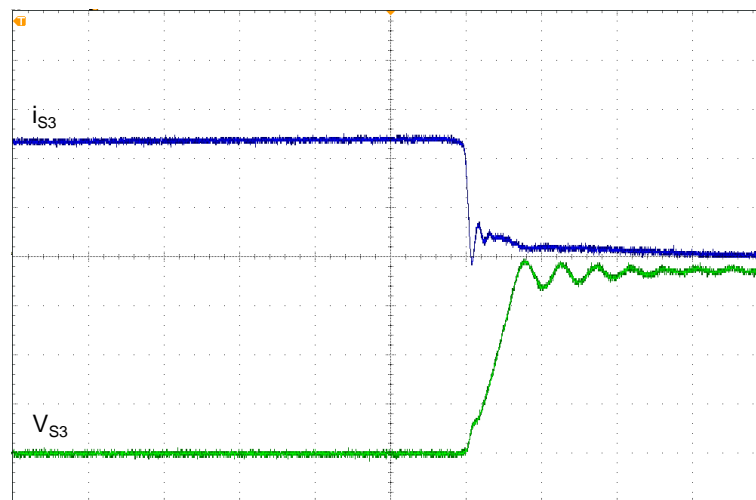
Verifica-se através da Figura 75 que o circuito proporciona o controle da di/dt na transição de entrada, porém a corrente ressonante devido aos componentes auxiliares circula através do interruptor, ocasionando um esforço adicional de corrente.



Escalas: i_{s_3} - 5 A/div; v_{s_3} - 100 V/div; Tempo: 400 ns/div

Figura 75: *turn-on* da chave principal - *Snubber* de Undeland

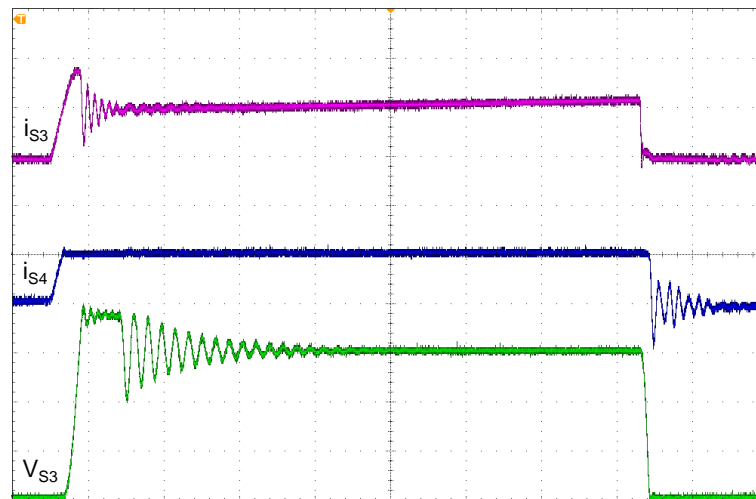
A Figura 76 mostra o detalhe da comutação no instante de bloqueio, verifica-se a limitação da dv/dt reduzindo as perdas no semicondutor, porém a tensão assume um valor maior do que a de entrada resultando em sobretensão no interruptor.



Escalas: i_{S_3} - 5 A/div; v_{S_3} - 100 V/div; Tempo: 400 ns/div

Figura 76: turn-off da chave principal - Snubber de Undeland

O efeito do elemento indutivo na entrada contribui para a redução das perdas de recuperação reversa no diodo complementar do braço inversor, conforme pode ser visualizado na Figura 77 a corrente em i_{S_4} , correspondente ao diodo antiparalelo, tem o bloqueio com a di/dt limitada.



Escalas: i_{S_3} e i_{S_4} - 10 A/div; v_{S_3} - 100 V/div; Tempo: 2 μ s/div

Figura 77: Comutação da chave e diodo - Snubber de Undeland

Como verificado pelas formas de onda esta estrutura proporciona redução das perdas de comutação para as chaves principais e diodos de roda-livre, porém a energia presente nos elementos auxiliares não é regenerada e sim dissipada com o auxílio de um resistor, isso compromete o rendimento global do conversor.

5.5 DISTORÇÃO HARMÔNICA E CURVAS DE RENDIMENTO

Com o intuito de avaliar o desempenho dos circuitos analisados, foram efetuadas medições de potência de entrada e saída com um analisador de energia digital, modelo Yokogawa WT1800, para obter a curva de rendimento. Com este analisador também foi visualizada a distorção harmônica total (THD) da tensão de saída em cada estrutura.

A distorção mais significativa na forma de onda da tensão foi observada em torno da passagem por zero, nas três estruturas analisadas. O que principalmente contribui para este fato é a corrente de saída não ter intensidade suficiente para carregar rapidamente a capacitância em paralelo com o interruptor, e então polarizar o diodo complementar do braço inversor para comutar o nível de tensão em V_{AB} . Devido estas baixas correntes e o diodo não conduzir, a mudança da tensão V_{AB} para *zero* ou $+E$ tem um atraso, modificando a tensão média aplicada ao filtro de saída. Também, a existência do tempo morto entre as chaves de baixa frequência contribui para esta deformação.

Para a comparação ser válida, os dois circuitos auxiliares ZVT são desabilitados no mesmo ponto e próximo à passagem por zero. O gráfico da Figura 78 mostra a taxa de distorção da tensão de saída em relação à fundamental, para determinados valores de potência na carga.

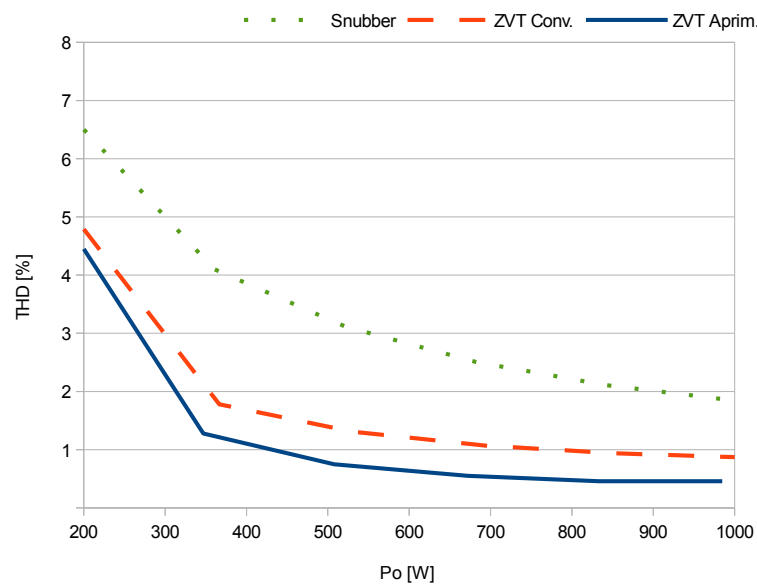


Figura 78: Análise da Distorção Harmônica Total

Analisando a Figura 78, observa-se que o conversor ZVT Aprimorado apresentou THD menor do que as outras topologias em toda a faixa de potência na carga. Isso deve-se principalmente ao fato que neste circuito a capacitância em paralelo com os interruptores, o que causa distorção na passagem por zero, ter valor menor do que nos outros circuitos auxiliares, sendo

somente o valor da capacitância intrínseca. Já o ZVT Convencional utiliza um capacitor externo de 3,3 nF e o *snubber* de Undeland um capacitor de 10 nF, o que resulta em THD maiores nestas estruturas.

A Figura 51 mostra a senóide de saída para o conversor ZVT Aprimorado, que contém THD de apenas 0,46% na potência nominal, apresentando leve distorção na passagem por zero.

A fim de obter a curva de rendimento foram realizadas medições de potência para determinados valores de carga. A Figura 79 mostra estas curvas para cada estrutura implementada.

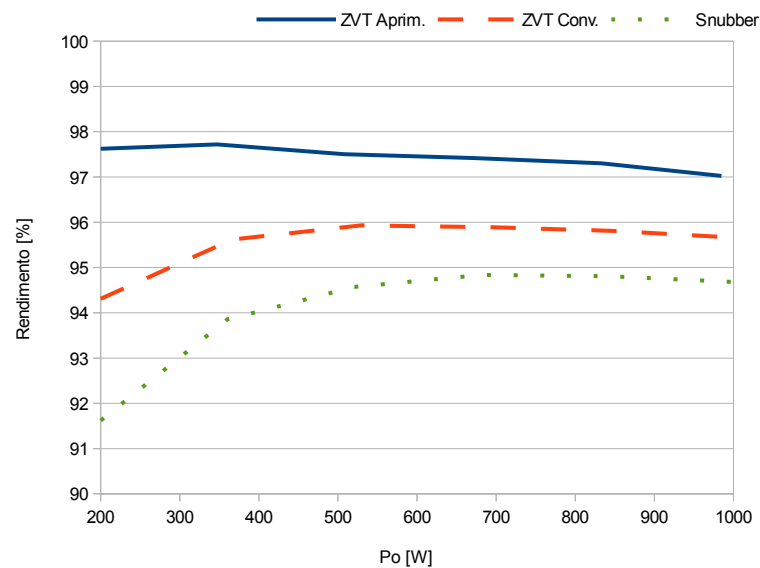


Figura 79: Comparativo de rendimento

Observa-se na Figura 79 que o conversor implementado com o circuito ZVT Aprimorado apresentou rendimento superior às demais estruturas em toda a faixa de carga. Em relação ao ZVT Convencional, esta topologia tem a vantagem de operar com valor menor de corrente no circuito auxiliar e prover comutação suave em ambos os interruptores, principais e auxiliares. O rendimento cai com o incremento da potência devido ao aumento das perdas em condução do circuito auxiliar, e também aumento das perdas no bloqueio dos interruptores com comutação pseudo-ZVS.

Utilizando o circuito ZVT Convencional obteve-se rendimento melhor do que com o *snubber* de Undeland, porém apresenta desvantagens em relação ao ZVT Aprimorado como a comutação dissipativa no bloqueio do interruptor auxiliar e maiores perdas no bloqueio da chave principal. A impedância do circuito ressonante determina o valor mínimo de corrente no indutor auxiliar, independente da corrente de saída. No ZVT Convencional esta impedância é aproximadamente duas vezes menor do que no ZVT Aprimorado. Quando a potência de saída é baixa, este valor mínimo de corrente no circuito auxiliar se torna significativo, o que explica

o menor rendimento do ZVT Convencional para estas potências.

A solução dissipativa através do *snubber* de Undeland fornece auxílio à comutação na entrada e bloqueio dos interruptores, porém o fato de não regenerar a energia utilizada compromete o rendimento global do conversor.

5.6 CONCLUSÕES

Neste capítulo verificou-se através de resultados de simulação e experimentais que a metodologia de projeto é eficaz no objetivo de atender as restrições propostas. Com a implementação do protótipo foi possível visualizar as formas de onda sobre os interruptores e levantar as curvas de rendimento e o THD na saída para os três circuitos analisados.

Observou-se que o conversor com circuito ZVT Aprimorado obteve-se rendimento superior às demais estruturas em toda a faixa de carga, sendo no mínimo 1% superior ao ZVT convencional e 2% em relação ao *snubber* de Undeland. Verifica-se que mesmo utilizando um número maior de componentes no circuito auxiliar o ZVT Aprimorado apresenta vantagens em termos de rendimento e THD.

O melhor desempenho do ZVT Aprimorado é explicado através do procedimento de projeto, que permite utilizar capacitâncias menores em paralelo com os interruptores comparado ao ZVT Convencional, sem comprometer a redução das perdas por *turn-off* nos mesmos. Com isso a corrente no circuito auxiliar é menor e a distorção da tensão na passagem por zero é reduzida.

A comutação pseudo-ZVS no interruptor principal proporcionada pelo ZVT Convencional, tem eficácia limitada devido às perdas associadas ao circuito auxiliar, uma vez que, para reduzir a dv/dt acarreta em elevar muito a corrente ou o tempo ativo do circuito auxiliar. Esse fato, e também o bloqueio dissipativo da chave auxiliar contribuem para a redução do rendimento desta estrutura.

6 CONCLUSÃO

Nesta dissertação um conversor CC-CA PWM foi analisado utilizando diferentes circuitos de auxílio à comutação. Os circuitos de interesse implementam a técnica de comutação sob zero de tensão aos interruptores controlados. Foram investigadas as topologias ZVT Convencional e ZVT Aprimorado. O circuito ZVT Aprimorado foi adotado como principal proposta por apresentar vantagens em relação ao ZVT Convencional, como proporcionar comutação suave também para a chave auxiliar e obter com o projeto dos componentes menores dv/dt nos interruptores, aliado a menores níveis de corrente no circuito auxiliar.

O procedimento apresentado para o projeto do ZVT aprimorado mostrou-se eficiente no que tange à obtenção de comutação suave (ZVS e/ou ZCS) tanto para os interruptores principais quanto para os auxiliares, e também proporcionou ao conversor um rendimento maior e menor THD do que com as outras estruturas analisadas.

Estas constatações foram verificadas através de resultados de simulação e experimentais. O protótipo do conversor CC-CA monofásico foi implementado para potência nominal de 1000 W e frequência de chaveamento de 40 kHz. A forma de implementação permitiu a comparação com outros circuitos de auxílio à comutação, mantendo o mesmo circuito de potência.

Através do conversor CC-CA com ZVT Aprimorado foi obtido rendimento de 97% com potência nominal, valor este 1% maior do que o obtido com ZVT Convencional e 2% maior em relação ao *Snubber* de Undeland. Em toda a faixa de carga o conversor CC-CA ZVT Aprimorado teve rendimento superior, com ênfase na operação com pouca carga onde o valor foi de 3% acima do Convencional.

Em relação às formas de onda nos interruptores, com o *Snubber* de Undeland existem esforços adicionais tanto de corrente quanto de tensão nas chaves, o ZVT Convencional causa dissipação de potência na chave auxiliar devido a comutação *hard* no bloqueio, no entanto com o ZVT Aprimorado é obtido comutação suave em ambos os interruptores.

Com o analisador de energia (Yokogawa WT1800), também foi observada a taxa de

distorção harmônica da tensão de saída nas três estruturas, o valor de THD obtido para os circuitos ZVT foram próximos e pelo menos duas vezes menor do que o obtido com o *snubber de Undeland*. O ZVT Aprimorado apresentou desempenho melhor do que o Convencional, com THD próximo de 0,5% menor para toda a faixa de carga, inclusive na potência nominal.

Foi verificado que, mesmo com um número maior de componentes no circuito auxiliar, o conversor ZVT Aprimorado não teve o rendimento reduzido em relação ao ZVT Convencional e proporcionou menor distorção harmônica.

Embora o ZVT Convencional possua um número menor de componentes, essa redução é em elementos passivos e não em ativos. Isso torna o ZVT Aprimorado atrativo para implementações uma vez que o número de interruptores controlados, que caracteriza redução na confiabilidade, é igual para as duas topologias.

6.1 SUGESTÃO PARA TRABALHOS FUTUROS

Como sugestão para trabalhos futuros, alguns tópicos podem ser listados:

- Comparação da topologia apresentada com outros circuitos auxiliares que utilizam *snubber* ativo.
- Comparar diferentes critérios de projeto, onde o objetivo possa ser o aumento do rendimento ou melhores condições de comutação suave para toda a faixa de carga;
- Investigar formas de modificar o circuito para que as condições de comutação suave no interruptor auxiliar sejam favoráveis a um tipo de semicondutor em particular, IGBT ou MOSFET;
- Investigar formas de reduzir o número de componentes do circuito ZVT estudado, mantendo a comutação suave para a chave principal e auxiliar.

REFERÊNCIAS

- BARBI, I.; MARTINS, D. C. A true pwm zero-voltage switching pole with very low additional rms current stress. In: **IEEE Power Electronics Specialist Conference**. [S.l.: s.n.], 1991. p. 261–267.
- BELLAR, M. D. et al. A review of soft-switched dc-ac converters. **Industry Applications, IEEE Transactions on**, v. 34, n. 4, p. 847–860, July 1998.
- BELTRAME, R. C. **Metodologia de Síntese de Topologias ZVT Simplificadas Aplicadas a Pólos PWM Bidirecionais**. Dissertação (Mestrado) — Pós-Graduação em Engenharia Elétrica - Universidade Federal de Santa Maria, Santa Maria - RS, 2009.
- BELTRAME, R. C. et al. Comparative analysis between integrated and simplified zvt topologies for three-phase inverters. In: **Power Electronics Conference, 2009. COBEP**. [S.l.: s.n.], 2009. p. 529–535.
- BINGEN, G. Utilisation de transistors a fort courant et tension elevee. In: **First European Conference on Power Electronics and Applications**. [S.l.: s.n.], 1985. v. 1, p. 1.15–1.20.
- BLAABJERG, F. Snubbers in pwm-vsi-inverter. In: **Power Electronics Specialist Conference**. [S.l.: s.n.], 1991. p. 104–111.
- BODUR, F.; BAKAN, A. F. A new zvt-pwm dc-dc converter. **Power Electronics, IEEE Transactions on**, v. 17, n. 1, p. 40–47, january 2002.
- CHERITI, A. et al. A rugged soft commutated pwm inverter for ac drives. In: **IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 1990. p. 656–662.
- CHOI, J.-Y. et al. A novel zvt inverter with simplified auxiliary circuit. In: **Applied Power Electronics Conference and Exposition**. [S.l.: s.n.], 2001. v. 2, p. 1151–1157.
- DONCKER, R. W. D.; LYONS, J. P. The auxiliary resonant commuted pole converter. In: **IEEE Industry Applications Society Annual Meeting Record**. [S.l.: s.n.], 1990. p. 1228–1235.
- DONCKER, R. W. D.; STEIGERWALD, R. L.; DIVAN, D. M. Soft-switching in high power converters. In: **Applied Power Electronics Conference and Exposition**. [S.l.: s.n.], 1991. p. 53–76.
- ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of Power Electronics**. [S.l.]: Kluwer Academic Publishers, 2004.
- FILHO, R. F. P. **Estudo e Implementação de uma Fonte de Tensão Alternada de 220V/1kW Alimentada por Fontes CC de 24V**. Dissertação (Mestrado) — Pós-Graduação em Engenharia Elétrica - Universidade Federal de Santa Catarina, Florianópolis - SC, Junho 2005.
- FUENTES, R. C.; HEY, H. L. Uma célula de comutação zcs-pwm para aplicações com semi-condutores do tipo igbt. **SBA Controle & Automação**, v. 9, n. 3, p. 119–126, Dez 1998.

- GAZZONI, J. C. **Comparação de perdas em semicondutores em inversores ZCZVT**. Dissertação (Mestrado) — Pós-Graduação em Engenharia Elétrica - Universidade Tecnológica Federal do Paraná, Pato Branco - PR, 2011.
- HUA, G.; LEU, C. S.; LEE, F. C. Novel zero-voltage-transition pwm converters. In: **IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 1992. v. 1, p. 55–61.
- HUA, G. et al. Novel zero-current-transition pwm converters. In: **IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 1993. p. 538–544.
- JIANG, J.; ZHANG, W.; SHEN, B. Analysis and design of a novel zct-pwm converter. In: **Power Electronics and Drive Systems, The Fifth International Conference on**. [S.l.: s.n.], 2003. v. 1, p. 126–130.
- KAEWARSA S., K. W. P. C.; YANGYUEN, U. An improved zvt-pwm dc-dc converter using additional circuit. In: **Proc. IEEE Int. Conf. TENCON**. [S.l.: s.n.], 2004. p. 201–204.
- KIM T. W., K. H. S.; AHN, H. W. An improved zvt pwm boost converter. In: **IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 2000. v. 2, p. 615–619.
- LINARD, F. M. A. **Sistema Ininterrupto de Energia de Dupla Conversão com Integração do Retificador e do Inversor**. Dissertação (Mestrado) — Pós-Graduação em Engenharia Elétrica - Universidade Federal do Ceará, Fortaleza - CE, Fevereiro 2009.
- MAO, H. et al. Improved zero-current transition converters for high-power applications. **Industry Applications, IEEE Transactions on**, v. 33, n. 5, p. 1220–1232, October 1997.
- MARTINS, D. C.; BARBI, I. **Eletrônica de Potência: Introdução ao Estudo dos Conversores CC-CA**. 2 rev.. ed. Florianópolis - SC: Edição dos Autores, 2008.
- MARTINS, M. L. et al. Novel resonant transition pwm inverters: Synthesis and analysis. In: **IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 2006. p. 1–7.
- MARTINS, M. L. da S. **Inversores ZCZVT com Acoplamento Magnético: Síntese e Análise**. Tese (Doutorado) — Pós-Graduação em Engenharia Elétrica - Universidade Federal de Santa Maria, Santa Maria - RS, 2008.
- MCMURRAY, W. Resonant snubbers with auxiliary switches. In: **IEEE Industry Applications Society Annual Meeting Record**. [S.l.: s.n.], 1989. v. 1, p. 829–834.
- MEZAROBA, M.; SPERB, J. D. Conversor auxiliar com comutação zvs aplicado ao snubber de undeland regenerativo. **Revista Eletrônica de Potência**, v. 13, p. 61–68, 2008.
- MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. **Power Electronics: Converters, Applications, and Design**. 2. ed. New York - USA: Jhon Wiley, 1989.
- NEACSU, D. O. **Power Switching Converters: Medium and High Power**. 1. ed. [S.l.]: CRC Press - Taylor & Francis Group, 2006.
- NOVAES, Y. R. de. **Estudo de um Snubber para o Inversor de Três Níveis com Neutro Grampeado**. Dissertação (Mestrado) — Pós-Graduação em Engenharia Elétrica - Universidade Federal de Santa Catarina, Florianópolis - SC, Dezembro 2000.

OLIVEIRA, A. T. de; RUSSI, J. L.; PINHEIRO, J. R. An izvt auxiliary circuit commutation applied to a double conversion uninterruptible power supply. In: **IEEE Power Electronics Specialist Conference**. [S.l.: s.n.], 2008. p. 1086–1091.

PATTERSON, O. D.; DIVAN, D. M. A pseudo-resonant full bridge dc/dc converter. In: **IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 1987. p. 424–430.

PATTERSON, O. D.; DIVAN, D. M. Pseudo-resonant full bridge dc/dc converter. **Power Electronics, IEEE Transactions on**, v. 6, n. 4, p. 671–678, Outubro 1991.

PÉRES, A. **Uma nova família de inversores com comutação suave empregando a técnica de grameamento ativo**. Dissertação (Mestrado) — Pós-Graduação em Engenharia Elétrica - Universidade Federal de Santa Catarina, Florianópolis - SC, Abril 2000.

RUSSI, J. et al. An improved design for zvt dc-dc pwm converters with snubber assisted auxiliary switch. **Revista Controle & Automação**, v. 16, n. 1, p. 25–33, Jan.-Mar. 2005.

RUSSI, J. L. **Técnicas de Integração de Circuitos de Auxílio à Comutação Aplicadas a Inversores e a Sistemas Multi-Pólos**. Tese (Doutorado) — Pós-Graduação em Engenharia Elétrica - Universidade Federal de Santa Maria, Santa Maria - RS, Setembro 2007.

RUSSI, J. L.; MARTINS, M. L.; HEY, H. L. Zvt pwm converters with magnetically coupled auxiliary voltage source: a unified comparative theoretical-experimental analysis. In: **IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 2004. p. 1682–1688.

SCHUCH, L.; RECH, C.; PINHEIRO, J. R. Integrated auxiliary commutation circuits: a generalised approach. **Power Electronics, IET**, v. 2, n. 1, p. 42–51, jan 2009.

SOHN, S. J. et al. An improved soft-switching inverter with an unidirectional auxiliary switch. In: **IEEE Energy Conversion Congress and Exposition**. [S.l.: s.n.], 2010. p. 2791–2796.

SOUZA, F. P. de. **Correção do Fator de Potência para Instalações de Baixa Potência Empregando Filtros Ativos**. Tese (Doutorado) — Pós-Graduação em Engenharia Elétrica - Universidade Federal de Santa Catarina, Florianópolis - SC, Julho 2000.

SWANEPOEL, P. M.; WYK, J. D. V. The effect of the regenerative undeland snubber circuit on inverter loads. In: **IEEE Industry Applications Society Annual Meeting Record**. [S.l.: s.n.], 1992. v. 1, p. 872–879.

TAKANO, H. et al. Auxiliary resonant commutated soft-switching inverter with bidirectional active switches and voltage clamping diodes. In: **IEEE Industry Applications Society Annual Meeting Record**. [S.l.: s.n.], 2001. v. 3, p. 1441–1446.

UNDELAND, T. M. Switching stress reduction in power transistor converters. In: **IEEE Industry Applications Society Annual Meeting Record**. [S.l.: s.n.], 1976. p. 383–391.

UNDELAND, T. M. A snubber configuration for both power transistor and gto pwm inverters. In: **IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 1984. p. 42–53.

VLATKOVIC, V. et al. A new zero-voltage transition, three-phase pwm rectifier/inverter circuit. In: **IEEE Power Electronics Specialist Conference**. [S.l.: s.n.], 1993. p. 868–873.

XIANGNING H., C. A. W. H. D. Y.; ZHAO, R. Simple passive lossless snubber for high-power multilevel inverters. **Industrial Electronics, IEEE Transactions on**, v. 53, n. 3, p. 727–735, Jun 2006.

YUAN, X.; BARBI, I. Control simplification and stress reduction in a modified pwm zero voltage switching pole inverter. In: **Applied Power Electronics Conference and Exposition**. [S.l.: s.n.], 1999. v. 2, p. 1019–1025.

YUAN, X.; BARBI, I. Analysis, designing, and experimentation of a transformer-assisted pwm zero-voltage switching pole inverter. **Power Electronics, IEEE Transactions on**, v. 15, n. 1, p. 72–82, Jan 2000.

ZHU, J. Y.; DING, D. Zero-voltage- and zero-current-switched pwm dc-dc converters using active snubber. **Industry Applications, IEEE Transactions on**, v. 35, n. 6, p. 1406–1412, Nov-Dec 1999.